

МОДЕЛИРОВАНИЕ ВЛИЯНИЯ МЕСТОПОЛОЖЕНИЯ ВХОДНОГО ПЕРЕНОСА НА СЛОЖНОСТЬ СХЕМЫ СУММАТОРА

О.Н. Паулин

Одесский национальный политехнический университет,
просп. Шевченко, 1, Одесса, 65044, Украина; e-mail: paolenic@yandex.ua

Работа посвящена определению зависимости сложности логической схемы сумматора от местоположения входного переноса. Из проведенного исследования вытекает возможность дополнительной оптимизации сумматора, а также умножителя, построенного на сумматорах.

Ключевые слова: моделирование, фрагмент, местоположение переноса, сумматор, аппаратные затраты

Введение

Для параллельной обработки больших потоков данных используются методы, которые показали свою эффективность в смысле минимальной задержки на такую обработку. При этом потоки данных могут быть интерпретированы как многорядные арифметические двоичные коды (МРК), а обработка – как свёртка МРК, причём под свёрткой понимается обобщение бинарной операции сложения на случай множества рядов кодов [1]. Множество бит, составляющих МРК, в работе называется областью бит (ОБ).

Для свёртки МРК при большом числе рядов кодов используется разбиение (декомпозиция) множества рядов кодов на слои (их фрагменты) и свёртка полученных слоёв (их фрагментов), а далее – свёртка рядов полученных результатов. ОБ может быть разбита на фрагменты [2], регулярные (например, прямоугольники, ромбы и др.) и нерегулярные; здесь же приведены теоремы о количестве переносов из данного фрагмента.

Необходимость разбиения ОБ определяется быстрым нарастанием сложности компрессора при использовании многооперандных структур: она пропорциональна квадрату числа разрядов и экспоненциальной функции от числа сжимаемых рядов [3]. Разбиение должно быть проведено таким образом, чтобы процедура свёртки и компрессор для её реализации соответствовали критерию минимальной задержки.

В то же время при разных разбиениях возможна вариация ширины (разрядности) фрагмента и, следовательно, местоположения переноса из фрагмента. При этом сложность логической схемы сумматора существенно зависит от местоположения входного для него переноса, возникающего при сворачивании кодов фрагмента на предыдущем этапе процедуры свёртки.

Целью моделирования является определение влияния местоположения переноса из фрагмента бит предыдущего этапа процедуры свёртки при вариации его разрядности на сложность сумматора, обрабатывающего фрагмент данного этапа процедуры.

Исследование и его результаты

В работе выдвинута гипотеза о зависимости сложности сумматора от местоположения переноса в обрабатываемый сумматором фрагмент битов. Для её подтверждения проводятся эксперименты, которые заключаются в следующем. Рассматриваются бинарные сумматоры различной разрядности с описанием базового формата в виде [2..22], что означает двухрядный двоичный код заданной разрядности. Далее рассматриваются вариации местоположения h бита переноса (его номера), входного относительно базового формата описания исходного сумматора. Для базового формата и для форматов с вариацией h строятся таблицы функционирования сумматора, по которым вычисляются его аппаратные затраты $V = f(h)$. Отметим, что при изменении h быстроедействие сумматора не изменяется.

Функционирование сумматора описывается с помощью таблиц (таблиц функционирования – ТФ) сумм и внешних относительно заданного формата переносов, заполняемых индексами симметрических функций. При этом функции суммы и переноса вычисляются без явного вычисления внутренних переносов по разработанной программе «Расчёт таблиц разрядных индексов» [4]. Для определения количества внешних переносов предварительно определяем максимально возможное значение суммы Q_{\max} всех бит фрагмента при условии, что все они принимают значение 1. Имеем

$$Q_{\max} = \sum_{i=1}^n 2^{i-1} a_i, \quad (1)$$

где i — номер разряда,
 n — количество разрядов сумматора,
 a_i — количество бит в i -м разряде.

Расчёт сложности по Квайну синтезируемой схемы сумматора (его каскада) осуществляется отдельным программным модулем «Вычисление сложности» по минимизированным поразрядным ТФ в соответствии с алгоритмом:

1. Для каждой поразрядной таблицы суммируются значения сложности всех её n строк.

2. Сложность i -ой строки определяется следующим образом:

- для каждого j -го столбца определяется количество m_{ji} вариантов РИ как число индексов в данной клетке (например, если в клетке записано 2-4, то ей соответствует 3 варианта). Если в клетке стоит символ X, то столбец с этим символом игнорируется;
- если в строке имеется t_i символов X, то количество учитываемых столбцов равно $k_i = k - t_i$, где k — количество столбцов данной ТФ;
- числа вариантов по i -ой строке перемножаются, а полученный результат домножается на число учитываемых столбцов.

Для l -ой ТФ её сложность равна:

$$Q_l = \sum_{i=1}^n k_i \prod_{j=1}^k m_{ji}. \quad (2)$$

3. Суммируются значения сложности всех поразрядных таблиц РИ.

Отметим, что сложность симметрических функций не учитывается, поскольку она не зависит от h .

Рассмотрим вначале влияние местоположения переноса относительно базового сумматора вида $[2\ 2\ 2]$ (три разряда, два ряда кодов), на сложность его схемотехнической реализации. Проведём расчёт таблиц разрядных индексов (ТРИ) для сумматоров $[2\ 2\ 2]$ (базовое значение), а также $[2\ 2\ 3]$, $[2\ 3\ 2]$, $[3\ 2\ 2]$, в которых h последовательно принимает значения 1, 2, 3, и вычислим аппаратные затраты на сумматоры. Результаты расчётов ТРИ сведены в табл. 1 – 4. Рассчитанные значения сложности рассмотренных сумматоров представлены в табл. 5.

Таблица 1.

Сумматор вида $[2\ 2\ 2]$, $Q_{\max} = 14$

P_1			S_3			S_2		S_1
3p	2p	1p	3p	2p	1p	2p	1p	1p
1	1	2	0.2	1	2	0.2	2	1
1	2	X	0.2	2	X	1	0.1	
2	X	X	1	0	X			
			1	1	0.1			

Таблица 2.

Сумматор вида $[2\ 2\ 3]$, $Q_{\max} = 15$

P_1			S_3			S_2		S_1
3p	2p	1p	3p	2p	1p	2p	1p	1p
1	1	2.3	0.2	1	2.3	0.2	2.3	1.3
1	2	X	0.2	2	X	1	0.1	
2	X	X	1	0	X			
			1	1	0.1			

Таблица 3.

Сумматор вида $[2\ 3\ 2]$, $Q_{\max} = 16$

P_2			P_1			S_3			S_2		S_1
3p	2p	1p	3p	2p	1p	3p	2p	1p	2p	1p	1p
2	3	2	0	3	2	0.2	1	2	1.3	0.1	1
			1	1	2	0.2	2	X	0.2	2	
			1	2.3	X	0.2	3	0.1			
			2	0.2	X	1	0	X			
			2	3	0.1	1	1	0.1			
						1	3	2			

Таблица 4.

Сумматор вида $[3\ 2\ 2]$, $Q_{\max} = 18$

P_2			P_1			S_3			S_2		S_1
3p	2p	1p	3p	2p	1p	3p	2p	1p	3p	2p	1p
3	1	2	1	1	2	0.2	1	2	0.2	2	1
3	2	X	1	2	X	0.2	2	X	1	0.1	
			2.3	X	X	1.3	0	X			
						1.3	1	0.1			

Таблица 5.

Аппаратные затраты для 3-разрядного сумматора

Вид сумматора	Выходные функции					Суммарные затраты
	P_2	P_1	S_3	S_2	S_1	
[2 2 2]	–	5	18	8	1	33
[2 2 3]	–	9	20	12	2	43
[2 3 2]	3	22	36	12	1	74
[3 2 2]	2	7	26	8	1	44

Рассмотрим далее базовый сумматор вида [2 2 2 2], а также сумматоры с учётом входного переноса ($h = 1, 2, 3, 4$): [2 2 2 3], [2 2 3 2], [2 3 2 2], [3 2 2 2]. Результаты расчётов ТРИ для данных сумматоров представлены в таблицах 6 – 10. Рассчитанные аппаратные затраты для рассмотренных сумматоров занесены в табл. 11.

Таблица 6.

Сумматор вида [2 2 2 2], $Q_{\max} = 30$

P_1				S_4				S_3			S_2		S_1
4p	3p	2p	1p	4p	3p	2p	1p	3p	2p	1p	2p	1p	1p
1	1	1	2	0.2	1	1	2	0.2	1	2	0.2	2	1
1	1	2	X	0.2	1	2	X	0.2	2	X	1	0.1	
1	2	X	X	0.2	2	X	X	1	0	X			
2	X	X	X	1	0	X	X	1	1	0.1			
				1	1	0	X						
				1	1	1	0.1						

Таблица 7.

Сумматор вида [2 2 2 3], $Q_{\max} = 31$

P_1				S_4				S_3			S_2		S_1
4p	3p	2p	1p	4p	3p	2p	1p	3p	2p	1p	2p	1p	1p
1	1	1	2.3	0.2	1	1	2.3	0.2	1	2.3	0.2	2.3	1.3
1	1	2	X	0.2	1	2	X	0.2	2	X	1	0.1	
1	2	X	X	0.2	2	X	X	1	0	X			
2	2	2	X	1	0	X	X	1	1	0.1			
2	2	X	X	1	1	0	X						
2	X	X	X	1	1	1	0.1						

Таблица 8.

Сумматор вида $[2\ 2\ 3\ 2]$, $Q_{\max} = 32$

P_2				P_1				S_4				S_3			S_2		S_1
4p	3p	2p	1p	4p	3p	2p	1p	4p	3p	2p	1p	3p	2p	1p	2p	1p	1p
2	2	3	2	0	2	3	2	0.2	0	3	2	0.2	1	2	0.2	2	1
				1	0	3	2	0.2	1	2.3	X	0.2	2	X	1.3	0.1	
				1	1	1	2	0.2	2	0.2	X	0.2	3	0.1			
				1	1	2.3	X	0.2	2	3	0.1	1	0	X			
				1	2	X	X	1	0	0.2	X	1	1	0.1			
				2	0.1	X	X	1	0	3	0.1						
				2	2	0.2	X	1	1	0	X						
				2	2	3	0.1	1	1	1	0.1						
								1	2	3	2						

Таблица 9.

Сумматор вида $[2\ 3\ 2\ 2]$, $Q_{\max} = 34$

P_2				P_1				S_4				S_3			S_2		S_1
4p	3p	2p	1p	4p	3p	2p	1p	4p	3p	2p	1p	3p	2p	1p	2p	1p	1p
2	3	2	X	0	3	1	2	0.2	1	1	2	0.2	1	2	0.2	2	1
				0	3	2	X	0.2	1	2	X	0.2	2	X	1	0.1	
				1	1	1	2	0.2	2	X	X	1.3	0	X			
				1	1	2	X	0.2	3	0	X	1.3	1	0.1			
				1	2.3	X	X	0.2	3	1	0.1						
				2	0.2	X	X	1	0	X	X						
				2	3	0	X	1	1	0	X						
				2	3	1	0.1	1	1	1	0.1						

Таблица 10.

Сумматор вида $[3\ 2\ 2\ 2]$, $Q_{\max} = 38$

P_2				P_1				S_4				S_3			S_2		S_1
4p	3p	2p	1p	4p	3p	2p	1p	4p	3p	2p	1p	3p	2p	1p	2p	1p	1p
3	1	1	2	1	1	1	2	0.2	1	1	2	0.2	1	2	0.2	2	1
3	1	2	X	1	1	2	X	0.2	1	2	X	0.2	2	X	1	0.1	
3	2	X	X	1	2	X	X	0.2	2	X	X	1	0	X			
				2	X	X	X	1.3	0	X	X	1	1	0.1			
				3	0	X	X	1.3	1	0	X						
				3	1	0	X	1.3	1	1	0.1						
				3	1	1	0.1										

Таблиця 11.

Аппаратные затраты для 4-разрядного сумматора

Вид сумматора	Выходные функции						Суммарные затраты
	P_2	P_1	S_4	S_3	S_2	S_1	
[2 2 2 2]	–	10	31	18	8	1	68
[2 2 2 3]	–	19	39	20	12	2	92
[2 2 3 2]	4	41	86	30	12	1	174
[2 3 2 2]	3	35	53	26	8	1	126
[3 2 2 2]	9	23	44	18	8	1	103

Аналогично проведены расчёты таблиц РИ и для исходных сумматоров вида [2 2 2 2 2] и [2 2 2 2 2 2]. Рассчитанные для них аппаратные затраты приведены в табл. 12 и 13.

Таблиця 12.

Аппаратные затраты для 5-разрядного сумматора

Вид сумматора	Выходные функции							Суммарные затраты
	P_2	P_1	S_5	S_4	S_3	S_2	S_1	
[2 2 2 2 2]	–	15	47	31	18	8	1	120
[2 2 2 2 3]	–	20	57	39	20	12	2	150
[2 2 2 3 2]	5	65	134	110	30	12	1	357
[2 2 3 2 2]	9	48	124	53	26	8	1	269
[2 3 2 2 2]	12	41	81	44	18	8	1	205
[3 2 2 2 2]	2	34	66	31	18	8	1	160

Таблиця 13.

Аппаратные затраты для 6-разрядного сумматора

Вид сумматора	Выходные функции								Суммарные Затраты
	P_2	P_1	S_6	S_5	S_4	S_3	S_2	S_1	
[2 2 2 2 2 2]	–	21	66	47	31	18	8	1	192
[2 2 2 2 2 3]	–	27	78	57	39	24	12	2	239
[2 2 2 2 3 2]	6	59	260	154	88	33	12	1	613
[2 2 2 3 2 2]	11	52	163	124	53	26	8	1	438
[2 2 3 2 2 2]	15	47	121	81	44	18	8	1	335
[2 3 2 2 2 2]	18	43	103	66	31	18	8	1	288
[3 2 2 2 2 2]	20	41	92	47	31	18	8	1	258

Выводы

Проведено 22 эксперимента по определению сложности сумматоров с различными параметрами. Результаты экспериментов сведены в таблицы 5, 11-13. Анализ этих таблиц показывает, что для обработки дополнительного бита переноса на разных позициях h сумматор требует больших аппаратных затрат, чем в случае

сумматора без переноса. При перемещении бита переноса справа налево сложность сумматора резко возрастает, если бит переноса находится на 2-й позиции, а затем постепенно уменьшается до величины, определяемой параметрами обрабатываемого фрагмента ОБ (разрядность и рядность с учётом местонахождения битов переноса).

Аналитическая зависимость суммарных затрат от перемещения бита переноса (позиция h) явно не просматривается, т.е. для каждого конкретного случая проектирования сумматора необходимы дополнительные исследования.

Из проведенного исследования вытекает возможность дополнительной оптимизации сумматора, а также умножителя, построенного на сумматорах, обрабатывающих фрагменты ромба бит частичных произведений.

Список литературы

1. Паулин, О.М. Методологічні основи проектування компонент комп'ютерних систем паралельної обробки багаторядних кодів з використанням природної симетрії даних: автореф. дис. ... д-ра техн. наук : 05.13.05 / О.М. Паулін; Одес. нац. політехн. ун-т. — О., 2012. — 36 с.
2. Паулин, О.Н. К построению быстродействующих арифметических устройств / О.Н. Паулин // Искусственный интеллект. — 2002. — № 3. — С. 314–322.
3. Ляховецький, О.М. Методи функціонально-логічного проектування швидкодіючих арифметичних пристроїв на основі симетричних булевих функцій: Автореф. дис... канд. техн. наук / О.М. Ляховецький; Одес. держ. політехн. ун-т. — О., 1999. — 19 с.
4. Паулин, О.Н. О параллельной обработке потока данных, адаптированной к области бит произвольной конфигурации / О.Н. Паулин // Искусственный интеллект. — 2010. — № 3. — С. 127–133.

МОДЕЛЮВАННЯ ВПЛИВУ МІСЦЕПОЛОЖЕННЯ ВХІДНОГО ПЕРЕНОСУ НА СКЛАДНІСТЬ СХЕМИ СУМАТОРА

О.М. Паулін

Одеський національний політехнічний університет,
просп. Шевченка, 1, Одеса, 65044, Україна

Робота присвячена визначенню залежності складності логічної схеми суматора від місця розташування вхідного переносу. Із проведеного дослідження випливає можливість додаткової оптимізації суматора, а також умножителя, побудованого на суматорах.

Ключові слова: моделювання, фрагмент, місцеположення переносу, суматор, апаратні витрати

MODELLING THE RELATIONSHIP BETWEEN COMPLEXITY OF THE ADDER SCHEME AND CARRY IN POSITION

Oleg N. Paulin

Odessa National Polytechnic University,
1 Shevchenko Ave., Odessa, 65044, Ukraine

The purpose of the work was to establish the relationship between the complexity of the logical scheme of the adder and the carry in position. The investigation performed provides the possibility for further optimization both of the adder and adder-based multiplier.

Keywords: modeling, fragment, adder, carry position, hardware costs