

УДК 004.274

Наталія Михно

**СПОСОБЫ ПОСТРОЕНИЯ РЕКОНФИГУРИРУЕМЫХ
КОМПЬЮТЕРНЫХ СИСТЕМ НА ЭЛЕМЕНТАХ АВТОМАТНОЙ
ПАМЯТИ**

Рассмотрены способы построения реконфигурируемых компьютерных систем на элементах автоматной памяти, обладающих большей скоростью при изменении работы иерархических алгоритмов.

Розглянуті способи побудови реконфігурувальних комп'ютерних систем на елементах автоматної пам'яті, що мають більшу швидкість при зміні роботи ієрархічних алгоритмів.

Given work examined the methods of design of the reconfigurable computer systems based on digital circuits of elementary memory with the ability to change the processing of hierarchical algorithms at the very high speed.

Ключевые слова: перспективные, разработки, триггеры, реконфигурируемые устройства, компьютер

Введение

Первые теоретические исследования по синтезу многофункциональных логических устройств относятся к началу 60-х годов XX столетия. Системные исследования многофункциональных устройств (элементов, модулей) начались с появлением больших интегральных схем (БИС) в конце 60-х и начале 70-х годов. Эти работы положили начало теории многофункциональных автоматов [1-4]. К этим работам относятся работы по проблемам синтеза гибких (многофункциональных) устройств, которые изменяют свое частичное функционирование под воздействием автомата стратегии, которая обрабатывает общую (стратегическую) информацию. Известны работы В.М. Глушкова, В.И. Варшавского, Е.В. Евреинова, А.Д. Закревского и многих других. Выдающееся место среди этих работ занимают работы Д. Естрина по организации гибкой структуры компьютеров, которая подана двумя основными частями: постоянной (автоматом стратегии, который обрабатывает общую информацию) – компьютер с жесткой структурой, и переменной (наборов вычислительных устройств, какие способные обрабатывать отдельную информацию), то есть с помощью общей информации перестраивать свою структуру [1-2], а также работы школы академика А.В. Палагина по формальному проектированию процессоров с гибкой архитектурой [3]. Они определили новое направление в области вычислительной техники по проектированию многофункциональных устройств с виртуальной архитектурой на базе ПЛИС – «Reconfigurable Computing».

© *Михно Н. Л., 2011*

Термин «Reconfigurable Computing» в общем случае определяет двуединое понятие: как реконфигурированность структуры компьютера (hardware), так и процесс обработки данных программно (software), который выполняется компьютером. Значительный вклад в развитие этой проблематики внесли такие работы, как: П.Н. Бибило, В.Ф. Евдокимова, М.М. Кузе, В.В. Соловьева, А.И. Хаханова, Я.А. Хетигурова и другие [1-3].

Реконфигурированные компьютерные системы, которые построены с памятью на триггерах

Рассмотрим этот принцип на основе вычислительных систем, в которых переход от одной системы обработки информации к другой реализован с помощью автомата стратегии.

Припустим, что у нас есть вычислительная система, которая состоит из двух блоков. Один блок представляет собой автомат стратегии, который изменяет алгоритм работы многофункционального блока.

Архитектура такой реконфигурируемой системы, которая построена на таком принципе, представлена на рис. 1.

Такая структура (рис. 1) является обобщенной структурой, которая позволяет изменять многофункциональный (рабочий) алгоритм под воздействием настраивающего алгоритма, реализованного в автомате стратегии.



Рис. 1. Обобщенная реконфигурируемая структура

Все современные устройства компьютерных систем с памятью на триггерах построенные по такому принципу, реализуют переход от одной системы команд к другой не менее как за два машинных такта. Это объясняется тем, что в автомате стратегии, реализованного с памятью на триггерах, алгоритм может перейти в новое состояние в лучшем случае за один машинный такт, переведя состояния схем памяти в новое состояние, и выдать выходной сигнал настройки для многофункционального автомата. Многофункциональный автомат, который получает новый сигнал перестройки, настраивается на определенный алгоритм работы, переведя состояния своих схем памяти в новое состояние на следующем машинном такте. Такая схема работы иерархического алгоритма определяет последовательную обработку информации в реконфигурируемой компьютерной системе.

Скорость V решения задач при последовательной обработке иерархической информации: общей, реализуемой автоматом стратегии, и частной, реализуемой многофункциональным автоматом, при программном управлении в значительной сте-

ІНФОРМАЦІЙНІ ЕНЕРГОЗБЕРІГАЮЧІ ТА ТЕЛЕКОМУНІКАЦІЙНІ ТЕХНОЛОГІЇ

пени зависит от количества обращений к устройству памяти для перестройки реконфигурируемой системы, которая в первом приближении вычисляется по формуле [6]:

$$V = \frac{1}{k_1 t_1 + k_2 t_0}, \quad (1)$$

где t_1 – время выборки слова из памяти при выполнении операции в отдельном устройстве;

k_1 – среднее количество обращений к устройству памяти при выполнении операций в отдельном устройстве;

k_2 – среднее количество обращений к устройству памяти для перестройки алгоритма автомата стратегии;

t_0 – время выборки слова из памяти при обращении к автомату стратегии для перестройки алгоритма обработки информации.

Основными причинами такой последовательной обработки информации в иерархических алгоритмах является использование в качестве схем памяти в устройствах триггеров, которые не могут изменять алгоритм своей работы и сохраняют все свои состояния только в одном подмножестве при отсутствии на их входах активных сигналов.

Особенности элементов автоматной памяти

Схемы автоматной памяти: многофункциональные и многоуровневые описаны в литературе и защищены патентами [7–12]. Особенности этих схем по сравнению с триггерами является их возможность перестраивать множества своих запоминаемых состояний при воздействии на них сохраняющих сигналов. Многофункциональные схемы памяти (МФСП) в состоянии изменять свои состояния под воздействием двух входных сигналов: устанавливающих $x_i(t)$ и сохраняющих $e_j(\Delta)$. Под воздействием сохраняющих $e_j(\Delta)$ входных сигналов запоминаются состояния, которые принадлежат определенным подмножествам π_j . В МФСП можно осуществлять однозначные переходы за один машинный такт T под воздействием входного слова $p_0(T) = x_i(t), e_j(\Delta)$ в определенном подмножестве состояний π_j и укрупненные переходы T под воздействием входного слова $p_y(T) = x_i(t), e_j(\Delta)$ в определенном подмножестве состояний μ_i (см. табл. 1).

Таблица 1

Блоки π_j и μ_i состояний МФСП

Сохраняющие $e_j(\Delta)$ входные сигналы	Устанавливающие $x_i(t)$ входные сигналы				Блоки π_j состояний МФСП
	$x_1(t)$	$x_2(t)$...	$x_n(t)$	
e_1	a_{11}	a_{12}	...	a_{1n}	π_1
e_2	a_{21}	a_{22}	...	a_{2n}	π_2
...
e_m	a_{m1}	a_{m2}	...	a_{mn}	π_m
	μ_1	μ_2	...	μ_{mn}	
	Блоки μ_i состояний в каждой группе МФСП				

Принципы построения реконфигурируемого компьютера на элементах автоматной памяти

Структурная схема компьютера, реализующего автоматную память, может иметь два полипрограммных уровня управления, которые выполняются одновременно в каждом цикле, в котором управляющее отдельное устройство реализует микропрограммы, а управляющее общее устройство реализует миллипрограммы [14]. В процессе работы инструкции миллипрограмм (общих команд) в состоянии одновременно изменять структуру выполнения инструкций микрокоманд (отдельных команд), что позволяет увеличить скорость выполнения иерархических алгоритмов и увеличить их гибкость при решении задач, алгоритмы которых изменяются в процессе их решения. Такая возможность появляется при применении в устройствах компьютера в качестве регистров на элементах N -уровневых схем памяти (МУСП), которые запоминают одновременно общую и отдельную информацию [8; 9].

Для каждого уровня управления можно применять операционное устройство (арифметико-логическое устройство), а также дополнительную кэш-память на элементах N -уровневых схем памяти.

Существенным является то, что электронная вычислительная машина (рис. 2) состоит из двух компонентов: процессора и оперативной памяти,

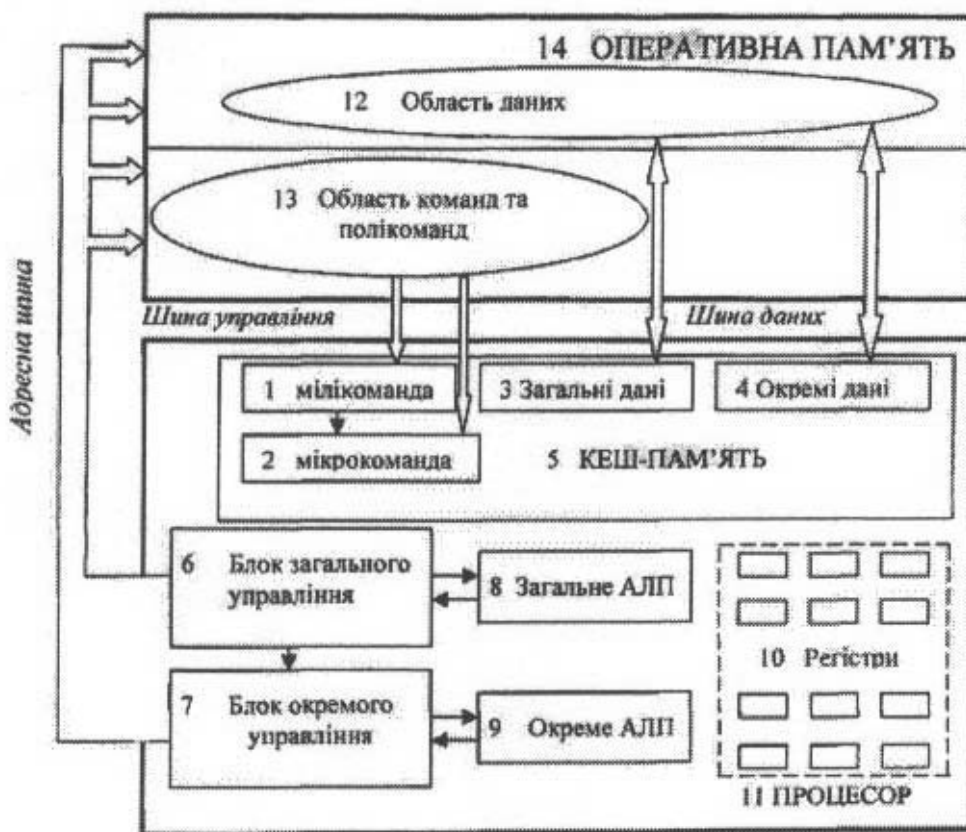


Рис.2. Реконфигурируемая электронная вычислительная машина на элементарных многоуровневых схемах памяти

что связанные между собой системной шиной, которая состоит из шины данных, шины управления и адресной шины; отличается тем, что процессор имеет N -уровневые схемы памяти (например, $N=2$), которые составляют регистры общего назначения (РОН), общее арифметико-логическое устройство (АЛУ) и отдельное АЛУ, что связанные с соответствующими блоками управления общего и отдельного уровня; блоки управления иерархически связаны от общего к отдельному. Блок общего управления и блок отдельного управления через адресную шину связаны с оперативной памятью. Оперативная память разделена на область данных и область команд, соответственно связанных через шину управления и шину данных с кэш-памятью, которая имеет иерархические регистры для милликоманд и микрокоманд и регистры для общих данных и отдельных данных, соответственно связанных блоками управления общего и отдельного уровня и с блоками АЛУ. Блоки кэш-памяти имеют обратную связь по шине данных с областью данных [15].

Особенности функционирования компьютера построенного на элементах автоматной памяти

Функционально электронная вычислительная машина синхронна. Запись данных и команд из оперативной памяти в регистры и кэш-память осуществляется по тактовому сигналу. Потом соответствующие данные для обработки поступают по шине на АЛУ. Когда все выполнено, то АЛУ приступает к работе. После вычисления результаты передаются шине данных регистров. АЛУ может в течение одного цикла читать и записывать данные в регистр. Как данные, так и поликоманды для их обработки процессор получает из ячеек оперативной памяти. Поликоманды разделяются на общие команды, из которых состоит миллипрограмма, и отдельные команды, из которых состоят микропрограммы. Эти две команды одновременно подаются на соответствующие уровни N -уровневых схем памяти (например, $N=2$) блоков управления процессора, которые в одном цикле реализуют иерархические изменения алгоритма.

Одной из основных временных характеристик обработки иерархической информации в этом случае есть более быстрая обработка частичной информации по отношению к общей, а одной из функциональных характеристик управляющей информации – изменение алгоритма обработки частичной информации при определенной обработке общей управляющей информации.

Скорость V - решения задач при одновременной обработке общей и частной информации на полиграммному уровне управления в первом приближении можно вычислить по формуле:

$$V = \frac{1}{k_1 t_1}, \quad (2)$$

где t_i – время выборки слова с памяти при выполнении операций в частном устройстве и одновременно выборку слова для изменения алгоритма обработки в автомате стратегии;

k_1 – среднее количество обращений к устройству памяти при выполнении операций.

Можно представить, что регистр команд в компьютере состоит из БФСП, которые перестраивают множество своих состояний (команд) под управлением управляющего регистра. При этом регистр на МФСП эффективно реализует рабочие алгоритмы системы команд для обработки специальных алгоритмов при решении

только одного определенного класса задач, а в случае другого класса задач регистр на МФСП имеет возможность настраиваться на эффективную обработку специальных алгоритмов при решении другого класса задач. Таким образом, при миллипрограммном уровне управления компьютер может работать как разные компьютеры, которые более эффективно обрабатывают информацию разных классов задач.

Кроме этого, в компьютере появляются новые возможности обработки данных, которые в настоящее время принципиально нельзя применять, поскольку память регистров базируется на двоичных триггерах. При миллипрограммном управлении можно использовать новые укрупненные переходы, которые расширяют возможности компьютера, компьютерных систем и сетей. Это дает возможность создавать более быстродействующие многофункциональные устройства, компьютеры, системы и сети, способные перестраивать алгоритмы своей работы в зависимости от потребностей объекта управления.

Общую информацию можно также подавать как отдельную (частичную) и общую (управляющую). Такое иерархическое разделение информации конечно и стремится к определенному минимальному объему общей информации.

Основным отличием особенности принципа иерархического программного управления есть то, что частичная управляющая информация разбивается на блоки (подмножества) состояний, область функционирования которых определяется состоянием общей управляющей информации, которая генерирует входной сигнал для этих блоков состояний (реализуя функцию принадлежности).

Выводы

В настоящее время на рынке компьютеров появились компоненты (кристаллы), которые содержат количество логических вентилях до 10^6 [4; 5]. В связи с этим можно без больших проблем строить на их основе, с использованием технологии элементарных схем автоматной памяти, сложные реконфигурируемые системы обработки информации с большим быстродействием перестройки алгоритмов решения иерархических задач.

ЛИТЕРАТУРА

1. *Estrin G., Tumb R.* Automatic assignment of computation in a variable computer system // IEEE Transaction on Electronic Computers. – EC-12, № 6. – 1963. –P. 755–768/
2. *Estrin G., Tumb R.* Parallel processing in a restructurable computer // IEEE Transaction on Electronic Computers. – EC-12, N6. – 1963. –P. 747–755.
3. *Палагин А. В.* Реконфигурируемые вычислительные системы: Основы и приложения / А.В. Палагин, В.Н. Опанансенко. – К.: Просвіта, 2006. – 280 с.
4. *Мелехин В. Ф.* Вычислительные машины, системы и сети : Учебник для студ. высш. учеб. заведений / В. Ф. Мелехин, Е. Г. Павловский. – 2-е изд., стер. – М.: Издательский центр «Академия», 2007. — 560 с.
5. *Мураховский В. И.* Железо ПК. Новые возможности. – СПб.: Питер, 2005. – 592 с.
6. *Михно Н. Л.* Способы построения реконфигурируемого процессора на «элементном» уровне. / Збірник наукових праць ДЕТУТ, Серія «Транспортні системи і технології», 2011, Вип. 18. – С. 84 – 94.
7. *Михно Н. Л., Мараховський Л. Ф., Погребняк В. Д.* Схема пам'яті. – Патент. Зареєстровано в Державному реєстрі патентів України на корисні моделі № 34166 від 25 липня 2008 р. – (51) МПК (2006) H03K 29/00 – Бюл. 14.–12 с.
8. *Михно Н. Л., Мараховський Л. Ф.* Схема пам'яті. – Патент. Зареєстровано в Державному реєстрі патентів України на корисні моделі № 29581 від 25 січня 2008 р. – (51) МПК (2006) G05B 11/42 – Бюл. 2. – 14 с.

ІНФОРМАЦІЙНІ ЕНЕРГОЗБЕРІГАЮЧІ ТА ТЕЛЕКОМУНІКАЦІЙНІ ТЕХНОЛОГІЇ

9. *Міхно Н. Л., Мараховський Л. Ф.* Схема пам'яті. – Патент. Зареєстровано в Державному реєстрі патентів України на корисні моделі № 29582 від 25 січня 2008 р. – (51) МПК (2006) G05B 11/42 – Бюл. 2. – 10 с.
10. *Міхно Н. Л., Мараховський Л. Ф., Шарапов А. Д., Воеводин С. В.* Комп'ютерна схемотехніка: практикум для бакалаврів спец. «Інтелектуальні системи прийняття рішень» – Київ: КНЕУ, 2009. – 245 с.
11. *Міхно Н.Л., Мараховський Л.Ф.* Елементарні багатофункціональні схеми автоматної пам'яті. / Збірник наукових праць ДЕТУТ: Серія «Транспортні системи і технології», 2008. – Вип. 13. – С. 229-241.
12. *Міхно Н.Л., Мараховський Л.Ф.* Определение входных слов элементарных многофункциональных схем автоматной памяти / Збірник наукових праць ДЕТУТ: Серія «Транспортні системи і технології», 2009. – Вип. 14. – С. 139-151.
13. *Міхно Н.Л., Мараховський Л.Ф.* Мікропроцесорний пристрій управління. – Патент зареєстровано в державному реєстрі патентів на корисні моделі №87871 від 28.08.2009р.-(51) МПК(2008) G06F9/00 – Бюл. 16. – 6 с.
14. *Міхно Н.Л., Мараховський Л.Ф.* Структурний автомат. – Патент.–Зареєстровано в Державному реєстрі патентів України на корисні моделі № 25816 від 27 серпня 2007 р. – (51) МПК (2006) G06F 1/00 – Бюл. 13.– 12 с.
15. *Міхно Н.Л., Мараховський Л.Ф.* Електронна обчислювальна машина. – Патент. Зареєстровано в Державному реєстрі патентів України на корисні моделі № 34167 від 25 липня 2008 р. – (51) МПК (2006) G06F 17/00 – Бюл. 14.