

DOI: <https://doi.org/10.36910/6775-2524-0560-2022-48-21>

УДК 681.326.74

Круліковський Борис Борисович, к.т.н., доцент

<https://orcid.org/0000-0001-7944-551X>

Рейнська Вікторія Борисівна, к.е.н., доцент

<https://orcid.org/0000-0002-3969-2054>

Національний університет водного господарства та природокористування, м. Рівне, Україна

МАТЕМАТИЧНЕ МОДЕЛЮВАННЯ КОМБІНАЦІЙНОГО СУМАТОРА В ЗАДАЧАХ ТЕХНІЧНОЇ ДІАГНОСТИКИ

Круліковський Б.Б., Рейнська В.Б. Математичне моделювання комбінаційного суматора в задачах технічної діагностики. В роботі розглядається метод моделювання комбінаційного однорозрядного суматора з можливими несправностями. Вказаний тип математичних моделей використовується при вирішенні прямих та зворотніх задач технічної діагностики. Запропоновано узагальнену математичну модель, яку доцільно використовувати при побудові перевіряючих тестових наборів.

Ключові слова: однорозрядний суматор, автомат з можливими несправностями, математична модель, технічна діагностика, параметр несправності, константна несправність.

Krulikovskyi B., Reinska V. Mathematical modeling of a combinational adder in the tasks of technical diagnostics. The paper considers the method of modeling a combinational one-bit adder with possible malfunctions. The specified type of mathematical models is used in solving direct and inverse problems of technical diagnostics. A generalized mathematical model is proposed, which is advisable to use when building verification test sets.

Key words: one-digit adder, automatic machine with possible malfunctions, mathematical model, technical diagnostics, malfunction parameter, constant malfunction.

Постановка наукової проблеми. Проблема підвищення швидкодії технічних засобів та продуктивності процесорів обробки двійкових сигналів не втрачає своєї актуальності протягом всього часу розвитку обчислювальної техніки. Тому регулярно з'являються публікації з описом тенденцій і результатів досліджень, спрямованих на підвищення продуктивності засобів обчислювальної техніки не тільки за рахунок збільшення робочих частот. Одним із прогресивних напрямків вважається розробка нових спеціалізованих архітектурних рішень традиційних компонентів обчислювальних систем з мінімізацією параметрів часової та структурної складності апаратних засобів обробки двійкових сигналів [1]. Один з варіантів реалізації вказаних принципів представлений в [2].

Дослідження та практична реалізація нових розробок апаратних засобів неможлива без попередньої підготовки до вирішення питань їх технічної діагностики, що неодмінно постануть на етапі експлуатації таких засобів в складі обчислювальних систем. В свою чергу формалізація методів побудови алгоритмів діагностування технічного стану будь якого об'єкта передбачає наявність формального опису об'єкта та його поведінки в справному та несправних технічних станах. Такий формальний опис прийнято називати математичною моделлю об'єкта діагностування [3]. На основі таких математичних моделей формуються і розв'язуються прямі та зворотні задачі технічної діагностики, що лежать в основі процедур із забезпечення достатніх параметрів надійності технічних засобів при їх експлуатації за призначенням.

Досліджуваний суматор рекомендовано використовувати як швидкодіючий повнофункціональний компонент багаторозрядних та багатокаскадних суматорів арифметико-логічних пристроїв мікропроцесорів, матричних та матрично-модульних перемножувачів та проблемно-орієнтованих процесорів шифрування даних.

Тому питанням розробки математичної моделі вищевказаного однорозрядного суматора і присвячена дійсна робота.

Аналіз досліджень.

Різноманітні підходи до математичного моделювання об'єктів технічної діагностики опубліковані ще до широкого використання засобів обчислювальної техніки для розв'язування прикладних задач [4, 5, 6].

Поява та поширення обчислювальної техніки надала можливість машинної обробки математичних моделей у вигляді правильної логічної мережі, що являє собою сукупність пов'язаних між собою логічних вентилів, кожний з яких виконує зазначену логічну функцію в базисі Буля. Для дискретних об'єктів такого базиса найбільш повною вважається математична

модель у вигляді автомата з можливими несправностями (АМН) [5], в якій пропонується вихідний сигнал \tilde{x} сигнальної лінії з врахуванням можливих дефектів описувати оператором:

$$\tilde{x} = \bar{\alpha} \cdot x \vee \beta \cdot \bar{x} = \begin{cases} x, & \text{справний технічний стан: } \alpha = 0, \beta = 0; \\ 1, & \text{дефект } \equiv 1: \quad \alpha = 0, \beta = 1; \\ 0, & \text{дефект } \equiv 0: \quad \alpha = 1, \beta = 0; \\ \bar{x}, & \text{інверсія } x: \quad \alpha = 1, \beta = 1. \end{cases} \quad (1)$$

Моделювання справного стану шини описується значеннями $\alpha=0, \beta=0$. В цьому випадку сигнал на шині без дефекта (з нульовою несправністю) дорівнює $x^0 = 1 \cdot x \vee 0 \cdot \bar{x} = x$. Наявність несправності типу "const 1" моделюється зміною значення β з 0 на 1, поява несправності "const 0" зміною значення α з 0 на 1. Внаслідок цього параметр α називається параметром несправності типу " $\equiv 0$ ", а параметр β - параметром несправності типу " $\equiv 1$ ". Дефекти, що приводять до фіксації сигналів в схемі константами 1 та 0 називаються константними. Вони є наслідком фізичних стійких несправностей в електронних схемах типу "обрив" та "коротке замикання" і складають приблизно 90% всіх можливих дефектів електронних дискретних схем. Четвертий технічний стан шини x називається інверсним дефектом, при якому сигнал на шині перетворюється в свою інверсію, що моделюється зміною значень обох параметрів несправності $\alpha = 1, \beta = 1$. Такою моделлю описується приблизно 5% можливих дефектів.

Таким чином, оператор (1) дозволяє проводити найбільш повне моделювання переважної більшості логічних несправностей. Така повнота моделі є причиною появи її недоліку, який проявляється у випадку моделювання появи дефектів вказаної складності.

Приблизно 5% дефектів цифрових систем проявляються в короткочасному спотворенні логічного сигналу і носять назву "збій". Для їх ідентифікації використовуються спеціальні методи технічної діагностики, що виходять за рамки даної роботи. Тому в задачах технічної діагностики переважно моделюються константні дефекти.

В технічній діагностиці важливе значення має клас можливих несправностей, які враховуються при моделюванні. Логічними називаються несправності, поява яких змінює виконувану об'єктом логічну функцію. Якщо передбачається, що в логічній схемі можлива тільки одна логічна несправність, тобто несправність одного входу/виходу одного логічного елемента, то мова йде про одиничні логічні несправності. Кратною несправністю називається сукупність одночасно існуючих двох або більшого числа одиничних несправностей, які в такому випадку називають складовими кратної несправності [3].

Суттєвим недоліком моделі (1) є складність моделювання роботи схеми при наявності несправностей із заданою кратністю.

При формулюванні і вирішенні достатньо розповсюдженої зворотньої задачі технічної діагностики обчислення перевіряючих тестових наборів для класа одиничних константних несправностей необхідно порівняти математичну модель справного цифрового пристрою з математичною моделлю несправного пристрою при появі одиничної логічної несправності. Перетворення моделі справного об'єкта в модель несправного з одиничним константним дефектом за виразом (1) здійснюється зміною значення одного параметра несправності. Для моделювання появи одиничної несправності типу "інверсія" треба в (1) модифікувати вже два параметри. Ця обставина суттєво ускладнює процедуру модифікації логічної схеми при необхідності створення моделі несправного пристрою із заданою кратністю одиничних дефектів.

Мета роботи. Метою дослідження є розробка для вирішення зворотніх задач технічної діагностики такої математичної моделі суматора, за допомогою якої алгоритмічно просто перетворювати опис справного пристрою в математичну модель пристрою із заданою кратністю одиничних несправностей.

Виклад основного матеріалу й обґрунтування отриманих результатів дослідження. Тенденція підвищення продуктивності засобів обчислювальної техніки не перестає бути актуальною протягом всієї історії її розвитку, тому нові розробки в цьому напрямку з'являються регулярно. Одне з таких рішень представлено в [2], де з метою підвищення швидкодії та розширення функціональних можливостей засобів ОТ запропоновано швидкодіючий

однорозрядний суматор з розширеними функціональними можливостями як компонент багаторозрядних і багатокаскадних спеціалізованих процесорів обробки двійкових даних.

Використання таких розробок потребує опрацювання протягом життєвого циклу питань технічної діагностики таких пристроїв ще на етапі їх проектування з метою забезпечення достатнього рівня контролепридатності і можливості ефективно вирішувати прямі задачі технічної діагностики [3] під час використання суматора за прямим призначенням в складі спеціалізованих обчислювачів. Розв'язування зворотніх задач технічної діагностики для засобів обчислювальної техніки здійснюється на етапі проектування шляхом математичного моделювання роботи пристрою в справному технічному стані а також при наявності певного класу дефектів.

Принципи моделювання технічних станів дискретних пристроїв.

Одною з форм опису роботи дискретного пристрою (ДП) з врахуванням можливих дефектів є узагальнена логічна модель (УЛМ). Така модель являє собою структурну систему узагальнених булевих функцій логічних елементів (ЛЕ), що входять до складу ДП .

Використаний метод моделювання передбачає вказання значень двох ПН для кожної шини схеми: β – ПН типу $\equiv 1$ та α – ПН типу $\equiv 0$. Значення сигналу x в узагальненому стані має вигляд:

$$\tilde{x} = \alpha \cdot x \vee \beta = \begin{cases} x, & \text{справний технічний стан: } \alpha = 1, \beta = 0; \\ 1, & \text{дефект } \equiv 1: & \alpha = 1, \beta = 1; \\ 0, & \text{дефект } \equiv 0: & \alpha = 0, \beta = 0; \end{cases} \quad (2)$$

УЛМ мінімальної складності будуються за алгоритмами, запропонованими в [7].

Логічна схема суматора.

Логічна схема однорозрядного суматора [2] представлена на рис.1 і містить наступні вхідні полюси з незалежними двійковими сигналами:

- x_1 - перший інформаційний вхід- прямий сигнал операнда b ;
- x_2 - четвертий інформаційний вхід – інверсний сигнал операнда $/b$;
- x_3 - третій інформаційний вхід a –прямий сигнал операнда a ;
- x_4 - п'ятий інформаційний вхід - інверсний сигнал операнда $/a$;
- x_5 - перший вхід блокування результату;
- x_6 - другий вхід блокування результату;
- x_7 – (вхід)- прямий сигнал переносу з молодшого E-1 розряду суми;
- x_8 – (вхід) - інверсний сигнал переносу з молодшого E-1розряду суми.

Відповідно вихідні сигнали суматора:

- z_1 – вихідний прямий сигнал суми в даному розряді;
- z_2 - вихідний інверсний сигнали суми в даному розряді;
- z_3 - прямий сигнали переносу в старший розряд;
- z_4 - інверсний сигнали переносу в старший розряд.

Класична дворангова реалізація забезпечує мінімальну затримку розповсюдження вхідних сигналів, а значить і максимальну швидкодію пристрою.

Елементи рангу 1 виконують первинну обробку вхідних сигналів, а елементи рангу 2 формують вихідні прямі та інверсні сигнали суми і переносу в старший розряд. Виходи груп елементів рангу 2 поєднані за схемою монтажного АБО.

Структурна система логічних функцій суматора.

Узагальнену математичу модель (УЛМ) зручно будувати на основі структурної системи логічних функцій [3], що представляє собою проіндексовану сукупність логічних операторів всіх логічних елементів схеми в термінах їх входів.

Крім зазначених вище вхідних (x_i) та вихідних (z_j) сигналів в логічних рівняннях структурної системи використовуються символи внутрішніх змінних y_i , що позначають вихідні сигнали логічних елементів, які не є зовнішніми виходами схеми .

При таких позначеннях структурна система логічних операторів елементів 1 рангу має вигляд:

$$\begin{aligned} y_1 &= x_1 \cdot x_5; \\ y_2 &= x_2 \vee \overline{x_5}; \\ y_3 &= x_3 \cdot x_6; \end{aligned} \quad (3)$$

$$y_4 = x_4 \vee \overline{x_6}.$$

Елементи другого рангу описуються наступною системою структурних операторів:

$$\begin{aligned} y_5 &= \overline{y_1 \cdot y_3 \cdot x_8}; \\ y_6 &= \overline{y_2 \cdot y_3 \cdot x_8}; \\ y_7 &= \overline{y_2 \cdot y_4 \cdot x_7}; \\ y_8 &= \overline{y_2 \cdot y_4 \cdot x_8}; \\ y_9 &= \overline{y_1 \cdot y_3 \cdot x_8}; \\ y_{10} &= \overline{y_1 \cdot y_4 \cdot x_7}; \\ y_{11} &= \overline{y_2 \cdot y_3 \cdot x_7}; \\ y_{12} &= \overline{y_1 \cdot y_3 \cdot x_7}; \\ y_{13} &= \overline{y_2 \cdot y_4 \cdot x_8}; \\ y_{14} &= \overline{y_2 \cdot y_3 \cdot x_7}; \\ y_{15} &= \overline{y_1 \cdot y_4 \cdot x_8}; \\ y_{16} &= \overline{y_1 \cdot y_3 \cdot x_8}; \\ y_{17} &= \overline{y_1 \cdot y_3 \cdot x_8}; \\ y_{18} &= \overline{y_1 \cdot y_3 \cdot x_8}; \\ y_{19} &= \overline{y_1 \cdot y_3 \cdot x_8}; \\ y_{20} &= \overline{y_1 \cdot y_3 \cdot x_8}. \end{aligned} \tag{4}$$

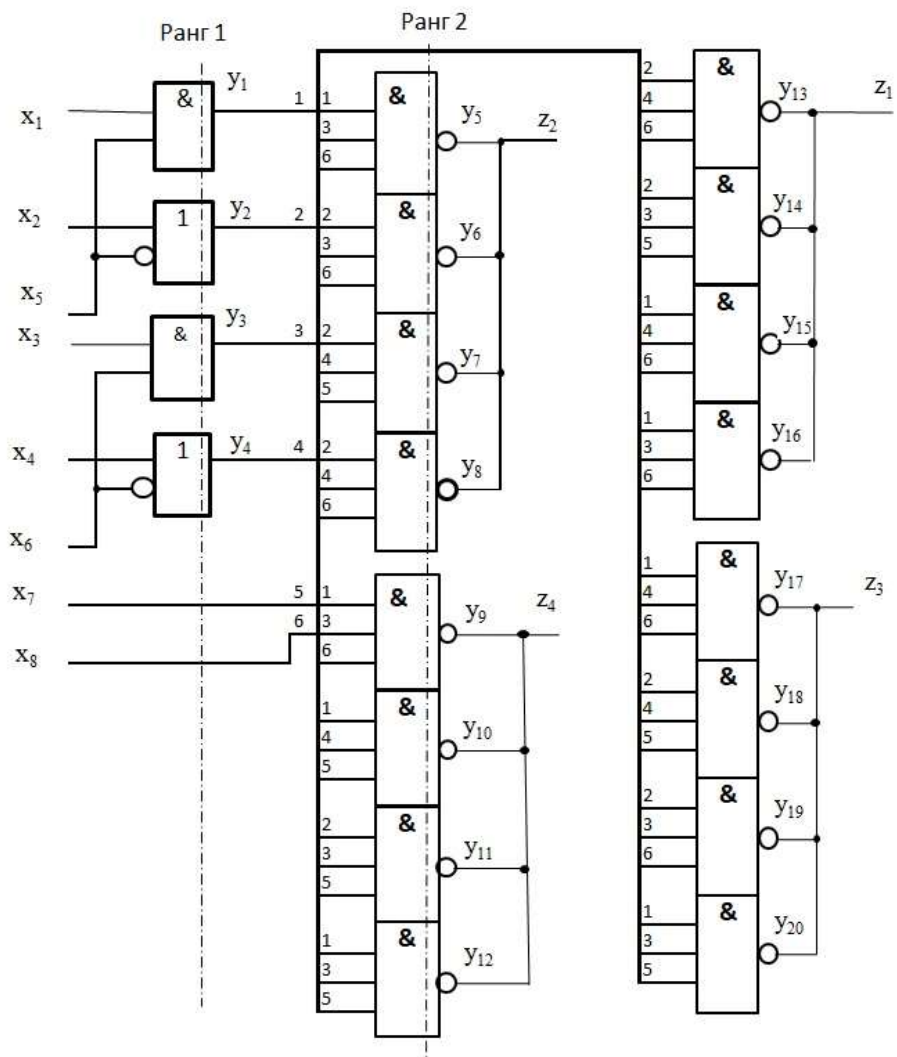


Рис.1. Логічна схема однорозрядного швидкодіючого суматора з розширеними функціональними можливостями.

Корисною властивістю такої структурної системи логічних функцій є збереження інформації про шляхи розповсюдження логічних сигналів від входів до зовнішніх виходів схеми, що робить такі моделі корисними для розв'язку задач технічної діагностики.

Мультиплексоване з'єднання виходів логічних елементів 2-го рангу призначене для реалізації функцій "Монтажне АБО", тому вихідні функції з множини Z можна записати так:

$$\begin{aligned} z_1 &= y_{13} \vee y_{14} \vee y_{15} \vee y_{16}; \\ z_2 &= y_5 \vee y_6 \vee y_7 \vee y_8; \\ z_3 &= y_{17} \vee y_{18} \vee y_{19} \vee y_{20}; \\ z_4 &= y_9 \vee y_{10} \vee y_{11} \vee y_{12}. \end{aligned} \quad (5)$$

Такими чином, системи (3), (4), (5) є структурною системою логічних функцій, що описують оботу схеми швидкодіючого однорозрядного суматора з розширеними функційними моливостями. Для перетворення вхідних операндів в сигнали суми і переносу в старший розряд необхідно витратити всього 2 мікротакти автоматного часу, що забезпечує привабливість розглянутою схеми для побудови швидкодіючих спецпроцесорів.

Узагальнена логічна модель однорозрядного суматора

Отримання УЛІМ суматора полягає у застосуванні алгоритмів, що обгрунтовані в [7], до наведеної на рис.1 схеми. Слід пам'ятати, що при формуванні УЛІМ вузлів розгалуження необхідно включати в модель параметри несправностей α_i та β_j для моделювання дефектів вузлів розгалуження.

В результаті застосування співвідношення (2) до структурної системи логічних функцій (3) отримується наступна структурна система узагальнених логічних операторів елементів 1 рангу логічної схеми пристрою:

$$\begin{aligned} \widetilde{y}_1 &= (x_1 \vee \beta_1) \cdot (x_5 \vee \beta_2) \cdot \alpha_1 \vee \beta_3; \\ \widetilde{y}_2 &= ((x_2 \cdot \alpha_2) \vee (\overline{x_5} \cdot \alpha_3)) \cdot \alpha_4 \vee \beta_4; \\ \widetilde{y}_3 &= (x_3 \vee \beta_5) \cdot (x_6 \vee \beta_6) \cdot \alpha_5 \vee \beta_7; \\ \widetilde{y}_4 &= ((x_4 \cdot \alpha_6) \vee (\overline{x_6} \cdot \alpha_7)) \alpha_8 \cdot \beta_8. \end{aligned} \quad (6)$$

Виходи елементів рангу 2 не мають розгалужень, тому у відповідності до (2) їх УЛІМ не містять ПН вихідних сигналів:

$$\begin{aligned} y_5 &= \overline{(\widetilde{y}_1 \vee \beta_9) \cdot (\widetilde{y}_3 \vee \beta_{10}) \cdot (x_8 \vee \beta_{11})}; \\ y_6 &= \overline{(\widetilde{y}_2 \vee \beta_{12}) \cdot (\widetilde{y}_3 \vee \beta_{13}) \cdot (x_8 \vee \beta_{14})}; \\ y_7 &= \overline{(\widetilde{y}_2 \vee \beta_{15}) \cdot (\widetilde{y}_4 \vee \beta_{16}) \cdot (x_7 \vee \beta_{17})}; \\ y_8 &= \overline{(\widetilde{y}_2 \vee \beta_{18}) \cdot (\widetilde{y}_4 \vee \beta_{19}) \cdot (x_8 \vee \beta_{20})}; \\ y_9 &= \overline{(\widetilde{y}_1 \vee \beta_{21}) \cdot (\widetilde{y}_3 \vee \beta_{22}) \cdot (x_8 \vee \beta_{23})}; \\ y_{10} &= \overline{(\widetilde{y}_1 \vee \beta_{24}) \cdot (\widetilde{y}_4 \vee \beta_{25}) \cdot (x_7 \vee \beta_{26})}; \\ y_{11} &= \overline{(\widetilde{y}_2 \vee \beta_{27}) \cdot (\widetilde{y}_3 \vee \beta_{28}) \cdot (x_7 \vee \beta_{29})}; \\ y_{12} &= \overline{(\widetilde{y}_1 \vee \beta_{30}) \cdot (\widetilde{y}_3 \vee \beta_{31}) \cdot (x_8 \vee \beta_{32})}; \\ y_{13} &= \overline{(\widetilde{y}_2 \vee \beta_{33}) \cdot (\widetilde{y}_4 \vee \beta_{34}) \cdot (x_8 \vee \beta_{35})}; \\ y_{14} &= \overline{(\widetilde{y}_2 \vee \beta_{36}) \cdot (\widetilde{y}_3 \vee \beta_{37}) \cdot (x_7 \vee \beta_{38})}; \\ y_{15} &= \overline{(\widetilde{y}_1 \vee \beta_{39}) \cdot (\widetilde{y}_4 \vee \beta_{40}) \cdot (x_8 \vee \beta_{41})}; \\ y_{16} &= \overline{(\widetilde{y}_1 \vee \beta_{42}) \cdot (\widetilde{y}_3 \vee \beta_{43}) \cdot (x_8 \vee \beta_{44})}; \\ y_{17} &= \overline{(\widetilde{y}_1 \vee \beta_{45}) \cdot (\widetilde{y}_3 \vee \beta_{46}) \cdot (x_8 \vee \beta_{47})}; \\ y_{18} &= \overline{(\widetilde{y}_1 \vee \beta_{48}) \cdot (\widetilde{y}_3 \vee \beta_{49}) \cdot (x_8 \vee \beta_{50})}; \\ y_{19} &= \overline{(\widetilde{y}_1 \vee \beta_{51}) \cdot (\widetilde{y}_3 \vee \beta_{52}) \cdot (x_8 \vee \beta_{53})}; \\ y_{20} &= \overline{(\widetilde{y}_1 \vee \beta_{54}) \cdot (\widetilde{y}_3 \vee \beta_{55}) \cdot (x_8 \vee \beta_{56})}. \end{aligned} \quad (7)$$

Математичні моделі вихідних сигналів суматора згідно з (2) доповнюються параметрами несправностей вихідних полюсів схеми:

$$\begin{aligned} z_1 &= (\widetilde{y}_{13} \cdot \alpha_9 \vee \widetilde{y}_{14} \cdot \alpha_{10} \vee \widetilde{y}_{15} \cdot \alpha_{11} \vee \widetilde{y}_{16} \cdot \alpha_{12}) \cdot \alpha_{13} \vee \beta_{57}; \\ z_2 &= (\widetilde{y}_5 \cdot \alpha_{14} \vee \widetilde{y}_6 \cdot \alpha_{15} \vee \widetilde{y}_7 \cdot \alpha_{16} \vee \widetilde{y}_8 \cdot \alpha_{17}) \cdot \alpha_{18} \vee \beta_{58}; \\ z_3 &= (\widetilde{y}_{17} \cdot \alpha_{19} \vee \widetilde{y}_{18} \cdot \alpha_{20} \vee \widetilde{y}_{19} \cdot \alpha_{21} \vee \widetilde{y}_{20} \cdot \alpha_{22}) \cdot \alpha_{23} \vee \beta_{59}; \\ z_4 &= (\widetilde{y}_9 \cdot \alpha_{24} \vee \widetilde{y}_{10} \cdot \alpha_{25} \vee \widetilde{y}_{11} \cdot \alpha_{26} \vee \widetilde{y}_{12} \cdot \alpha_{27}) \cdot \alpha_{28} \vee \beta_{60}. \end{aligned} \quad (8)$$

Отримана узагальнена математична модель однорозрядного суматора містить 28 параметрів несправностей типу "const 0" та 60 параметрів несправностей типу "const 1". Це означає, що доступна для моделювання кількість одиничних константних несправностей розгляданого суматора дорівнює $60 + 28 = 88$. Одною з найважливіших властивостей представленої в (6), (7), (8) УЛМ є відображення інформації про структуру модельованого пристрою, тобто про ланцюги розповсюдження сигналів від вхідних полюсів схеми до вихідних. Завдяки цьому існує можливість відстежити перелік елементів розповсюдження впливу несправності на вихідні сигнали схеми. В технічній діагностиці такий перелік називається шляхом розповсюдженням несправності від місця її виникнення до місця спостереження [3]. Саме в таких точках можна спостерігати відмінність між сигналами несправної схеми та схеми без константних дефектів.

Важливим елементом в структурі цифрового пристрою є також місця розгалужень, що в подальшому сходяться. Можливості тестової перевірки дефектів в таких точках суттєво ускладнюються, тому математичне моделювання розгалужених логічних структур потребує додаткових досліджень.

Список бібліографічного опису

1. Возна Н.Я. Структуризація поліфункціональних даних: теорія, методи та засоби: Монографія / Н.Я.Возна – Тернопіль: ТНЕУ, 2018. – 378 с.
2. Патент на корисну модель №109136 "Однорозрядний суматор". Круліковський Б.Б., Давлетова А.Я., Возна Н.Я., Николайчук Я.М. Бюл.№15 від 10.08.2016.
3. Основы технической диагностики / В.В. Карибский, П.П. Пархоменко, Е.С. Согомонян, В.Ф. Халчев. – М.: Энергия, 1976. – 464 с.
4. Казначеев В.И. Диагностика неисправностей цифровых автоматов. – М.:Сов. радио, 1975. – 256 с.
5. Основы логических методов проверки автоматов. Складывич А.Н. Рига, "Зинатне", 1979. – 192 с.
6. Чжен Г., Меннинг Е., Метц Г. Диагностика отказов цифровых вычислительных систем. – М.: Мир, 1972. – 232 с.
7. Краснов В.В., Круликовский Б.Б. Математическое моделирование комбинационных схем с учетом возможных неисправностей. Гибридные вычислительные машины и комплексы. Вып.3.- Киев: Наукова думка.- 1980.- С.26-32

References

1. Vozna N.Ya. Structuring of multifunctional data: theory, methods and tools: Monograph / N. Ya. Vozna – Ternopil: TNEU, 2018. – 378 p.
2. Utility model patent No. 109136 "Single-bit adder". Krulikovsky B.B., Davletova A.Ya., Vozna N.Ya., Nikolaychuk Y.M. Bull. No. 15 dated August 10, 2016.
3. Fundamentals of technical diagnostics / V.V. Karibsky, P.P. Parkhomenko, E.S. Sohomonyan, V.F. Halchev. - M.: Energy, 1976. - 464 p.
4. Kaznacheev V.I. Diagnostics of malfunctions of digital automata. - M.: Sov. radio, 1975. - 256 p.
5. Fundamentals of logical methods of checking automatic machines. Sklyarevich A.N. Riga, "Zinatne", 1979. – 192 p.
6. Zheng H., Manning E., Metz G. Diagnostics of failure of digital computing systems. - M.: Mir, 1972. - 232 p.
7. Krasnov V.V., Krulykovsky B.B. Mathematical modeling of combinational circuits taking into account possible malfunctions. Hybrid computing machines and complexes. Issue 3. - Kyiv: Naukova dumka. - 1980. - P. 26-32.