

УДК 681.326:519.613

В.И. ХАХАНОВ, С.В. ЧУМАЧЕНКО, TIECOURA YVES, С.С. ГАЛАГАН

Харьковский национальный университет радиоэлектроники, Украина

ВСТРОЕННОЕ ДИАГНОСТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ

Рассмотрена проблема адаптации технологий тестирования цифровых систем для нового конструктивного поколения – System-in-Package (SiP), которое постепенно осваивает рынок электронных технологий. Пакет кристаллов формирует спектр новых задач сервисного обслуживания SiP-функциональностей в реальном масштабе времени, который существенно отличается от процессов встроенного диагностирования компонентов SoC (System on Chip).

Ключевые слова: дефект, восстановление работоспособности, матрица логических блоков, программируемая логика.

Введение

Технология «System-in-Package» – SiP (система в корпусе, система в пакете, многочиповый пакет) является привлекательным и перспективным решением для большинства приложений, таких как беспроводные устройства, сенсоры, устройства обработки графической информации, коммутация пакетов сети [1-5].

Технологическая конструкция SiP в виде наслоения или «пирога» из силиконовых кристаллов закономерно и ожидаемо эволюционирует в течение последних 10 лет на рынке электронных технологий и предоставляет разработчикам аппаратуры новые возможности:

- гибкость при проектировании и производстве отдельных компонентов системы, которая позволяет использовать оптимальные технологии для быстродействующей логики, памяти, аналоговых компонентов;
- возможность проектирования и изготовления компонентов системы с высоким значением параметра yield (выход годных изделий), а также их интеграции в более сложные устройства;
- возможность размещения пассивных компонентов непосредственно на подложке, что является важным для аналого-цифровых устройств передачи данных;
- повышение производительности цифровых систем, миниатюризация объема и снижение веса изделия, уменьшение задержек распространения сигналов, энергопотребления и стоимости изделия.

Платой за такие преимущества является: 1. Аппаратное усложнение цифровой системы в пакете, насчитывающей уже миллиарды вентилях (до 500 миллионов транзисторов на одном кристалле). 2.

Высокая стоимость проектирования и производства (Design and Manufacturing Cost). 3. Бесплезность существующих моделей (Unavailable Simulation Models) и методов анализа и принятия решений (Decision Making Process). 4. Отсутствие гарантии качества используемых силиконовых пластин (Bare Die Quality). 5. Низкий уровень выхода годных изделий SiP (Low Assembly Yields). 6. Сложность процессов восстановления работоспособности (Complex Repair Process). 7. Весьма ограниченные средства проектирования (Limited CAD Tools). 8. Наличие проблем в управлении отводом тепла (Thermal Management).

Новое конструктивное исполнение цифровой системы добавляет разработчикам аппаратуры технологические проблемы тестирования цифровых систем в пакетах (SiP Test Challenges), пластин и силиконовых кристаллов (Wafer/Die Test), подложки (Substrate Test) и функциональных модулей (Module Test). Современный уровень технологии SiP не позволяет уменьшить стоимость процесса тестирования, когда каждый функциональный модуль тестируется отдельно. Кроме того, существует много проблемных вопросов, связанных с соединением силиконовых кристаллов (silicon die) в цифровую электронную систему. В первую очередь здесь актуальными представляются: 1) механическая защита внутренностей силиконовых кристаллов; 2) удобства и преимущества использования, сборки и тестирования (handling, assembly, test); 3) рассеивание тепла путем его отвода от горячих компонентов (removal of wasted heat). Цифровые системы на кристаллах ориентированы на использование в экстремальных условиях, когда доступ человека к ремонту ограничен. В этом случае работоспособность компонентов необходимо восстанавливать в процессе

функціонування з допомогою спеціальних встроєних средств [6]. Для целей тестирования, диагностирования и ремонта кристалла создается инфраструктура сервисного обслуживания функциональностей SiP.

Актуальной является задача разработки универсального алгоритма проектирования SiP и набора интегрированных средств, которые позволили бы выполнять совместную разработку (codesign) компонентов системы и оптимизировать электрические, функциональные, механические и тепловые ее характеристики.

Цель исследования – анализ современного состояния рынка технологий сервисного обслуживания SiP и определение наиболее актуальных проблем, подлежащих решению.

Задачи: 1) анализ встроєнных методов тестирования цифровых систем на кристаллах и в пакете (SoC, SiP); 2) формулирование актуальных проблем, связанных с тестированием и диагностированием цифровых систем на кристаллах и в пакете; 3) адаптация существующих технологий тестопригодного проектирования к решению проблем встроєнного тестирования функциональностей SoC, SiP.

1. Архитектура и технологии тестирования SiP

System-in-Package (SiP) представляет собой многослойный кристалл, размещенный на подложке вместе с пассивными компонентами [7-11].

Для реализации тестирования подложку можно рассматривать как печатную плату [7] и в этом случае могут быть применены существующие IEEE стандарты: 1149.1 – A Test Access Port and Boundary Scan Architecture и 1149.4 – A Standard Mixed Signal Test. Стандарт 1149.1 может быть использован для тестирования цифровых межсоединений кристаллов, размещенных на подложке, а также сканирования и встроєнного тестирования элементов кристалла. Стандарт 1149.4 поддерживает все возможности стандарта 1149.1 и дополнительно позволяет тестировать аналоговые межсоединения кристаллов, предоставляет механизм тестирования и измерения параметров отдельных RLC пассивных элементов, которые могут быть размещены в аналоговых цепях между кристаллами. Используя указанные выше стандарты в комбинации с исчерпывающим функциональным тестированием в автоматическом режиме можно выполнять тестирование цифровых и аналоговых цепей низкой частоты.

Парадигма «система на кристалле» (SoC) гарантирует более высокую производительность, меньшие размеры, более низкое энергопотребление, по сравнению с аналогичной системой на печатной

плате [12]. Кроме того, многократное использование функционально законченных компонентов (IP-core) упрощает процесс проектирования. Производители систем на кристалле могут разрабатывать собственные IP-core или покупать готовые и встраивать их в различные сложные системы. Однако для того, чтобы компенсировать высокую стоимость проектных работ, необходимы большие объемы выпуска продукции.

Основной проблемой дальнейшего развития SoC является современный уровень силиконовой технологии. Для решения отдельных задач имплементации разнородных компонентов в кристалл необходимы различные специфичные технологические процессы. Решение указанной проблемы возможно в рамках SiP парадигмы.

SiP состоит из множества кристаллов, размещенных на одной подложке и соединенных с помощью связей. В отдельном кристалле может быть реализована одна функциональность (например, память) или несколько (например, кристалл может представлять собой подсистему SSoC). Парадигма SiP объединяет в себе преимущества системы на кристалле и печатной платы: компоненты SiP могут изготавливаться отдельно по различным технологиям и затем путем сборки объединяться в единую систему. Это позволяет увеличить производительность системы и упростить процесс проектирования. Однако при тестировании SiP возникают проблемы. Трудности тестирования определяются сложностью проекта и уровнем доступности компонентов. Типовое решение задачи тестирования основано на модульности проекта, инкапсуляции, использовании оболочки модуля «core wrapper», механизма тестового доступа (TAM), тестопригодного проектирования (DFT), а также возможности тестирования модулей по отдельности или параллельно. Алгоритм тестирования SiP отличается от традиционного, поскольку необходимо вначале реализовать тестирование на уровне отдельного кристалла и затем – заключительное тестирование системы в целом. Несмотря на то, что при реализации отдельных компонентов обеспечивается управляемость и наблюдаемость линий, для тестирования SiP в целом необходимы дополнительные специальные средства, которые бы позволили реализовать тестирование аналоговых и аналого-цифровых устройств, межсоединений кристаллов при наличии проектных и технических ограничений.

В работе [12] описан подход к тестированию на основе стандарта IEEE 1500 Standard for Embedded Core Test (SECT). Парадигма тестирования SiP базируется на использовании эталонных кристаллов (Known-Good-Die, KGD). При этом обычно используются только доступные решения, поскольку на

уровне SiP может не быть возможности использования всех необходимых тестов для каждого отдельного кристалла из-за невозможности использования некоторых тестовых режимов или большой стоимости.

Тестирование интегральной схемы осуществляется путем испытания на отказ, когда выявляются ранние отказы в период приработки. Обычно производители применяют испытания системы на отказ на уровне пакета. Для SiP требуются эталонные кристаллы, которые характеризуются таким уровнем качества, который эквивалентен уровню, получаемому при испытаниях на отказ. Для этого исследователи предлагают различные технологии и средства: испытания на отказ на уровне подложки (Wafer-Level Burn-In – WLBI) или технологию «испытательно-пригодного» проектирования (Design-for-WLBI); подход, при котором сквозные переходные отверстия рассматриваются как единственные точки соприкосновения с кристаллом, которые позволяют применять технологию зондирования; анализ тестовых данных.

Несмотря на определенные достижения в области тестирования кристаллов, при тестировании SiP возникает много проблем. Алгоритм тестирования SiP позволяет адресовать взаимосвязанные кристаллы, сложность которых неуклонно растет. Необходимы также тесты для тестирования межсоединений и верификация параметров, зависящих от плотности размещения (Sensible-to-Packaging).

Процесс разработки SoC и SiP имеет общие черты:

1. SoC и SiP представляют собой объединение многих функциональных модулей, производимых разными компаниями.

2. Разработка различных модулей должна быть синхронизирована с целью обеспечения их наилучшего совместного функционирования.

3. Ограничениями при разработке SoC являются временные параметры и потребляемая мощность, важным является также выбор оптимальной технологии и управление аналого-цифровыми частями.

4. SiP парадигма уменьшает влияние указанных параметров на стоимость продукта, поскольку она позволяет группировать модули в зависимости от требований, технологии, типа и создавать кристалл для каждой группы. Затем отдельные кристаллы объединяются в один пакет (SiP).

До настоящего времени сфера применения SiP архитектуры ограничивалась в основном портативными компьютерами и коммуникационными устройствами, где требовалась минимизация занимаемого пространства и слияние функциональностей, включая цифровые, аналоговые компоненты и устройства питания.

В настоящее время SiP включает несколько кристаллов различного назначения для решения следующих задач:

- один или более вычислительных модулей, поддерживающих возможность совершенствования. Это может быть микросхема VLSI или подсистема SoC (SSoC), в состав которой входит один или более процессоров (CPU), связанных с помощью шины с периферийными устройствами в целях организации обмена данными (с помощью последовательного или параллельного интерфейса) и вычислений (аппаратно-ускоренное декодирование);

- автономная память (обычно Flash, E2PROM или DRAM) от разных производителей. Производитель SiP реализует их сборку при изготовлении пакета;

- аналоговые модули и устройства питания позволяют SiP взаимодействовать с электромеханическими модулями (экран, динамик);

- RF модули позволяют системе взаимодействовать со средой функционирования и хранить информацию о продукте (версию или данные о поставщике компонентов).

Сходство и различия процесса производства SoC и SiP обуславливают используемые методы тестирования. Поскольку SoC и SiP представляют собой объединение нескольких модулей, необходима методология тестирования каждого кристалла (или группы кристаллов) наряду с DFT структурами и тестовыми наборами. Методы и механизмы тестирования, которые используются на уровне тестирования кристалла, являются общими для SoC и SiP. Для SoC второй уровень тестирования, системный тест, включает интерфейсы тестирования, их межсоединения и порядок выполнения тестов. Поскольку SiP имеет многокристальную архитектуру, решения, связанные с уровнем системного тестирования, укладываются в несколько категорий:

- определение требований к тестированию подсистемы. Каждый произведенный кристалл требует эффективного, надлежащим образом подключенного интерфейса тестирования и строго определенного порядка выполнения тестов;

- определение требований к тестированию системы как сборочной единицы. SiP архитектура обуславливает два важных аспекта: 1) тестирование кристалла может быть ориентировано на общую структуру SiP и взаимодействие ее компонентов; функциональности одного кристалла SiP могут использоваться при тестировании другого; 2) важно тщательно обрабатывать результаты тестирования межсоединений кристаллов, пересматривая архитектуру интерфейсов подсистемы тестирования.

Последний уровень производственного тестирования отражает структурные различия между SoC

и SiP. На этом уровне тестовая стратегия, разработанная для системы, переводится в АТЕ-совместимый (Automatic Test Equipment) формат. Для SoC этот шаг не нужен, поскольку необходима только одна тестовая программа. Для SiP указанный шаг включает два уровня:

уровень 1 – описание тестовой программы и тестовых воздействий;

уровень 2 – тестовые программы, сгенерированные для тестирования межсоединений между кристаллами и завершающего тестирования SiP.

Стандарт IEEE 1500 SECT является наиболее эффективным с точки зрения стоимости решением для производственного тестирования SoC. В нем приведена стандартизированная методология передачи тестовых данных, независимая от функциональности системы, позволяющая выполнять «plug-and-play» тестирование. Стандарт определяет:

- масштабируемую структуру интерфейса тестирования для IP-cores, входящих в состав SoC;
- язык тестирования IP-core (Core Test Language – CTL), который позволяет описать архитектуру теста и протоколы обмена тестовыми данными между производителями IP-core и системным интегратором.

На уровне интеграции SoC IP-core, помещенный в интерфейс (wrapper) IEEE 1500 подключается к специальной, определенной пользователем инфраструктуре тестирования благодаря наличию механизма тестового доступа (Test Access Mechanism – TAM). Тестирование осуществляется через интерфейс IEEE 1500, через который внешнее тестовое оборудование передает тестовые наборы и получает отклики в установленном порядке.

Используемые для SoC решения, основанные на стандарте IEEE 1500, могут быть распространены на парадигму SiP путем применения представленных в стандарте структур для тестирования отдельных кристаллов, образующих систему в пакете, гарантируя, таким образом, возможность реализации тестирования на уровне кристалла и на системном уровне.

Размещение интерфейса тестирования на кристалле позволяет улучшить качество изделия, несмотря на то, что временные параметры изделия могут несколько ухудшиться.

Стратегия тестирования SiP предполагает выполнение следующих шагов:

1. Реализация индивидуальных тестов для каждого кристалла, входящего в SiP. На этом шаге, известном как «wafer test» (тест для проверки логической схемы непосредственно на пластине), выявляются дефектные кристаллы, которые будут приводить к неправильному функционированию системы. Здесь также выполняются нагрузочные испытания,

такие как наработка на отказ и окончательная идентификация эталонных кристаллов. Обычно этот шаг выполняется производителем кристалла. Если же на подложке устанавливаются активные компоненты, производитель должен выполнить заключительную сборку на эталонной подложке. При этом выполняется тестирование квази-пакета, цель которого уменьшить сложность теста подложки, обычно выполняемого при заключительном производственном тестировании. Добавляя промежуточные тестовые шаги в процесс интеграции SiP, можно выявить дефектные элементы перед заключительным производственным тестом, например, входное тестирование подложки, которое выполняется на производственном оборудовании. Однако на практике оно практически не используется из-за усложнения производственного процесса и использования различного оборудования на производственном участке. Несмотря на то, что SiP состоит из эталонных компонентов, окончательный продукт требует выполнения дополнительной фазы тестирования.

2. Тестирование межсоединений кристаллов позволяет проверить внутрисистемную связность эталонных компонентов. Выбор теста для межсоединений зависит от технологии SiP, поскольку различные производственные технологии приводят к некоторым отличиям в неисправном поведении.

3. Послеупаковочное (post-packaging) тестирование выявляет проблемы, которые являются результатом процесса упаковки. На этом шаге необходимо повторно тестировать каждый кристалл, содержащий внутренние структуры. В этих условиях использование заимствованных стандартных структур позволяет гарантировать доступность компонентов SiP. Послеупаковочный тест является многопроходным и выполняется в критических условиях (например, при высокой температуре). Полученная информация может помочь при определении правил производственнопригодного проектирования SiP (Design-for-Manufacturing, DFM).

Заключение

Адаптация технологий тестирования цифровых систем на кристаллах к новому конструктивному поколению цифровых систем – system-in-package (SiP) – позволяет эффективно решать проблемы рынка электронных технологий. Вместе с тем пакет кристаллов формирует спектр новых задач сервисного обслуживания SiP-функциональностей, которое существенно отличается от процессов встроеного диагностирования SoC (System on Chip) в реальном масштабе времени. К ним относятся взаимосвязанные задачи тестирования, диагностирования и восстановления работоспособности логических

компонентов цифровых систем, которые к 2014 году будут составлять 6% от проекта, размещенного на кристалле. В настоящее время существует устойчивая тенденция снижения процентного соотношения логической части в сторону наращивания памяти. Тем не менее, проблема оперативного ремонта отказавших логических элементов в реальном масштабе времени остается нерешенной.

Выполненный анализ встроенных методов тестирования цифровых систем на кристаллах и в пакете (SoC, SiP) показал, что использование избыточных площадей программируемой логики позволяет эффективно решать задачи восстановления работоспособности логических компонентов (Reused and New Logic) цифровой системы на кристаллах SoC & SiP и встроенной памяти в реальном масштабе времени.

Литература

1. Gartner, Inc. [Електронний ресурс] – Режим доступу. <http://www.gartner.com/>
2. Pсweek live. [Електронний ресурс] – Режим доступу. <http://www.pсweek.ru/>
3. Kwang-Ting C. *The Need for a SiP Design and Test Infrastructure* / C. Kwang-Ting // *IEEE Design and Test of Computers*. – May–June, 2006. – P. 181.
4. Rickert P. *Cell Phone Integration: SiP, SoC, and PoP* / P. Rickert, W. Krenik // *IEEE Design and Test of Computers*. – May–June, 2006. – P. 188-195.
5. *FSA SiP Market and Patent Analysis Report. FSA SiP Subcommittee // IEEE Design & Test of Computers. – Vol. 24, Issue 2, March–April, 2007. – pp. 184-192.*
6. Hamdioui S. *The State-of-the-art and Future Trends in Testing Embedded Memories* / S. Hamdioui, G.N. Gaydadjiev, A.J. Goor // *Records IEEE International Workshop on Memory Technology, Design, and Testing, San Jose, CA, August 2004. – 2004. – P. 54-59.*
7. Whetsel L. *System-in-Package Testing Using Existing IEEE Test Standards* / L. Whetsel // *International Test Conference 2001 (ITC'01). – 2001. – pp. 1167.*
8. Khoche A. *System-in-Package is Coming to Consumer Products: Is Test Ready?* / A. Khoche // *Proceedings of the International Test Conference 2001 (ITC'01). – 2001. – pp. 1166.*
9. Fontanelli A. *System-in-Package Technology: Opportunities and Challenges* / A. Fontanelli // *Quality Electronic Design, 2008. – ISQED 2008, 9th International Symposium. – March, 2008. – pp. 589 - 593.*
10. Lim S.K. *Physical design for 3D system on package* / S.K. Lim // *IEEE Design & Test of Computers. – Vol. 22, Issue 6. – Nov.-Dec., 2005. – pp. 532 - 539.*
11. Tummala R.R. *System on chip or system on package?* / R.R. Tummala, V.K. Madiseti // *IEEE Design & Test of Computers. – Volume 16, Issue 2. – April-June, 1999 pp. 48 - 56.*
12. Appello D. *System-in-package testing: problems and solutions* / D. Appello, P. Bernardi, M. Grosso, M.S. Reorda // *IEEE Design & Test of Computers. – Vol. 23, Issue 3. – May-June, 2006. – pp. 203 - 211.*

Поступила в редакцію 12.02.2008

Рецензент: д-р техн. наук, проф., А.А. Мельник заведуючий кафедрой ЭВМ, Национальный университет «Львовская политехника», Львов, Украина.

ВСТРОЕННОЕ ДИАГНОСТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ

V.I. Hahanov, S.V. Chumachenko, Tiecoura Yves (Cote d'Ivoire), S.S. Galagan

Адаптація технологій тестування цифрових систем на кристалах до систем нового покоління – system-in-package (SiP) – дозволяє ефективно вирішувати проблеми ринку електронних технологій. Але пакет кристалів формує спектр нових задач сервісного обслуговування функціональностей SiP, серед яких найбільш актуальними є тестування та ремонт логічних компонентів цифрових систем.

Ключові слова: дефект, відновлення працездатності, матриця логічних блоків, програмовна логіка.

EMBEDDED DIAGNOSIS OF DIGITAL SYSTEMS

V.I. Hahanov, S.V. Chumachenko, Tiecoura Yves, S.S. Galagan

Adaptation of test technologies for digital systems on chips to the systems of new generation – system-in-package (SiP) – allows solving the problems of electronic technologies market. But system-in-package generates new problem of SiP F-IP Infrastructure, in which testing and embedded repair of logical components are the most topical.

Key words: fault, repair, logic block matrix, programmable logic.

Хаханов Владимир Иванович - д-р техн. наук, профессор кафедры АПВТ Харьковского национального университета радиоэлектроники, декан факультета КИУ ХНУРЭ, Харьков, Украина, e-mail: hahanov@kture.kharkov.ua.

Литвинова Евгения Ивановна – к.т.н., доцент, доцент кафедры технологии и автоматизации производства РЭС и ЭВС Харьковского национального университета радиоэлектроники, Харьков, Украина.

Tiecoura Yves (Cote d'Ivoire), аспирант кафедры АПВТ Харьковского национального университета радиоэлектроники, Харьков, Украина.

Галаган Сергей - студент факультета Компьютерной инженерии и управления Харьковского национального университета радиоэлектроники, Харьков, Украина.