

УДК 681.325.5

ГОНЧАРОВА Л.Л., к.т.н., доцент кафедри автоматизації та комп'ютерно-інтегрованих технологій транспорту (ДЕТУТ)

Методи організації паралельних контролерів для інтелектуалізації технологічних процесів електропостачання

Представив д.т.н., проф. Стасюк О.І.

Приведені концептуальні основи організації паралельних контролерів для інтелектуалізації технологічних процесів електропостачання, запропоновані методи синтезу паралельних матричних процесорів, орієнтованих на сучасні інтегральні технології, викладено методику синтезу паралельних контролерів з можливістю реконфігурації обчислювальної архітектури в процесі обробки інформації для рішення задач керування підвищеної розмірності і інтелектуальної складності в реальному часі.

Ключові слова: матричний процесор, паралельний контролер, тягові електричні мережі, математичні моделі.

Постановка проблеми

В умовах ринку електроенергії до електричного господарства залізниць висувається ряд підвищених вимог, пов'язаних з підвищенням рівня безпеки руху шляхом організації високої надійності і якості функціонування тягових електричних мереж і силового електричного обладнання тягових підстанцій в процесі виробництва, передачі й споживання електроенергії. Високий рівень складності мереж постачання електроенергії на тягу залізниць, значний набір силових електричних компонентів і можливості їхнього функціонування в широкому спектрі частот, а також динаміка зміни режимів електропостачання сприяли появі великої кількості підходів, способів, прийомів, технічних засобів, комп'ютерних сегментів і мережових технологій рішення сукупності задач керування електричним господарством залізничного транспорту [1, 2]. Цей факт підтверджується в першу чергу досягненнями в сфері сучасних комп'ютерних Інтернет і розподілених мережових та інформаційних технологій включаючи досвід експлуатації інформаційно – керуючих систем електропостачання організованих на базі мікропроцесорних пристроїв і компонентів силової електроніки, а також, що дуже важливо, розвитком ринкових відносин в енергобізнесі. Удосконалення систем керування режимами, що протікають в тягових електричних мережах представляється ефективним завдяки використанню швидкодіючих контролерів організованих у вигляді мережі і функціонально – орієнтованих на рішення класу задач, що можуть бути виконані в автоматичному режимі [3]. Цей факт підтверджується в першу чергу інтенсивним розвитком сучасних і перспективних інтегральних технологій і

появою на їх основі великих та надвеликих інтегральних схем, а також заказаних програмованих логічних інтегральних схем матричного типу, що дозволяють обробляти інформацію за час затримки сигналу між входами і виходами матричного процесора сприяло появі принципово нових обчислювальних компонентів і паралельних архітектур контролерів принципово підвищеної швидкодії. Відкрилась можливість побудови паралельних матричних процесорів, як основи організації швидкодіючих контролерів з набору однорідних обчислювальних елементів з вбудованою логікою, що дозволяє в процесі обробки інформації налаштувати його на виконання необхідної математичної залежності із заданого набору.

Аналіз останніх досліджень і публікацій

В зв'язку з тим, що технологічні процеси, які протікають в тягових електричних мережах і силових об'єктах швидкоплинні, то для керування в реальному часі і, відповідно, формування управлінських сигналів необхідно використовувати швидкодіючі контролери з паралельною архітектурою. Для надійності їх роботи застосовується апаратна, програмна і часова надлишковість. Сучасні мікропроцесорні контролери, що застосовуються для управління швидкими технологічними процесами виготовляються, як правило, на мікропроцесорній елементній базі, що відкриває широку можливість програмування і перепрограмування їх на спрощених мовних доступних обслуговуючому персоналу. Вони орієнтовані на експлуатацію в промислових умовах в широкому діапазоні температур, а їх особливістю є те, що вони реалізують процес автоматичного керування в циклічному режимі. При такій організації на першому кроці циклу скануються всі входи і їх стан записується в пам'ять контролера. В цьому циклі на другому кроці

реалізується обробка представлених в цифровій формі аналогових і дискретних сигналів, тобто згідно закону керування енергетичним об'єктом рішеннями системи математичних і логічних рівнянь. На останньому кроці цього циклу формуються сукупності аналогових, дискретних і при необхідності цифрових сигналів управління які фактично являються набором команд керування. Очевидно, що для надійності роботи контролерів, в першу чергу, з точки зору часових характеристик, необхідно щоб проміжок часу циклу τ був значно більше часу τ_1 запуску виконуючих механізмів, що управляють технологічним процесом $\tau > \tau_1$. Досвід експлуатації сучасних мікропроцесорних контролерів показав, що з їх появою покращився рівень якості, глибина і оперативність керування, а також відкрились широкі можливості при зміні технологічних процесів або сукупності задач управління, що моделюються, а також відкрилась можливість реалізувати перепрограмування їх робот не змінюючи системи управління в цілому. В той же час, при керуванні швидкоплинними процесами, наприклад, такими які протікають в тягових електричних мережах або силовому електричному обладнанні на тягових підстанціях в процесі експлуатації мікропроцесорних контролерів виявилися ряд недоліків важливішим із яких є те, що в них завдяки послідовній організації обробки інформації низька швидкодія. Цей факт суттєво знижує їх сфери застосування для задач які потрібно розв'язувати в реальному часі.

Виділення не розв'язаної раніше частини загальної проблеми

На основі проведеного аналізу архітектурних рішень сучасних мікропроцесорних контролерів орієнтованих на керування технологічними процесами на фоні сучасних і перспективних інтегральних технологій можна зробити висновок, що при синтезі контролерів не повною мірою використовується перевага паралельних однорідних обчислювальних архітектур, які виготовляються у вигляді паралельних процесорів і заказаних програмуємих логічних інтегральних схем [1 - 3]. Фактично, на сьогоднішній день, при синтезі швидкодіючих мікропроцесорних контролерів не повній мірі використовуються такі властивості, як висока швидкодія і регулярність обчислювача, що властиві сучасним інтегральним архітектурам. В зв'язку з цим, на сучасному етапі, дуже важливим є пошук нових принципів організації і розробка на їх основі методології синтезу паралельних матричних процесорів з можливістю їх реконфігурації для моделювання математичних і логічних рівнянь, а також методів побудови на їхній базі швидкодіючих паралельних архітектур мікропроцесорних контролерів для керування технологічними процесами в електричних системах. Тому, природним рішенням

проблеми забезпечення надійності та якості функціонування існуючих тягових електричних мереж і, відповідно, покращення безпеки руху залізничного транспорту є обґрунтування, розробка і дослідження проблеми інтелектуалізації єдиної тягової системи електропостачання залізниць шляхом впровадження сучасних комп'ютерних технологій на основі паралельних контролерів з перемінною паралельною архітектурою, що забезпечують мінімізацію електроспоживання, заданий рівень якості та надійності функціонування систем електропостачання.

Мета роботи

Розробка методів організації однорідних матричних процесорів, орієнтованих на сучасні інтегральні технології, і на їх базі методів синтезу паралельних обчислювальних архітектур контролерів з можливістю реконфігурації в процесі роботи для інтелектуалізації в реальному часі бистроплинних технологічних процесів постачання електроенергії на тягу, покращення якості і надійності функціонування електричних мереж, і як наслідок, збільшення рівня безпеки руху.

Основний матеріал дослідження

Сучасна модель інтелектуалізації електричних мереж залізниць на основі концепції SMART Grid передбачає сукупність організаційних, наукових і технічних рішень у галузі інформаційних і мережевих технологій, автоматизованих систем керування процесами електропостачання та диспетчерського - ситуаційного управління з метою оптимізації витрат, дотримання умов надійності і якості електроенергії, а також суттєвого розширення ринкових можливостей інтелектуальної електричної мережі шляхом взаємного надання широкого спектру послуг між суб'єктами ринку і інфраструктурою електричної системи залізниць [1, 2]. В зв'язку з цим розглянемо методи побудови паралельних матричних процесорів з можливістю реконфігурації архітектури, що можливо зробити шляхом організації розпаралелювання математичних моделей і, при необхідності, систем логічних рівнянь на рівні булевих змінних, а також покажемо можливість одночасного моделювання кожного із фрагментів моделі для пошуку відповідного розряду невідомої величини. Для цього використаємо математичний апарат теорії розрядних перетворень [3]. Суть такого підходу полягає в наступному. На базі формул і правил апарату розрядних перетворень математична модель $\Phi(X, Y) = 0$, у якій оператор

Φ визначає математичний зв'язок між векторами Y заданих і X невідомих величин, представляється в області зображень наступним чином

$$\overset{\nabla}{\Phi}(\overset{\nabla}{X}, \overset{\nabla}{Y}) = \overset{\nabla}{0} \quad (1)$$

де $\overset{\nabla}{\Phi}$ – розрядна матриця;

$\overset{\nabla}{X} = (x, x, \dots, x)^t$, $\overset{\nabla}{Y} = (y, y, \dots, y)^t$, $\overset{\nabla}{0} = (0, 0, \dots, 0)^t$ – розрядні вектори відповідно.

Після проведення відповідних алгебраїчних перетворень розрядна математична модель (1) може бути записана в області зображень у вигляді системи розрядних рівнянь n -го порядку виду

$$\begin{aligned} x_j^i &= F_j(\overset{\nabla}{\Phi}_j^i, \overset{\nabla}{\gamma}_j^i, \overset{\nabla}{Z}^{-i}), \quad i = \overline{1, n}, \quad j = \overline{1, m}; \\ x_j^i &\in \{0, 1\}, \end{aligned} \quad (2)$$

де n – розрядність представлення інформації.

Кожне розрядне рівняння (2) служить для визначення бінарного значення $x_j^i \in \{0, 1\}$ i -го розряду j -ї змінної системи рівнянь $\overset{\nabla}{\Phi}(X, Y) = 0$. Розрядні рівняння можна формувати в явній або неявній формі відповідно

$$\begin{aligned} x_j^i &= F_j(\overset{\nabla}{\Phi}_j^i, \overset{\nabla}{\gamma}_j^i, x, Z^{-i}), \\ x_j^i &= F_j(\overset{\nabla}{\Phi}_j^i, \overset{\nabla}{\gamma}_j^i, x, Z^{-i}) \end{aligned} \quad (3)$$

де $x_j^i \in \{0, 1\}$; z – основа системи числення; $\overset{\nabla}{Y}_j = \overset{\nabla}{\gamma}_j^i$, $i = \overline{1, n}$, $j = \overline{1, m}$.

Можлива також організація розрядних обчислень у вигляді розрядних рекурентних послідовностей

$$x_j^{i(k)} = F_j(\overset{\nabla}{\Phi}_j^{i(k)}, \overset{\nabla}{\gamma}_j^{i(k)}, x_j^{i(k-1)}, Z^{-i}). \quad (4)$$

В залежності від того, як організується обчислювальний процес починаючи зі старших розрядів бінарних змінних x_j , чи молодших розрядів

x_j^{n-i} , а також в залежності від того як формуються невідомі розрядні вектори, можна запропонувати декілька варіантів обчислювальних процесів записаних відповідно

$$\begin{aligned} x_j^i &= F_j^1(\overset{\nabla}{\Phi}_{1j}^i, \overset{\nabla}{\gamma}_{1j}^i, x, 2^{-i}); \\ x_j^{n-i} &= F_j^2(\overset{\nabla}{\Phi}_{2j}^{n-i}, \overset{\nabla}{\gamma}_{2j}^{n-i}, x, 2^{i-n}); \\ x_j^i &= F_j^3[Y_j^i(\sum_{i=1}^n \overset{\nabla}{\Phi}_j^i, x_j^i, 2^{-i})]; \\ x_j^i &= F_j^4[Y_j^{n-i}(\sum_{i=1}^n \overset{\nabla}{\Phi}_j^i, x_j^i, 2^{i-n})], \end{aligned} \quad (5)$$

де n – розрядність представлення інформації.

Побудував для кожного i -го розрядного рівняння (5) електронну модель і об'єднав їх згідно (2), отримаємо однорідний матричний процесор, як показано на рис. 1.

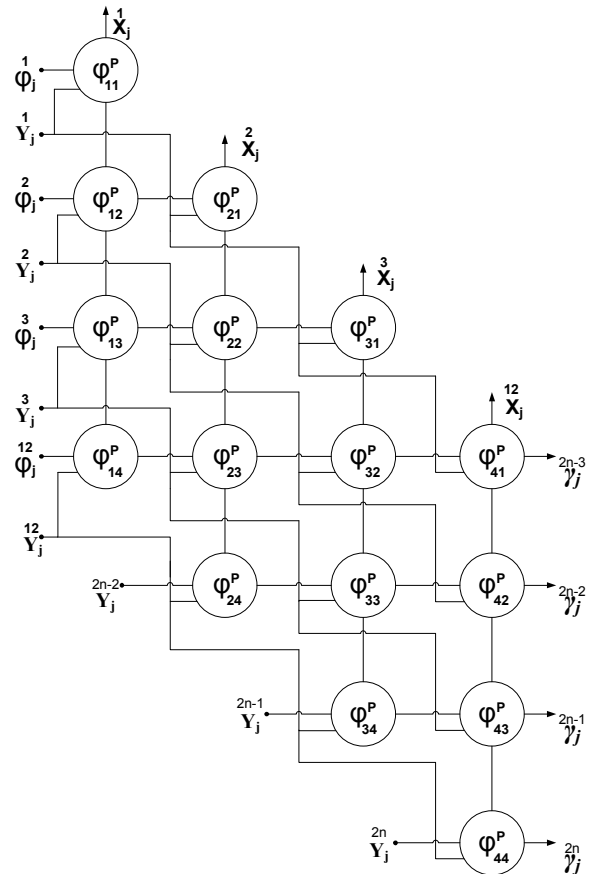


Рис. 1. Матричний процесор

Він орієнтований на виготовлення на основі сучасних інтегральних технологій у вигляді заказаних або напівзаказаних інтегральних схем. Розв'язування математичних моделей в процесорі виконується за час

затримки сигналів між входами та виходами елементів схеми, що може бути від одиниць до долів одиниці наносекунд. Завдяки тому, що структура паралельного процесора однорідна, то його достатньо ефективно можна реалізувати на основі сучасних інтегральних технологій, оскільки для його реалізації спочатку синтезується елемент однорідності, а потім він тиражується по кристалу. Моделювання необхідної математичної залежності, із заданої сукупності, в матричному процесорі відбувається завдяки подачі відповідних управлінських сигналів.

Модель паралельною контролера з можливістю реконфігурації архітектури програмними засобами можна представити у вигляді наступної системи

$$F = \langle D, L, S, \theta \rangle \quad (6)$$

де $D = \{D_{ij}\}$ – множина математичних методів для обчислення параметрів об'єкта керування які є базовими для системи управління; $L = \{L_{ij}\}$ – множина алгоритмів керування, що формуються на основі відповідних методів; $S = \{S_{il}\}$ – набір програмних компонентів із яких формується описування структури, що синтезується; θ – процедура опису об'єкта керування. Таким чином, процес проектування полягає в рішенні задачі синтезу, паралельної обчислювальної структури на основі програмних компонентів S_{il} для виконання заданого алгоритму L_{ij} , що реалізує метод D_{ij} у відповідності з заданими параметрами і границями. Результатом процедури θ являється опис об'єкту управління на мові засобів автоматизації проектування. Процес формування методів і алгоритмів носить, як правило, ітеративний характер. При цьому, критерієм ефективності вибраного методу і алгоритму є загальні характеристики такі як апаратні затрати, швидкодія, точність обчислювань або надійність обчислювального модулю. Можливі також спеціальні критерії, наприклад, обробки інформації в реальному часі, та ін. При цьому для успішного проектування необхідно створити добре структуровану бібліотеку методів і відповідних їм архітектур, що записані у вигляді програмних файлів у зовнішній пам'яті базового комп'ютера і на їх базі ітеративним шляхом реалізувати відповідний вибір підходящої пари метод-алгоритм для конкретного об'єкту чи класу об'єктів керування. В цьому випадку задача синтезу зводиться до раціонального вибору підходящої пари метод-алгоритм. Для раціональної побудови архітектури контролера з можливістю реконфігурації задача синтезу зводиться до вибору із раніше сформульованої множини рішень тих які задовольняють необхідним умовам і знаходяться у вигляді файлів конфігурації в бібліотеці системи проектування. Такий підхід дозволяє не тільки отримати ефективні рішення в процесі проектування, а також покращити ряд процедур пов'язаних з

постановкою задачі і процедур спілкування клієнта з комп'ютерною системою керування. Проектування паралельної архітектури на основі програмованих логічних інтегрованих схем підтримується інструментальними засобами які дозволяють: опис, логічне моделювання, розміщення і трасировку в конкретному кристалі, а також часову верифікацію з послідовним формуванням файлів для конфігурації кристалу. При проектуванні використовується множина складних проектних рішень

$$S^4 = \bigcup_l S^4 il, \quad (i = 1, n, l = 1, f); \text{ набір мікроелементів}$$

$$\text{стандартної бібліотеки} - S^3 = \bigcup_z S^3 iz, \quad (z = 1, k);$$

$$\text{набір мікроелементів що сформовані розробником} - S^2 = \bigcup_r S^2 ir, \quad (r = 1, p); \text{ набір параметричних}$$

$$\text{мікромодулів} - S^1 = \bigcup_t S^1 it, \quad (t = 1, \xi). \text{ В кінцевому}$$

варіанті конкретний проект побудови паралельної архітектури буде використовувати алфавіт конструкторів S у вигляді

$$S = \bigcup_N S^N, \quad N = 1 \div 4, \quad (7)$$

де частина підмножин S^N можуть бути пустими множинами, тобто $S^1 = \emptyset$ або $S^2 = \emptyset, S^3 = \emptyset, S^4 = \emptyset$. Для ефективної реалізації паралельної архітектури мікроконтролера необхідно сформувати бібліотеку структурних реалізацій метод - алгоритм, що виконують відображення конкретного алгоритму в структурну реалізацію $F : L_{ij} \Rightarrow S_{il}$, яке представляється у вигляді файлу конфігурації в кристалі заказаної програмованої логічної матриці. При цьому при рішенні задач керування можлива реалізація алгоритмів в паралельній, паралельно-послідовній та конвеєрній формах у вигляді

$$S_i = \bigcup_l S_{il}, \quad l = 1, f. \quad (8)$$

Кожний варіант реалізації характеризується комплексом параметрів, наприклад, швидкодія або час рішення задачі - t_{il} і апаратними затратами Q_{il} . Рахується, що при проектуванні обчислювальної архітектури потужність множини S достатня для

реалізації широкого набору алгоритмів. У випадку, коли l^a реалізація алгоритму в бібліотеці відсутня, то є можливість за допомогою інструментальних засобів розробити файл відповідної структурної реалізації і включити його в якості стандартного елемента бібліотеки. При такому підході задача оптимізації або раціонального вибору архітектури зводиться до упорядкованого вибору для кожного фрагменту алгоритму рішення комплексної задачі - S_{il} елемента бібліотеки з метою отримання екстремального значення вибраного критерію. Можливо рішення поставленої задачі методами цілочисленого програмування [5]. Можна запропонувати ряд інших варіантів постановки задачі оптимізації, або раціонального вибору паралельної архітектури мікроконтролера на основі принципу реконфігурації архітектури, яка полягає в знаходженні мінімуму цільової функції.

Критерій якості є мінімальні сумарні апаратні затрати на реалізацію всіх алгоритмів $L = \{L_{ij}\}$

$$Q = \sum_{i=1}^n \sum_{j=1}^m Q_{ij} \gamma_{ij} \neq \min, \quad i = \overline{1, n}, j = \overline{1, m} \quad (9)$$

$$\sum_{j=1}^m \gamma_{ij} = 1, \quad it_r + \sum_{i=1}^n \sum_{j=1}^m tij \gamma_{ij} \leq \tau$$

де t_r - час реконфігурації кристала за допомогою файлу конфігурації, для кожного кристала $t_r = const$ і залежить від типу кристала; τ - допустимий час виконання всіх алгоритмів.

Якщо критерієм якості є мінімальний час T виконання всіх алгоритмів, то

$$T = \sum_{i=1}^n \sum_{j=1}^m t_{ij} \gamma_{ij} = \min, \quad i = \overline{1, n}, \quad j = \overline{1, m}, \quad (10)$$

$$\sum_{i=1}^n \sum_{j=1}^m Q_{ij} \gamma_{ij} \leq Q_o, \quad \sum_{j=1}^m \gamma_{ij} = 1,$$

де Q_o - допустимі апаратні задачі.

Можливий критерій якості, що враховує сумарний час виконання всіх алгоритмів спільного з затратами на електронне обладнання, то відповідно

$$R \sum_{i=1}^n \sum_{j=1}^m t_{ij} \gamma_{ij} + \varphi \sum_{i=1}^n \sum_{j=1}^m Q_{ij} \gamma_{ij} = \min, \quad i = \overline{1, n}, j = \overline{1, m}, \quad (11)$$

$$\sum_{j=1}^m \gamma_{ij} = 1, \quad \sum_{i=1}^n \sum_{l=1}^m Q_{il} \gamma_{il} \leq Q_o,$$

$$it_r + \sum_{i=1}^n \sum_{j=1}^m t_{ij} \gamma_{ij} \leq \tau,$$

де R, φ - вагові коефіцієнти.

В залежності від того, який критерій взятий за основу, відповідним чином буде реалізована та чи інша паралельна обчислювальна архітектура на основі принципу реконфігурації. Подібні паралельні обчислювачі являються основою організації швидкодіючих контролерів з паралельною архітектурою в яких достатньо ефективно забезпечено розподіл функцій між мікропроцесорними компонентами орієнтованими на обробку в основному логічної інформації і матричними процесорами орієнтованими на розв'язання широкого класу математичних залежностей шляхом реконфігурації структури, або настройки обчислювача на виконання тої чи іншої функції [4]. Схемна реалізація паралельного контролера для управління швидкоплинними технологічними процесами в електричних мережах наведена на рис. 2. З точки зору технічної реалізації швидкодіючий контролер побудований у вигляді сучасного комп'ютерного сегменту системи керування з функціональною периферією. Оскільки паралельний контролер відноситься до класу промислового обладнання, то всі сигнали, які забезпечують зв'язок з зовнішнім середовищем, мають відповідний захист від завад. Ядром контролера є матричний процесор з можливістю реконфігурації архітектури і процесор логічної обробки інформації в який, при необхідності, може бути додатково включений сучасний високопродуктивний мікроконтролер, наприклад, процесор з RISC-архітектурою. В матричному процесорі є можливість в кожен момент розв'язувати відповідну математичну залежність із широкого спектру шляхом реконфігурації архітектури або подачі відповідних керуючих сигналів. Він орієнтований на виготовлення його на основі сучасних інтегральних технологій у вигляді програмуємих логічних інтегральних схем. Паралельний контролер включає також блок прийому вхідної інформації від об'єкту керування, де реалізується захист контролера від завад, які можуть поступати по ланцюгам вхідних сигналів.

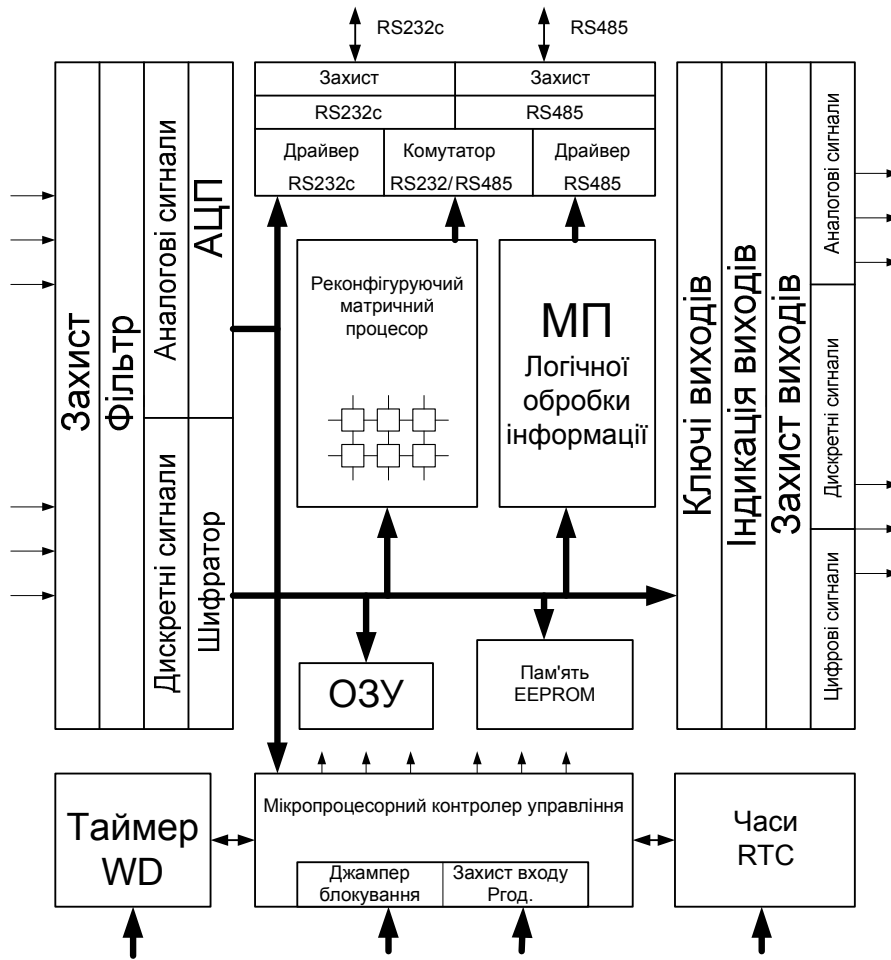


Рис. 2. Паралельний швидкодіючий контролер

В цьому блоці є набір фільтрів для забезпечення виділення аналогових та дискретних сигналів, шифратор для кодування дискретних сигналів, а також аналого-цифровий перетворювач, що виконує перетворення вхідних аналогових сигналів в цифру з подальшим записом в пам'ять. Крім того, паралельний контролер включає оперативний запам'ятовуючий пристрій, енергонезалежну пам'ять і блок телекомунікації, що забезпечує підключення контролера до багатоієрархічної системи керування. Цей блок включає комутатор RS232C/RS485, драйвери каналів RS232C, RS485 і блоки захисту від перешкод, що можуть поступити з зовнішнього середовища. Канал RS485 додатково включає модуль захисту від постійних та імпульсних напруг, оскільки він призначений для роботи на довгій лінії зв'язку. Для формування керуючих аналогових, дискретних і, при необхідності, цифрових сигналів в паралельному контролері є блок формування вихідних сигналів. Він включає матрицю ключів виходів, модуль індикації

вихідних сигналів і модуль захисту виходів від перешкод. Для організації циклічного обчислювального процесу використовується мікропроцесорний контролер управління, що формує, в залежності від програми, відповідну послідовність керуючих сигналів. Периферія контролера включає годинник з блоком резервного живлення і таймер. Для загрузки програм використовується канал RS232 C і зовнішній сигнал входження в режим програмування – захист входу Prog, який задається замиканням клем на платі. Для блокування від несанкціонованого доступу входження в режим програмування на платі також передбачений джампер блокування.

В процесі експлуатації контролерів з паралельною архітектурою особливе значення має діагностування несправностей як в режимі діагностики так і в процесі роботи контролера. Глибина діагностування залежить в більшій ступені від інтелекту засобів діагностики, тому архітектуру контролера формують таким чином, щоб в режимі тестування можна було перебудувати

архітектуру таким чином, щоб була можливість сканувати інформацію в процесі діагностування з керованих інформаційних входів на відповідних виходах. Паралельні матричні процесори базуються на використанні методів вичерпного тестового діагностування. При проведенні тестового контролю всієї обчислювальної структури контролера застосовуються методи генерації мінімального набору тестових послідовностей. Для полегшення процесу рішення цієї задачі при розробці архітектури контролера в неї додатково включають модулі самотестування, що реалізують контроль роботи в процесі обробки інформації і формування керуючих впливів. Такий підхід суттєво збільшує надійність роботи паралельних контролерів.

Висновки

1. Проведено аналіз сучасних комп'ютерно-орієнтованих методів управління тяговими електричними мережами, намічені шляхи досліджень і показані концептуальні основи організації паралельних контролерів для інтелектуалізації технологічних процесів електропостачання.

2. Для керування в реальному часі бистроплинними процесами постачання електроенергії на тягу, на основі математичного апарату розрядних перетворень, запропоновані методи синтезу паралельних матричних процесорів орієнтованих на сучасні інтегральні технології виготовлення, обробка інформації в яких реалізується за час затримки сигналів між входами і виходами елементів схеми.

3. На основі швидкодіючих матричних процесорів викладено методіку синтезу паралельних контролерів з можливістю реконфігурації обчислювальної архітектури в процесі обробки інформації, завдяки чому відкривається можливість розв'язувати задачі керування підвищеної розмірності і інтелектуальної складності в реальному часі. Запропонована узагальнена структура паралельного контролера.

Література

1. Стогній Б.С. Основи моніторингу в електроенергетиці. Про поняття моніторингу/ Стогній Б.С., Сопель М.Ф. ; Технічна електродинаміка 2013, №1 – С. 62-69.
2. Стогній Б.С. Еволюція інтелектуальних електричних мереж та їхні перспективи в Україні / Стогній Б.С., Кириленко О.В., Праховник А.В., Денисюк С.П. ; Технічна електродинаміка 2012, №5 – С. 52-66.
3. Гончарова Л.Л. Методи організації комп'ютерної мережі моніторингу параметрів режимів систем електропостачання/ Максимчук В.Ф., Стасюк О.І.; Інформаційно-керуючі системи на залізничному

транспорті, науково-технічний журнал, № 2, 2012 –С.35 – 40.

4. Патент України № 47570 G06F 9/00. Мікропроцесорний контролер з паралельною обробкою інформації / Щербакова І.О.; Стасюк О.І.; Опанасенко В.Н.; Возненко А.Д.; Гончарова Л.Л.; Железняк А.Л.; Подлесных Е.Г.; Державний економіко-технологічний університет транспорту; заявл. 02.09.2010; опубл. 10.02.2010, бюл. № 3 – 6 с.
5. Пухов Г.Е. Преобразование Тейлора и их применение в электротехнике и электронике./ Пухов Г.Е.; Киев «Наукова думка» 1978 г. С.259

Гончарова Л.Л. Методи організації паралельних контролерів для інтелектуалізації технологічних процесів електропостачання. Приведены концептуальные основы организации паралельных контролеров для интеллектуализации технологических процессов электропостачання, предложены методы синтеза паралельных матричных процессоров ориентированных на современные интегральные технологии, изложена методика синтеза паралельных контролеров с реконфигурацией вычислительной архитектуры в процессе обработки информации для решения задач повышенной размерности и интеллектуальной сложности в реальном времени.

Ключевые слова: матричный процессор, паралельный контроллер, тяговые электрические сети, математические модели.

Goncharova L.L. Methods of parallel controller organization for intellectualization of power supply technological processes. Conceptual bases of organization of parallel controllers for intellectualization of power supply technological processes have been given; the methods of synthesis of parallel array processors oriented to modern integral technologies have been offered; the method of parallel controller synthesis with rearranging of computing architecture while processing information for the solution of real time tasks of increased dimension and intelligent complexity has been presented.

Key words: array processor, parallel controller, traction electric networks, mathematical models.

Рецензент д.т.н., профессор Приходько С.И. (УкрГАЗТ)

Поступила 13.12.2013г.