

Література

1. *Оппенгейм А.* Цифровая обработка сигналов / А. Оппенгейм, Р. Шафер. — Изд. 2-е, испр. — М. : Техносфера, 2007. — 856 с.
2. *Рабинер Л.* Теория и применение цифровой обработки сигналов / Л. Рабинер, Б. Гоулд. — М. : Мир, 1978. — 848 с.
3. *Стивен Смит.* Цифровая обработка сигналов. Практическое руководство для инженеров и научных работников / Стивен Смит. — Додэка XXI, 2008. — 720 с.
4. Дискретное преобразование Фурье — Чебышева / Б. Н. Малиновский, С. В. Устенко, М. В., Семотюк, А. Ф. Бульбанюк : в кн.: Разработка средств кибернетической техники. — К. : ИК АН УССР, 1982. — С. 98-103.
5. *Устенко С.В.* Устройство для ортогонального преобразования цифровых сигналов по Фурье — Чебышеву / С. В. Устенко // БИ А.с. СССР № 1136181. — 1985. — № 3.
6. *Янке Е.* Специальные функции / Янке Е., Эмде Ф., Леш Ф. — М. : Наука, 1977. — 344 с.
7. *Суетин П.К.* Классические ортогональные многочлены / П. К. Суетин. — М. : Наука, 1979. — 416 с.
8. Введение в кибернетическую технику. Обработка физической информации / [под. ред. Б. Н. Малиновского]. — К. : Наукова думка, 1979. — 256 с.

УДК 681.372.2

Городній О. В., к.т.н., доц.,

доцент кафедри інформаційних систем в економіці,

Київський національний економічний університет імені Вадима Гетьмана

СХЕМОТЕХНІКА RAID1 — ПАМ'ЯТІ ПІДВИЩЕНОЇ НАДІЙНОСТІ З ЧАСОВОЮ НАДМІРНІСТЮ

АНОТАЦІЯ. Розглянуто систему RAID1 пам'яті з резервуванням за пам'ятовуючих елементів накопичувача. Запропоновано структури такої пам'яті з тимчасовою надмірністю, що дозволяє структурно-логічними методами підвищити надійність зберігання інформації.

АННОТАЦИЯ. Рассмотрена система RAID1 памяти с резервированием запоминающих элементов накопителя. Предложены структуры такой памяти с временной избыточностью, что позволяет структурно-логическими методами повысить надежность хранения информации.

ABSTRACT. RAID1 system memory with redundant memory cells drive is considered. Structure of such memory with time redundancy offered. This allows the structural and logical methods to improve the reliability of information storage.

В сучасних інформаційних системах основним технічним засобом зберігання інформації є запам'ятовуючий пристрій типу вінчестер, ємність якого вже в сучасних умовах практичної експлуатації досягає десятків, сотень і більше терабайтів. Наявність великої кількості запам'ятовуючих елементів приводить до відмов окремих комірок (кластерів). Тому для особливих застосувань часто використовуються системи RAID-пам'яті [1, 2]. Прикладом подібного використання може бути система RAID1, структурну схему якої із загальним резервуванням, наприклад, з двома дублюючими один одного накопичувачами ($m = 2$), представлено на рис. 1.

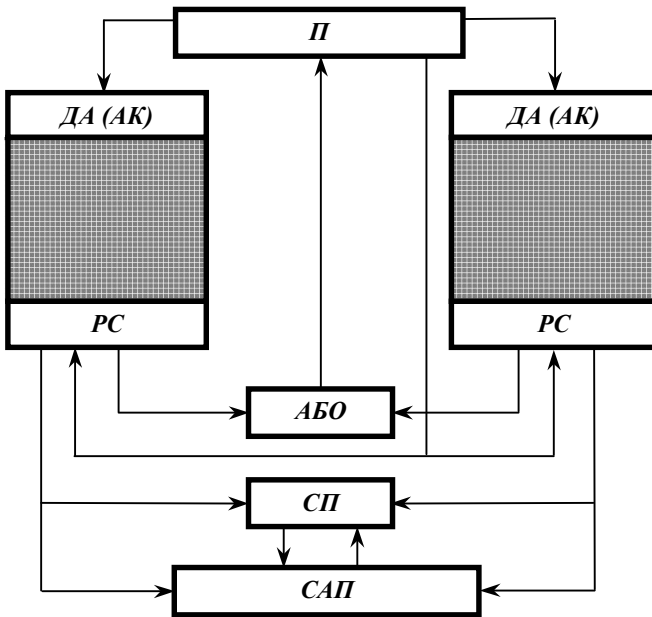


Рис.1

У такому запам'ятовуючому пристрої (ЗП) адреса потрібної комірки (кластера) надходить від процесора *П* на адресні кола (на дешифратори адреси *ДА*) дублюючих один одного накопичувачів *Н*. Інформація, яка считується з однойменних комірок накопичувачів на відповідні регістри слова *РС*, зіставляється схемою порівняння *СП*. Якщо слова, які поступають у *СП*, є однаковими, то інформація з одного з регістрів слова видається через схеми *АБО* в процесор. Якщо ж слова не є однаковими, то

ЗП переходить у режим аналізу пошкодження. У цьому режимі в накопичувачі записується, а потім зчитується у схему аналізу пошкоджень *САП* масив тестових слів. Схема аналізу пошкоджень на основі результатів порівняння зчитаних тестових слів з контрольною інформацією, що є у постійному ЗП *САП*, визначає, чи відбулася відмова комірки накопичувача чи відмова дешифратора адреси (адресні кола). У випадку відмови комірки одного накопичувача використовується справна комірка іншого накопичувача, а при відмові дешифратора адреси (адресних кіл) відповідний накопичувач відключається. При відмові однойменних комірок обох накопичувачів ЗП стає неприцездатним, що є суттєвим недоліком.

Метою статті є розробка і якісний аналіз таких структурно-логічних рішень, які б дозволили усунути недоліки, притаманні типовій RAID1-пам'яті, і підвищити надійність функціонування ЗП.

Введення у такий ЗП типу RAID1 часової надмірності, яка реалізується записом — зчитуванням обернених кодів помилкових слів, у поєднанні із незначними змінами структури ЗП, дозволяє реалізувати роздільне резервування комірок [3]. Структурну схему такого ЗП, наприклад, з двома дублюючими один одного накопичувачами ($m = 2$), представлено на рис. 2.

Такий ЗП працює аналогічно типовій RAID 1-пам'яті доти, доки схема аналізу пошкоджень не визначить наявності відмови в однойменних комірках накопичувачів. При цьому зміст *РС* накопичувачів переписується у відповідні додаткові регістри слова *ДРС*. А в ті ж комірки накопичувачів відбувається запис обернених кодів змісту регістрів *РС* з подальшим зчитуванням цих кодів на ті самі регістри. Коди з кожної пари регістрів *РС* і *ДРС* подаються у відповідну схему порозрядної перевірки *СПП*. При незбіжності змісту однойменних розрядів регістрів *РС* і *ДРС* відповідні схеми *СПП* видають в регістри *РС* сигнали, які дозволяють видачу через блок схем *АБО* в процесор зміст тільки цих розрядів. Видача змісту розрядів регістрів *РС* відбувається в оберненому коді, тобто в процесор поступає прямий код первинного змісту комірки накопичувачів. Видача змісту розрядів регістрів *РС*, зміст яких збігається зі змістом однойменних розрядів регістрів *ДРС*, блокується.

Таким чином, замість змісту розрядів, які відмовили в комірці одного накопичувача, в процесор подається зміст однойменних справних розрядів відповідної комірки іншого накопичувача, тобто здійснюється роздільне резервування комірок.

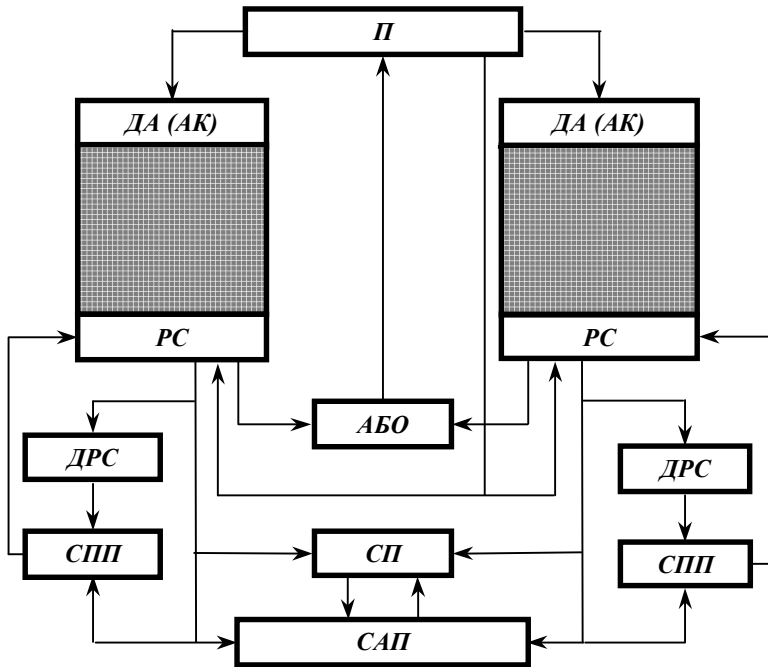


Рис. 2

Розглянемо приклад. Нехай у деяку комірку (кластер) ЗП було записано слово 01001101, і при черговому читанні змісту цієї комірки з відповідного накопичувача на регістри *PC* видається 11001111 і 00001001 відповідно (підкреслені цифри відповідають відмовленим розрядам комірок). Інформація, яка зчитується, надходить у схему *СПП* і, враховуючи, що умова порівняння не виконується, видача слова в процесор не відбувається. Слова, які знаходяться на регістрах *PC*, поступають у регістри *ДРС*, а в накопичувачі записуються обернені коди змісту регістрів *PC*, які потім зчитуються на ті ж самі регістри. У результаті відмов, які мають місце в комірці накопичувачів на регістри *PC*, подаються відповідні коди 10110010 і 10110010. Одна схема *СПП*, порівнюючи коди на *PC* і *ДРС* — 10110010 і 11001111, дозволяє видачу в оберненому коді 1, 3, 4, 5, 6, 7 розрядів *PC* (видача змісту 2-го і 8-го розрядів блокується), тобто буде виданий код 10011.1 (розряди, які блокуються відмічені крапками). Друга схема *СПП*, порівнюючи коди на *PC* і *ДРС* — 10110010 і 00001001, дозволяє видачу в оберненому коді 1, 2, 4, 5, 6, 8 розрядів *PC* (видача змісту 3, 7 розрядів блокується), тобто буде виданий код 0.001.01 (розря-

ди, які блокуються помічені крапками). Таким чином у процесор з виходу схем «АБО» буде виданий правильний код 01001101.

Недоліками пристрою [3] є невисока швидкість і хибність роботи при виникненні відмов в однойменних розрядах однойменних комірок накопичувачів, так як при видачі інформації з основних регістрів слова однойменні розряди заблоковані, що знижує надійність пристрою та його швидкість.

На рис. 3 зображено функціональну схему ЗП [4], в якому ці недоліки враховано. Такий ЗП містить регістр адреси *РА*, дешифратори адреси (*ДА*) адресних кіл (*АК*), перший *Н1* і другий *Н2* накопичувачі, перший і другий регістри слова (*РС*), елементи *АБО*, третій, четвертий і п'ятий регістри слова (*РС*), першу, другу і третю схеми порівняння (*СП*), перший і другий тригери (*Т₂*), суматор по модулю два ($\Sigma \text{ mod}2$), комутатор *К*, дешифратор (*ДШ*), і формувач контрольних сигналів (Φ).

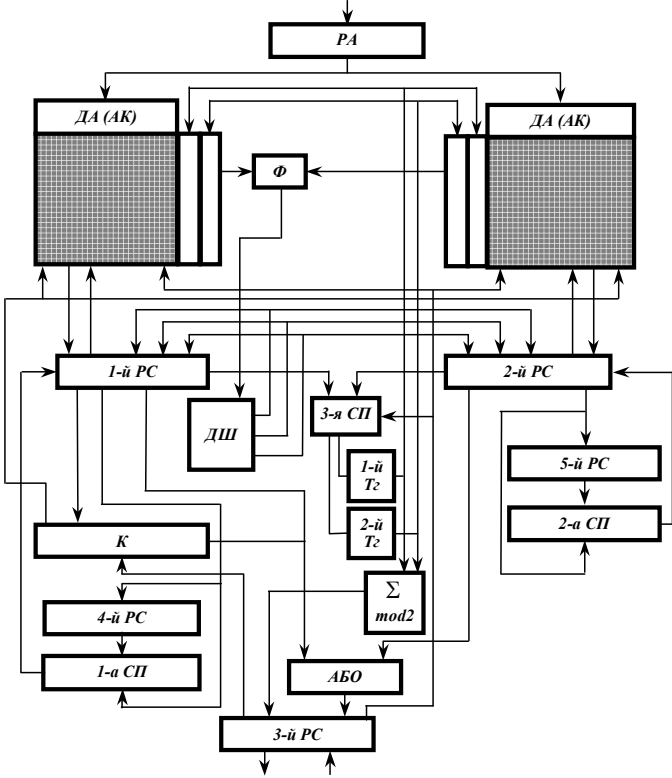


Рис. 3

При функціонуванні такого ЗП інформація одночасно записується і зчитується з обох накопичувачів $H1$ і $H2$. При виникненні відмов у комірках для отримання слова без помилок використовуються справні розряди комірок, а що відмовили — блокуються. Але якщо відмови є в однойменних розрядах, то при блокуванні відмовлених розрядів є помилка. Для усунення помилок при блокуванні відмовлених однойменних розрядів записується слово в один з накопичувачів $H1$ або $H2$ без змін, а в другий записується через комутатор K , який розбиває вихідне слово, наприклад, на дві частини і змінює їх місцями.

При зчитуванні з обох накопичувачів обидва слова мають помилки в однойменних розрядах, але слово, яке зчитане з накопичувача $H1$, необхідно знову пропустити через комутатор K , тобто знову поміняти місцями частини слова, внаслідок чого помилки опиняться в інших розрядах у порівнянні зі словом, яке зчитане з накопичувача $H2$. Таким чином, відбудеться рознесення помилок у різнойменні розряди і, отже, тепер уже можливе отримання правильного слова за допомогою двох слів з помилками.

Для того щоб визначити, коли мають місце відмови в однойменних розрядах, використовуються 3-я схема порівняння $СП$, 1-й і 2-й тригери T_2 і суматор $\Sigma \text{ mod } 2$. Первісне вхідне слово записується в обидва накопичувача $H1$ і $H2$, потім проводиться зчитування і порівняння зчитаних слів 3-ю схемою порівняння $СП$. Якщо має місце рівність, то 1-й тригер T_2 встановлюється в одиничний стан. Також проводиться порівняння одного зі зчитаних слів (оскільки вони рівні) з вихідним словом, розміщеним на 3-му регістрі слова PC . Якщо не має рівності, то це означає, що є помилки в однойменних розрядах, при цьому 2-й тригер T_2 встановлюється в нульовий стан. Отже, стан 1-го тригера T_2 в «1» і 2-го тригера T_2 в «0» означає, що існують відмови в однойменних розрядах однойменних комірок накопичувачів. Якщо ж зчитані слова не рівні один одному, то обидва тригери T_2 встановлюються в нульовий стан, що відповідає відмовам в різнойменних розрядах накопичувачів $H1$ і $H2$.

Сигнал на виході суматора $\Sigma \text{ mod } 2$ є тільки у випадку, коли 1-й тригер T_2 в «1» і 2-й тригер T_2 в «0». Такий стан тригерів вказує, що вихідне слово необхідно заново записати через комутатор K у накопичувач $H1$, а накопичувач $H2$ залишити без змін. Стани 1-го і 2-го тригерів T_2 записуються в додаткові розряди комірки накопичувачів $H1$ і $H2$. На цьому запис інформації закінчується.

При зчитуванні з накопичувачів 5 і 6 ці додаткові розряди аналізуються формувачем Φ , де здійснюється перевірка на дос-

товірність додаткових розрядів і видача в дешифратор *ДШ* їх справжнього значення. Подальша робота пристрою залежить від того, який з виходів дешифратора *ДШ* збуджений.

Якщо на дешифраторі *ДШ* збуджений четвертий вихід, то коди з 1-го і 2-го регістрів слова *РС* через елементи *АБО* надходять на 3-й регістр слова *РС*. Якщо збуджений перший вихід, то вміст 1-го і 2-го регістрів *РС* надходить на 4-й і 5-й регістри слова *РС*, у комірку накопичувачів *Н1* і *Н2* за тією ж адресою записується обернений код вмісту 1-го і 2-го регістрів *РС* з наступним зчитуванням з накопичувачів *Н1* і *Н2* на ці ж 1-й і 2-й регістри *РС*. Потім за сигналом з блоку місцевого управління (на рис. не показаний) коди з 1-го та 2-го регістрів *РС* надходять відповідно на 1-у та 2-гу схеми порівняння *СП*.

При розбіжності прямого й оберненого кодів однойменних розрядів 1-ша і 2-га схеми порівняння *СП* видають дозволяючі сигнали на 1-й і 2-й регістри слова *РС* для видачі через елементи *АБО* на 3-й (вихідний) регістр слова *РС* тільки цих розрядів. Видача вмісту 1-го і 2-го регістрів слова *РС* відбувається в оберненому коді, тобто на 3-й регістр слова *РС* подається прямий код вмісту комірок накопичувачів *Н1* і *Н2*. Виходи розрядів 1-го і 2-го регістрів слова *РС*, прямий і обернений коди яких збігаються, блокуються. Таким чином, вміст відмовлених розрядів комірки одного з накопичувачів, наприклад *Н1*, не записується в 3-й регістр слова *РС*, а замість нього записується вміст однойменних невідмовлених розрядів іншого носія, наприклад *Н2*.

При активації третього виходу дешифратора *ДШ* все відбувається аналогічно, але видача вмісту 1-го регістра слова *РС* відбувається, крім того, ще й через комутатор *К*.

Відповідність збуджених виходів дешифратора *ДШ* станами 1-го і 2-го тригерів *Т2* наведено в табл. 1.

Таблиця 1

Збуджений вихід дешифратора <i>ДШ</i>	Стан тригерів		Характер відмов у накопичувачах
	1-й тригер	2-й тригер	
1	0	0	Відмови в різнойменних розрядах
3	1	0	Відмови в однойменних розрядах
4	1	1	Відмов немає

При запису вхідне слово знаходиться в 3-му регістрі слова *РС*, звідки воно записується в накопичувачі *Н1* і *Н2* за адресою, зада-

ною в регістрі адреси PA після дешифрації його на дешифраторах DA (AK). Потім відбувається зчитування слів з накопичувачів $H1$ і $H2$ на 1-й та 2-й регістри слова PC , звідки слова надходять на 3-ю схему порівняння $СП$. Результати порівняння фіксуються тригерами T_2 , стани яких записуються в додаткові розряди накопичувачів $H1$ і $H2$. Якщо при цьому 1-й тригер T_2 знаходиться в «1», а 2-й тригер T_2 в «0», то одночасно з цим по сигналу з виходу суматора $\Sigma \text{ mod } 2$ вхідне слово з 3-го регістра слова PC через комутатор K записується в ту ж комірку накопичувача $H1$. Накопичувач $H2$ залишається без змін. Після цього пристрій готовий до запису наступного слова.

Таблиця 2

Операція	Дії над словом 10111010	
	1-й накопичувач	2-й накопичувач
Запис	10111010	10111010
Зчитування	4-й регістр слова	5-й регістр слова
	1010111	10101110
Запис в оберненому коді	1-й регістр слова	2-й регістр слова
	01010000	01010001
Зчитування	01000100	01000101
Блокування	1-й регістр	2-й регістр слова
	101-1-11	101-1-10
Комутатор (комутує групу розрядів)	1-11101-	
Видача даних	3-й (вихідний) регістр слова	
	10111010	

Приклад запису в накопичувачі $H1$ і $H2$ вихідного слова 10111010, за наявності відмов у 3-ому («генератор 1») і 5-му («генератор 0») розрядах накопичувачів $H1$ і $H2$, і корекції інформації, яка зчитується, наведено в табл. 2. (Знаком «-» у прикладі позначені заблоковані розряди.)

Достовірність збереженої інформації у такому ЗП порівняно з раніше описаними вище, оскільки ймовірність невиправлення помилок (відмов) при використанні розділення комутатором K слова на кілька частин і перестановки їх місцями практично дорівнює нулю. Швидкодія такого ЗП визначається швидкодією дешифратора $ДШ$. Якщо як дешифратор $ДШ$ застосовується комбінаційна схема порівняння, то при зчитуванні інформації швидко-

дія пристрою пам'яті (див. рис. 3) в три рази вища, ніж ЗП (див. рис. 2).

Висновки. Техніко-економічні переваги такого пристрою пам'яті полягають у його вищих швидкодії і надійності збереження інформації, що дозволяє рекомендувати його для впровадження в системах RAID1 сучасних ЗП. Може бути перспективним застосування часової надмірності також для RAID0, RAID5, RAID6, RAID10, RAID50 і RAID60.

Література

1. [Електронний ресурс]. — Режим доступу: <http://www.thecus.ru>
2. *Winkler T.* Two memory self — correcting system : патент США № 3544777.
3. *Корнейчук В.И., Городний А.В., Небукин А.И.* Запоминающее устройство : авт. свид. СССР № 385319.
4. *Городний А.В., Городний В.В., Давиденко С.В., Корнейчук В.И., Орлова М.Н.* Запоминающее устройство с самоконтролем : авт. свид. СССР № 972600.

УДК: 336.761.6:519.816

Коломійчук О. П., к.ф.-м.н, доц.,

Шуклін Г. В., ст. викладач,

кафедра комп'ютерної математики та інформаційної безпеки

факультету інформаційних систем і технологій,

Київський національний економічний університет імені Вадима Гетьмана

ЗАБЕЗПЕЧЕННЯ ІНФОРМАЦІЙНОЇ БЕЗПЕКИ ПРОЦЕСІВ ФОНДОВОГО РИНКУ ЗА ДОПОМОГОЮ МЕТОДІВ ТЕОРІЇ КЕРУВАННЯ

АНОТАЦІЯ. У роботі застосовано математичний апарат і теорію керування, для забезпечення інформаційної безпеки фондової біржі. Побудовано математичну модель інформаційної безпеки фондової біржі, наводяться приклади застосування досліджень.

КЛЮЧОВІ СЛОВА: матриця інформаційного поля, фондовий ринок, інформаційне керування, інформаційний вплив.

АННОТАЦИЯ. В работе применён математический аппарат и теория управления для обеспечения информационной безопасности фондовой биржи. Построена математическая модель информационной безопасности фондовой биржи, приводятся примеры использования исследований.