

УДК 004.3

А.И. Андрюхин, канд. техн. наук, доцент,
Донецкий национальный технический университет, г. Донецк, Украина
alexandruckin@rambler.ru

Метод повышения точности параллельного переключательного моделирования

Впервые предложен метод повышения точности параллельного моделирования на переключательном уровне. Приведены теоретические сведения, практические аспекты метода и пример его применения.

Ключевые слова: параллельное моделирование, переключательный уровень, точность

Введение

Основными характеристиками алгоритмов моделирования дискретных устройств (ДУ) являются адекватность, быстродействие и объем оперативной памяти компьютера, необходимой для их реализации. Адекватность моделирования определяется как степень соответствия результатов моделирования реальному поведению рассматриваемого ДУ. Для последовательностных ДУ в отличие от комбинационных, моделирование может давать результаты, неадекватные его истинному поведению.

В основном это связано с неопределенностью его начального состояния и состязаниями между сигналами при переходных процессах. Поэтому способ учета временных задержек как один из важнейших факторов адекватности моделирования играет основную роль при логическом моделировании.

Уже в ранних работах указывалось необходимость учета корреляции значений сигналов и временной корреляции сигналов для повышения адекватности моделирования [1, стр.160].

В [2,3] рассматривалась проблема повышения адекватности моделирования на вентилях уровне и переключательном уровнях.

Основой рассуждений в [2] является следующее замечание относительно результата многозначных логических операций дизъюнкции и конъюнкции. Если B, C - многозначные логические переменные, чьи значения равны X , то естественно $B \vee C = X \vee X = X$ и $B \wedge C = X \wedge X = X$. Однако если B принимает строго определенные значения $0, 1$, а значением C является инвертированное значение B , то $B \vee C = 1$ и $B \wedge C = 0$. В более общей постановке задачу можно сформулировать следующим образом: определить значение, $\wedge X_i, \vee X_i, i=1, M$ при

достаточно большом для применения на практике конечном значении M , где X_i многозначные переменные, и некоторые из них, возможно, удовлетворяют условию парафазности. Для применения приведенного выше соотношения между двумя переменными с неопределенными значениями X необходимо знание о парафазности сигналов на линиях B, C и их строгой определенности. Для использования этого отношения между двумя переменными в выражениях $\vee X_i, \wedge X_i$ при $i > 2$ необходима идентификация зависимости переменной X_i по отношению к X_j .

Основой метода является отслеживание инвертирования строго определенного сигнала на линии i при прохождении его через элементы устройства. Если строго определенный сигнал (X, i) проходит через инвертор, то выход инвертора, имеющий номер j , получает значение X и полагается $N[j] = -i$. Определим логические операции отрицания, дизъюнкции и конъюнкции над сигналами со значением X , представленными в списочной форме следующим образом:

а) отрицания $\neg(x, i) = (x, -i)$;

б) дизъюнкция $(x, i) \vee (l, j) = (l, 0), (x, i) \vee (0, j) = (x, i), (x, i) \vee (x, -i) = (l, 0)$, при $i \neq j$ $(x, i) \vee (x, j) = (x, 0)$;

в) конъюнкция $(x, i) \wedge (l, j) = (x, i), (x, i) \wedge (0, j) = (0, 0), (x, i) \wedge (x, -i) = (0, 0)$, при $i \neq j$ $((x, i) \wedge (x, j) = (x, 0)$.

В некоторых случаях определяющим фактором значения сигналов в устройстве являются его структурные особенности, и целью статьи является улучшение точности многозначного параллельного моделирования на переключательном уровне.

Целью исследования является повышение точности многозначного логического моделирования. Оно основано на анализе неопределенности начального состояния и структурных особенностях моделируемого ДУ и

позволяет получить более точные оценки значений установившихся сигналов в устройстве.

Задачей исследования является разработка структур данных и алгоритма параллельного моделирования на переключательном уровне, точность которого повышалась бы при использовании дополнительных данных о приоритете некоторых линий перед другими при равенстве сигналов на них и учете парафазности сигналов.

Общая постановка задачи. Основные определения и общие положения

В [3-5] процесс моделирования представлен итерационным решением системы булевых уравнений вида $X_{n+1} = M \otimes F(X_n)$, где X_n - значение многозначных узлов схемы в n -итерации (состояние схемы) для определения устойчивого состояния схемы. Считаем, что M - операция выбора максимального значения из значений сигналов разветвлений узла, F -система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство, \otimes -операция суперпозиции. Значение X есть двойка (H, G) , где простейший алфавит моделирования определяется возможными значениями $G \in (0, 1, X, Z)$, $H \in (D, W, SC, C)$ -соответственно значения логического состояния сигнала и его логической силы, которые обычно интерпретируют, как напряжение и силу тока.

На рис.1 представлены структуры данных для параллельного многозначного моделирования на переключательном уровне.

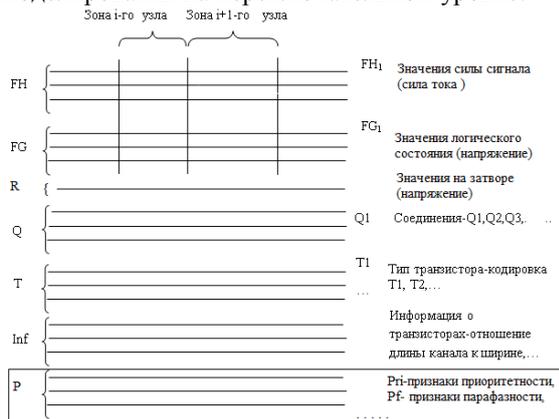


Рисунок 1 – Структуры данных параллельного переключательного моделирования

Здесь FH, FG, R, T, P являются булевыми массивами(битовыми строками), остальные числовыми массивами.

На рис.2 представлен узел P, который обычно соединяет стоки, истоки нескольких транзисторов и определяет значения на затворах.

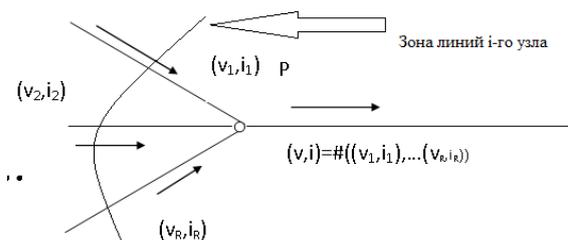


Рисунок 2 – Соединяющий транзисторы узел P.

Операция выбора сильнейшего сигнала M в узле соответствует операции #, которая определяется следующими положениями

Исходя из закона Кирхгофа для токов, можем указать, что $i = \max \{i_j\}$, из чего следует, что i есть наиболее сильный входной сигнал и $i \in I$. Эта аппроксимация может рассматриваться, как дискретный аналог закона Кирхгофа для токов в узле для псевдобулевых схем. Компонент напряжения v для узла P определяется следующим образом. Пусть $V = (v_{i,1}, v_{i,2}, \dots, v_{i,m})$ есть набор напряжений пар сигналов с наибольшим током, т.е. те $(v_{i,k}, i_k)$, для которых $i_k = \max \{i_j\}$. Определим v по следующим правилам:

- 1) $v = U$, если $U \in V$ или $0, 1 \in V$; 2) $v = 0$, если $0 \in V$ и $1, U \notin V$;
- 3) $v = 1$, если $0, U \notin V$; 4) $v = Z$, если $0, 1, U \notin V$.

Будем использовать далее следующую кодировку вышеупомянутого простейшего алфавита сигналов $D = (1, 0, 0, 0)$, $W = (0, 1, 0, 0)$, $SC = (0, 0, 1, 0)$, $C = (0, 0, 0, 1)$, $X = (1, 0, 0, 0)$, $I = (0, 1, 0, 0)$, $0 = (0, 0, 1, 0)$, $Z = (0, 0, 0, 0)$.

Вид уравнений F для простейшего алфавита моделирования и принятой кодировки представлен ниже

$$\begin{aligned}
 FG_1 &= G_1 T_1 K \vee G_1 \bar{T}_1 \\
 FG_2 &= G_2 T_1 K \vee G_2 \bar{T}_1 \\
 FG_3 &= G_3 T_1 K \vee G_3 \bar{T}_1 \\
 FH_1 &= T_1 H_1 K \\
 FH_2 &= T_1 H_2 K \vee \bar{T}_1 H_1 \vee \bar{T}_1 H_2 \bar{H}_1 \\
 FH_3 &= T_1 H_3 K \vee \bar{T}_1 H_3 \bar{H}_1 \\
 FH_4 &= T_1 H_4 K \vee \bar{T}_1 H_4 \bar{H}_1 \quad (1),
 \end{aligned}$$

где \otimes -операция "исключающее ИЛИ" и $\bar{K} = (R_2 \otimes T_2)$. Исходя из принятых обозначений, можем записать $v = (v_1, v_2, v_3)$, $i = (i_1, i_2, i_3, i_4)$, и $v_i = FG_i$ при $i=1,3$, а также $i_j = FH_j$ при $j=1,4$.

Введем краткие обозначения для системы (1) в терминах переменных v, i

$$\begin{aligned}
 v_i^{n+1} &= F_{v,i}(v^n, i^n, R^n, T), \\
 i_j^{n+1} &= F_{i,j}(v^n, i^n, R^n, T) \quad (2)
 \end{aligned}$$

Ясно, что в (2) $v_i^{n+1}(i_j^{n+1})$ -булевы значения компонентов v, i на $n+1$ -ой итерации.

Вывод уравнений (1) базируется на анализе функционирования nMOS, pMOS транзисторов согласно таб.1 и таб.2 и изображенных на рис.3 и 4 соответственно. Общий вид уравнений для различных алфавитов и описание структур данных, учитывающих двунаправленность функционирования транзисторов, более подробно излагается в [4-5].

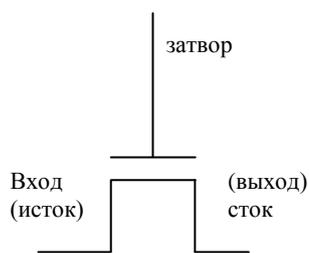


Рисунок 3 – nMOS-транзистор.

Таблица 1 – Таблица функционирования nMOS-транзистора

Вход исток	Затвор			
	0	1	x	z
0	z	0	0 или z	0 или z
1	z	1	1 или z	1 или z
x	z	x	x	x
z	z	z	z	z

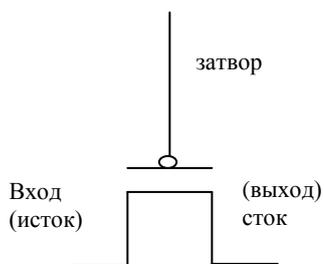


Рисунок 4 – pMOS-транзистор.

Таблица 2 – Таблица функционирования pMOS-транзистора

Вход исток	Затвор			
	0	1	x	z
0	1	z	0 или z	0 или z
1	z	1	1 или z	1 или z
x	z	z	x	x
z	z	z	z	z

Различные алгоритмы моделирования на переключательном уровне, основанные также и на вышеописанной авторской итерационной

схеме дают не совсем точные результаты для некоторых сложных схем, т.е. вместо строго определенного значения напряжения **1,0** в узле устройства выдают неопределенное значение **X**. В [6] показано, что задача определения максимального и минимального значения состояния в устройстве является **NP**-задачей и этим оправдывается использование эвристических методов при моделировании на переключательном уровне, т.е. необходимо использовать топологические особенности исследуемой схемы.

Рассмотрим типичные случаи необходимости указания приоритетности определенных линий.

1. Известные правила замещения подсхем, представленные на рис.5(свойства транзисторов представлены в массиве Inf), определяют особые свойства некоторых транзисторов, которые возможно отражать в массивах Inf, P для параллельных вычислений.

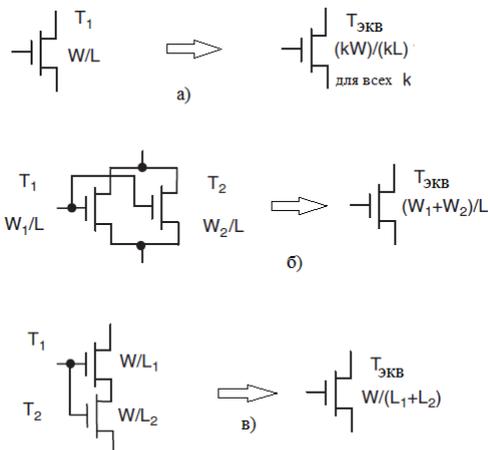


Рисунок 5 – Правила эквивалентных замещений

2. Часто возникает ситуация, подобная на рис.6. Имеем силу сигналов (сила тока) (**U,S**), (**U,Y**) равными друг другу $U=U$, а состояния (напряжение) различными $S \neq Y$ на определенном шаге моделирования.

Значение сигнала на затворе транзистора **T2** обусловлено прохождением сигнала от входного полюса схемы и при этом значение сигнала на затворе транзистора **T1** определяется емкостными свойствами **МОП**-структур, т.е. предыдущим установившимся состоянием устройства.

Ясно из физических соображений, что в текущей итерации моделирования значением в узле **P** должно быть выбрано (**U,Y**). Если же определять значение в **P**, следуя просто принципу "сильнейшего" сигнала, то будем иметь значение состояния равным **X**

(неопределенность) и этим ухудшаем точность моделирования.

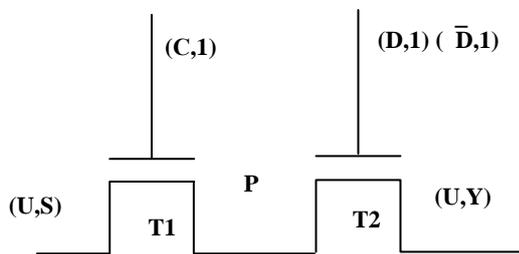


Рисунок 6 – Определение значения сигнала в узле

Этот пример имеет место в схеме для комплементарного D-триггера, который является одним из самых распространенных узлов в цифровой МОП-схемотехнике. В схеме D-триггера, проходные транзисторы образуют подсхему, где наблюдается описанная ситуация [4].

Постановка конкретной задачи

Необходимо обеспечить реализацию следующих режимов моделирования:

- 1)Стандартный режим моделирования;
- 2)Режим учета приоритетности определенных линий;
- 3)Режим учета парафазности сигналов линий;
- 4)Объединенный режим 2 и 3 типов моделирования.

При этом необходимо отражать дополнительные сведения о приоритете некоторых линий пред другими при равенстве сигналов на них, указание коррелированности сигналов между ними в случае парафазности сигналов и др., таким образом, чтобы сохранялась параллельность вычислений при переключательном моделировании.

Решение проблемы

На рис.1 в выделенном прямоугольнике представлены дополнительные структуры данных для частичного решения поставленной задачи. Обозначены через Pf_k , Pf_k -значения бинарных признаков для учета приоритетности или парафазности сигнала на i- линии.

Оказывается в полной мере выполнить все требования, не нарушая параллельности вычислений невозможно.

Были построены два режима, первый из которых позволяет определить приоритетными группу линий узла или выбрать приоритетную линию узла. При моделировании в следующем

режиме возможно установить требуемое значение в узле.

Если необходимо выбрать в узле значение определенной линии данного узла, к примеру (v_j, i_j) то заменяем систему уравнений (2) на систему уравнений

$$\begin{aligned} v_{i,k}^{n+1} &= \text{Pri}_k \wedge F_{v,i}(v^n, i^n, R^n, T), \\ i_{j,k}^{n+1} &= \text{Pri}_k \wedge i_j(v^n, i^n, R^n, T) \end{aligned} \quad (3)$$

В уравнениях появился новый индекс k, с помощью которого мы отражаем появление нового свойства приоритетности для сигнала на определенной линии.

Тогда $(v, i) = \#(\text{Pri}_1 * (v_1, i_1), \dots, \text{Pri}_R * (v_R, i_R)) = \#(Z, \dots, (v_j, i_j), \dots, Z) = (v_j, i_j)$.

Аналогично определяется установка выходного значения для узла в конкретное значение.

$$\begin{aligned} v_{i,k}^{n+1} &= Pf_k \wedge F_{v,i}(v^n, i^n, R^n, T) \vee \bar{P}f_k \wedge (v_i^0) \\ i_{j,k}^{n+1} &= Pf_k \wedge F_{v,i}(v^n, i^n, R^n, T) \vee \bar{P}f_k \wedge (i_j^0) \end{aligned} \quad (4)$$

Пример применения

Рассмотрим вентиляную реализацию простейшего SR-триггера на рис.7. Функционирование этого триггера описывается таб.3. На рис.8 представлена одна из простейших переключательных реализаций SR-триггер [7-8].

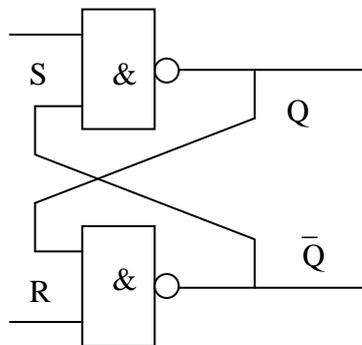


Рисунок 7 – Вентильное представление SR-триггера.

Рассмотрим подачу запрещенной комбинации сигналов $S=0, R=0$ и после нее воздействие сигналов $S=1, R=1$. Логически мы не можем определить конкретные значения сигналов на выходах Q, \bar{Q} . Ведь вследствие состязаний значения на выходах будут неопределенными, т.е. XX.

В реальности ввиду практической асимметричности плеч триггера, последний установится в устойчивое состояние, где его выходы имеют противоположные значения сигналов, но неизвестно, где какие.

Эту ситуацию в целях диагностирования или моделирования различного класса неисправностей мы можем промоделировать, устанавливая конкретное значение, т.е. используя режим с уравнениями (3).

При установке значения соответствующего элемента P_i равным единице мы получаем на соответствующем выходе триггера логическую 1 по напряжению.

Таблица 3 – Таблица значений SR-триггера.

S	R	Q_{n+1}	\bar{Q}_{n+1}	Операция
0	0	1	1	Запрещенная
0	1	1	0	Установка
1	0	0	1	Сброс
1	1	Q_n	\bar{Q}_n	Удержание

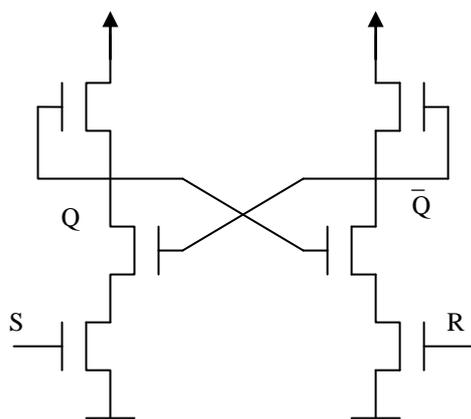


Рисунок 8 – Одна из транзисторных реализаций SR-триггера.

Основной сферой применения переключательного анализа является моделирование различных классов неисправностей, отражающих конкретные физические дефекты. Последние зачастую являются причиной функционирования ДУ в запрещенных режимах, которые на вентильном

уровне обрабатывать затруднительно в отличие от переключательного уровня.

Основными стилями проектирования функциональных базовых элементов и триггеров в МОП-схемотехнике являются использование передаточных и проходных транзисторов (transmission-gate, pass-transistor), dual-rail inverter-based D latch., домино.

Зачастую в них применяют элементы с симметричными частями, которые управляются сигналами, имеющими противоположные значения. Примеры рассматриваются в [7-8] и наиболее типичной можно считать базовую схему применения известной дифференциальной логики, представленную на рис.9.

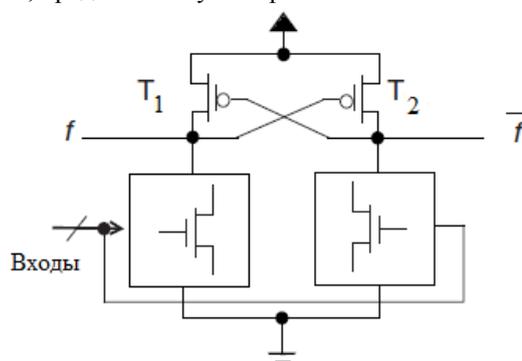


Рисунок 9 – Базовая схема дифференциальной логики.

Заключение

Научная новизна работы заключается в том, что впервые были предложены структуры данных и алгоритм параллельного многозначного моделирования на переключательном уровне, учитывающие парафазность сигналов и приоритетность определенных линий устройства перед другими при одинаковых значениях сигналов.

Практическая значимость предложенного метода заключается в повышении точности моделирования на переключательном уровне, что позволяет строить тесты более высокой диагностирующей способности для большего количества классов физических дефектов.

Список литературы

1. Автоматизированное проектирование цифровых устройств / С.С. Бадулин, Ю.М. Барнаулов, В.А. Бардышев и др.; под редакцией С.С. Бадулина. – М.: Радио и связь, 1981. – 240 с.
2. Андриюхин А.И. Эвристический метод повышения адекватности моделирования логических схем / А.И. Андриюхин // Искусственный интеллект. – 1998. – N 2. – С. 49-55.
3. Андриюхин А.И. Модифицированный метод моделирования МОП-СБИС на переключательном уровне в 16-значном алфавите / А.И. Андриюхин // Научные труды ДонНТУ:

Проблемы моделирования и автоматизации проектирования динамических систем. – 2004. – Вып.78. – С. 45-53.

4. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне / А.И. Андрюхин // Электронное моделирование. – 1996. – N 2. – С. 88-92.

5. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем / А.И. Андрюхин // Электронное моделирование. –1997. – N 1. – С. 58-63.

6. Huang L.P. Intractability in linear switch-level simulation / Huang L.P., Bryant R.E. // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 1993. – Vol. 12. – № 6, June. – P. 829-836.

7. Electronic Design Automation: Synthesis, Verification, and Test / Edited by Laung-Terng Wang, Yao-Wen Chang, Kwang-Ting (Tim) Cheng. – Morgan Kaufmann Publishers is an imprint of Elsevier. – 2009. – 934 p.

8. Sung-Mo (Steve) Ang. Cmos Digital Integrated Circuits / Sung-Mo (Steve) Ang, Yusuf Leblebici // The McGraw-Hill Comp. – 2003. – 658 p.

Надійшла до редакції 01.04.2012

О.І. АНДРЮХІН

Донецький національний технічний університет

A.I. ANDRIUKHIN

Donetsk National Technical University

Метод підвищення точності паралельного перемикального моделювання.

Вперше запропонований метод підвищення точності паралельного моделювання на перемикальному рівні. Наведені теоретичні засади та практичні аспекти методу. Розглянуто приклад застосування методу.

Ключові слова: паралельне моделювання, перемикальний рівень, точність

A Method for Increasing the Accuracy of the Parallel Simulation on the Switch Level

For the first time a method is proposed to improve the accuracy of the parallel simulation on the switch level. Theoretical knowledge and practical aspects of the method and an example of its use are considered.

Keyword: parallel simulation, the switch level, accuracy