

В.В. Лапко, канд. техн. наук, доц.,
О.В. Самощенко, канд. техн. наук, доц.,
Г.Е.Маргієв, аспірант.

Донецький національний технічний університет, м. Покровськ
aleksandr.samoshchenko@gmail.com

Синтез та математичне моделювання схем додавання та віднімання цілих чисел в кодах з додатним нулем

Двійковий код на основних виводах операційного суматора невід'ємних цілих чисел трактується як залишок суми початкових даних по модулю, що дорівнює ваговому коефіцієнту вихідного переносу суматора. Розроблена оригінальна методика синтезу схем додавання та віднімання алгебраїчних цілих чисел в системі операндів з додатним нулем, що базується на поданні суми та різниці даних у вигляді залишку по модулю операційного суматора. Аналітично обґрунтована властивість подвійності операції додавання та віднімання початкових даних в системі з додатним нулем, яка полягає в тому, що певні поєднання штатних виходів операційного суматора подають результат як в доповняльному коді, так і в коді з додатним нулем. Виявлені комбінації штатних вихідних сигналів операційного суматора, які визначають наявність та полярність переповнення розрядної сітки основних виводів суматора. Показано, що розроблені схеми фіксації переповнення кількості розрядів основних виводів операційного суматора інваріантні відносно операцій додавання та віднімання початкових даних в системі з додатним нулем. Адекватність розроблених схем додавання та віднімання цілих чисел в системі з додатним нулем обґрунтована математичним моделюванням арифметичних ланцюгів на VHDL.

Ключові слова: суматор невід'ємних цілих чисел, модуль суматора, залишок по модулю, обчислення залишків, код з додатним нулем, доповняльний код, ознаки переповнення, VHDL моделювання.

Вступ

Для зменшення витрат часу на виконання операцій порівняння чисел з рухомою комою в комп'ютерному обладнанні використовується подання порядків в коді з додатним нулем [1-3]. Зображення порядків в системі з додатним нулем має суттєву перевагу – числові значення зображень порядків пропорційні величині цих порядків [2]. В силу цього, порівняння чисел з рухомою комою зводиться до простої операції спільного та погодженого порівняння кодів з фіксованою комою, котрі складаються із зображень порядків та модулів мантис дійсних чисел [1]. Але при використанні зображень порядків в коді з додатним нулем виникає проблема вирахування суми та різниці порядків в коді з додатним нулем в процесі виконання типових операцій додавання, віднімання, множення та ділення чисел з рухомою комою. Очевидне рішення цієї задачі, що засноване на використанні арифметичних ланцюгів обробки доповняльних кодів [4], є не дуже продуктивним, бо потребує виконання додаткових мікрооперацій перетворення різнополярних зображень початкових даних та результату. В роботі з використанням властивостей зображень цілих чисел в коді з додатним нулем та операційних властивостей суматорів невід'ємних цілих чисел запропоновані арифметичні ланцюги та ланцюги керування для обробки початкових даних безпосередньо в кодах

з додатним нулем, а також оптимальні схеми фіксації наявності переповнення кількості основних розрядів порядків та полярності переповнення розрядної сітки результату в коді з додатним нулем.

Математичний опис та VHDL-модель операційного суматора

Розробка схем додавання та віднімання чисел зводиться до синтезу функцій керування входами операційного суматора та формування результату на виході суматора невід'ємних чисел (рис.1а) [4], операційні властивості якого описуються співвідношеннями [1]:

$$\sum(n+1,1) = a(n,1) + b(n,1) + e; \quad (1)$$

$$\sum(n+1,1) = E \cdot 2^n + S(n,1), \quad (2)$$

де n – кількість основних розрядів суматора; $n, 1 = n, n-1, \dots, 2, 1$; e, E – відповідно вхідний та вихідний перенос суматора; $2^n = V$ – ваговий коефіцієнт вихідного переносу суматора;

$$a(n,1) = a(n) \cdot 2^{n-1} + a(n-1) \cdot 2^{n-2} + \dots + a(2) \cdot 2 + a(1) \cdot 2^0 \in [0; V-1];$$

$$b(n,1) = b(n) \cdot 2^{n-1} + b(n-1) \cdot 2^{n-2} + \dots + b(2) \cdot 2 + b(1) \cdot 2^0 \in [0; V-1];$$

$$S(n,1) = S(n) \cdot 2^{n-1} + S(n-1) \cdot 2^{n-2} + \dots + S(2) \cdot 2 + S(1) \cdot 2^0 \in [0; V-1],$$

де $S(n, 1)$ – основні розряди суми на виводах суматора; $\Sigma(n + 1, 1)$ – код повної суми основних доданків $a(n, 1)$ та $b(n, 1)$ та вхідного переносу e на виводах суматора.

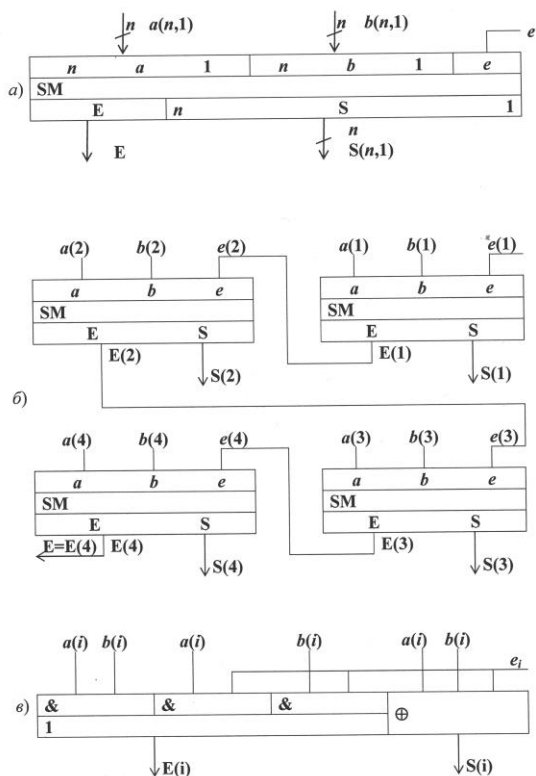


Рисунок 1 - Схема операційного суматора:
а) функціональна схема; б) ланцюг переносів в чотирирозрядній VHDL-моделі суматора; в) функціональна схема однорозрядного суматора VHDL-моделі [1]

На виводах повної суми операційного суматора (рис.1а) двійкові коди згідно з (1)–(2) описуються системою нерівностей:

$$E = \begin{cases} 1 & \text{при } \Sigma(n + 1, 1) \geq V; \\ 0 & \text{при } \Sigma(n + 1, 1) < V, \end{cases} \quad (3)$$

$$S(n, 1) = \begin{cases} \Sigma(n + 1, 1) - V & \text{при } E = 1; \\ \Sigma(n + 1, 1) & \text{при } E = 0. \end{cases} \quad (4)$$

Використовуючи операцію додавання невід’ємних чисел по модулю [2], систему нерівностей (4) можна подати у вигляді:

$$S(n, 1) = (\Sigma(n + 1, 1))_{mV}, \quad (5)$$

де $(\Sigma(n + 1, 1))_{mV}$ – залишок по модулю V [4] повної суми $\Sigma(n + 1, 1)$.

Звідки випливає, що двійковий код на основних виводах суми суматора, згідно (1)–(2), визначається залежністю:

$$S(n, 1) = (a(n, 1) + b(n, 1) + e)_{mV}. \quad (6)$$

Для проведення чисельних експериментів додавання чисел в суматорі (рис.1а) використовувався VHDL-модель чотирирозрядного операційного суматора (рис.1б). VHDL-модель [5] схеми операційного суматора зображена на рис.2.

Результати моделювання додавання в чотирирозрядному операційному суматорі (рис.1б) приведені на рис.3. Двійкові коди на виводах VHDL-моделі адекватно відображають операції додавання заданих початкових даних. На основних виводах суми в суматорі, згідно (6), при заданих операндах формується коректна сума:

$$S(4, 1) = \begin{cases} (0010 + 0011 + 0)_{m16} = (0101)_{m16} = 0101; \\ (1001 + 0111 + 1)_{m16} = (10001)_{m16} = 0001, \end{cases}$$

де $16 = 2^4$ – вага вихідного переносу $E(4)$ чотирирозрядного операційного суматора (рис.1б).

```
architecture SM of SM is
signal e : bit_vector (3 downto 1);
begin
S(0) <= A(0) xor B(0) xor Ei;
e(1) <= (A(0) and Ei) or (A(0) and B(0)) or (B(0) and Ei);
S(1) <= A(1) xor B(1) xor e(1);
e(2) <= (A(1) and e(1)) or (A(1) and B(1)) or (B(1) and e(1));
S(2) <= A(2) xor B(2) xor e(2);
e(3) <= (A(2) and e(2)) or (A(2) and B(2)) or (B(2) and e(2));
S(3) <= A(3) xor B(3) xor e(3);
Eo <= (A(3) and e(3)) or (A(3) and B(3)) or (B(3) and e(3));
end SM;
```

Рисунок 2 – VHDL-модель операційного суматора невід’ємних цілих чисел

Name	Value	Sti.	0	1	2	3	4
Ei	0	For...					
A	0	For...	2				
B	0	For...	0				
Eo	0						
S	0		6				

Рисунок 3 – Моделювання додавання невід’ємних цілих чисел:

- (0..2 нс): $a(4, 1) = 0010$, $b(4, 1) = 0011$, $e = 0$;
- (2..4 нс): $a(4, 1) = 1001$, $b(4, 1) = 0111$, $e = 1$.

Синтез та математичне моделювання схем додавання цілих чисел в коді з додатним нулем

Додавання цілих чисел зводиться до розв’язання задачі

$$C = A + B, \quad (7)$$

де A, B – відповідно початкові числові данні; C – код суми заданих числових даних.

Вирішуючи задачу (7) за допомогою суматора невід’ємних цілих чисел (рис.1а), заміною визначення алгебраїчної суми C на основних виводах операційного суматора $S(n, 1)$ вирахуванням фізично додатного коду суми:

$$C^{CM}(n, 1) = V/2 + C, \quad (8)$$

де $V/2 = 2^{n-1}$ – код зміщення в n -розрядному операційному суматорі; $C^{CM}(n, 1)$ – зміщений код алгебраїчної суми початкових чисел A та B : $C^{CM}(n, 1) \in [0; V - 1]$.

Максимальне та мінімальне значення алгебраїчної суми, згідно (8), обмежені та визначаються системою рівнянь:

$$V/2 + C_{min} = C^{CM}(n, 1)_{min} = 0;$$

$$V/2 + C_{max} = C^{CM}(n, 1)_{max} = V - 1,$$

де C_{min} , C_{max} – відповідно мінімальне та максимальне значення алгебраїчної суми на основних виводах операційного суматора.

Область визначення алгебраїчної суми C на основних виводах операційного суматора визначається множиною чисел

$$C \in [-V/2; V/2 - 1]. \quad (9)$$

Зважаючи на це, максимальне та мінімальне значення зміщеного коду (8) обмежені й визначаються системою нерівностей:

$$\begin{aligned} C^{cm}(C > 0, \in [0; V/2 - 1]) &= \\ = V/2 + (0 \div V/2 - 1) &= V/2 \div (V - 1) = \\ = V/2 \div V - 1 &= 2^{n-1} \div 2^n - 1 = \\ = 2^{n-1} \div 2 \cdot 2^{n-1} - 1 &= \\ = 2^{n-1} \div 2^{n-1} + 2^{n-1} - 1 &\geq 2^{n-1}, \end{aligned} \quad (10)$$

$$\begin{aligned} C^{cm}(C < 0, \in [-V/2; -1]) &= \\ = V/2 + ((-V/2) \div (-1)) &= \\ = V/2 + ((-V/2) \div (V/2 - 1)) &= \\ = 0 \div 2^{n-1} - 1 &< 2^{n-1}. \end{aligned} \quad (11)$$

Стан розрядної позиції $C^{cm}(n)$ полінома зміщеного коду $C^{cm}(n,1)$, згідно (10) – (11), однозначно характеризує знак алгебраїчної суми:

$$C^{cm}(n) = \begin{cases} 1 \text{ при } C > 0 : C \in [1; V/2 - 1], \\ 1 \text{ при } C = 0, \\ 0 \text{ при } C < 0 : C \in [-V/2; -1]. \end{cases} \quad (12)$$

Згідно (12), в старшій розрядній позиції зміщеного коду $C^{cm}(n)$ знак «+» при нульовому та додатному значенні алгебраїчної суми C зображується цифрою «1», а знак «-» – цифрою «0». При цьому нульове значення суми (7) кодується як додатне число. Через це зміщений код (8) трактується як код з додатним нулем [2]. Отже, згідно (8), зображення суми (7) в кодї з додатним нулем визначається співвідношенням:

$$C^{pn}(n,1) = V/2 + C. \quad (13)$$

де $C^{pn}(n) = N_C^{pn}$ – розряд знаку алгебраїчної суми (7) в кодї з додатним нулем:

$$N_C^{pn} = C^{cm}(n) = \begin{cases} 1 \text{ при } C > 0, \\ 1 \text{ при } C = 0, \\ 0 \text{ при } C < 0; \end{cases}$$

$C^{pn}(n-1,1)$ – основні розряди коду з додатним нулем суми (7): $C^{pn}(n-1,1) = C^{cm}(n-1,1)$.

При поданні алгебраїчної суми в кодї з додатним нулем розв'язання задачі (7), згідно (13), зводиться до вирахування співвідношення

$$C^{pn}(n,1) = V/2 + C = V/2 + A + B.$$

Шляхом перетворень отримаємо:

$$\begin{aligned} C^{pn}(n,1) &= V/2 + A + V/2 + B - V/2 = \\ &= ((V/2 + A) + (V/2 + B) - V/2 + V)_{mv} = \\ &= (V/2 + (V/2 + A) + (V/2 + B))_{mv} = \\ &= (V/2 + C^{AB}(n,1))_{mv}, \end{aligned} \quad (14)$$

де

$$C^{AB}(n,1) = ((V/2 + A) + (V/2 + B))_{mv}. \quad (15)$$

Для вирахування алгебраїчної суми (7) в системі з додатним нулем (коду $C^{pn}(n,1)$) на пер-

шому етапі операції необхідно сформувати функцію (15).

$$\begin{aligned} C^{AB}(n,1) &= (V/2 + A + V/2 + B)_{mv} = \\ &= (V + (A + B))_{mv} = (V + C)_{mv}. \end{aligned} \quad (16)$$

За визначенням [4] на множині значень (9) суми (7) права частина виразу (16) подає алгебраїчну суму (7) в системі доповняльних кодів:

$$(V + C)_{mv} = C^{dk}(n,1), \quad (17)$$

де $C^{dk}(n,1)$ – зображення алгебраїчної суми (7) в доповняльному кодї; $C^{dk}(n) = N_C^{dk}$ – розряд знаку алгебраїчної суми C в форматі доповняльного коду довжиною n біт [4]:

$$N_C^{dk} = \begin{cases} 0 \text{ при } C \geq 0, \\ 1 \text{ при } C < 0; \end{cases}$$

$C^{dk}(n-1,1)$ – основні розряди доповняльного коду алгебраїчної суми (7).

Вираз (14), згідно (15)–(17), набуває вигляду:

$$C^{pn}(n,1) = (V/2 + C^{dk}(n,1))_{mv}, \quad (18)$$

де

$$C^{dk}(n,1) = ((V/2 + A) + (V/2 + B))_{mv}. \quad (19)$$

Для рішення задачі (18) при $V = 2^n$ представимо коди $C^{pn}(n,1)$ та $C^{dk}(n,1)$ поліномами $(n-1)$ -ого степеню:

$$\begin{aligned} N_C^{pn} \cdot 2^{n-1} + C^{pn}(n-1,1) &= \\ = ((V/2 + C^{dk}(n,1))_{mv}) &= \\ = (2^{n-1} + N_C^{dk} \cdot 2^{n-1} + C^{dk}(n-1,1))_{mv} &= \\ = ((1 + N_C^{dk}) \cdot 2^{n-1} + C^{dk}(n-1,1))_{mv} &= \\ = ((1 + N_C^{dk}) \cdot 2^{n-1})_{mv} + C^{dk}(n-1,1) &= \\ = \overline{N_C^{dk}} \cdot 2^{n-1} + C^{dk}(n-1,1). \end{aligned} \quad (20)$$

Звідси випливає, що компоненти полінома $C^{pn}(n,1)$ через складові полінома $C^{dk}(n,1)$, згідно (20), визначаються співвідношеннями:

$$N_C^{pn} = \overline{N_C^{dk}}, \quad (21)$$

$$C^{pn}(n-1,1) = C^{dk}(n-1,1). \quad (22)$$

Для вирахування складових полінома $C^{dk}(n,1)$ через початкові дані A та B задачі (7), згідно (19), на входах операційного суматора (6) необхідно сформувати двійкові коди:

$$a(n,1) = V/2 + A, \quad b(n,1) = V/2 + B, \quad e = 0. \quad (23)$$

Згідно виразу (13) на множині значень (9) n -розрядні коди $a(n,1)$ та $b(n,1)$ подають початкові дані A та B задачі (7) в системі з додатним нулем:

$$a(n,1) = V/2 + A = A^{pn}(n,1); \quad (24)$$

$$b(n,1) = V/2 + B = B^{pn}(n,1), \quad (25)$$

де $A^{pn}(n,1)$, $B^{pn}(n,1)$ – відповідно зображення початкових даних A та B задачі (7) в кодї з додатним нулем довжиною n біт; $A^{pn}(n) = N_A^{pn}$, $B^{pn}(n) = N_B^{pn}$ – відповідно знакові розряди початкових даних A та B в кодї з додатним нулем:

$$N_A^{PH} = \begin{cases} 1 \text{ при } A > 0, \\ 1 \text{ при } A = 0, \\ 0 \text{ при } A < 0; \end{cases}$$

$$N_B^{PH} = \begin{cases} 1 \text{ при } B > 0, \\ 1 \text{ при } B = 0, \\ 0 \text{ при } B < 0; \end{cases}$$

$A^{PH}(n-1,1)$, $B^{PH}(n-1,1)$ – відповідно основні розряди початкових даних A та B , що записані в коді з додатним нулем.

Для реалізації сукупності мікрооперацій (23), згідно (24)-(25), на основних входах суматора (6) початкові дані необхідно сформувати в кодах з додатним нулем:

$$a(n,1) = A^{PH}(n,1), b(n,1) = B^{PH}(n,1), e = 0. \quad (26)$$

Для вирахування шуканої суми цілих чисел A та B в системі з додатним нулем в арифметичних ланцюгах пристрою (рис.4), згідно (21-22) та (26), формуються операції:

$$S(n,1) = C^{DK}(n,1) = (A^{PH}(n,1) + B^{PH}(n,1) + 0)_{mv},$$

$$S(n) = C^{DK}(n) = N_A^{DK}, \quad (27)$$

$$N_C^{PH} = \overline{N_C^{DK}} = \overline{S(n)},$$

$$S(n-1,1) = C^{DK}(n-1,1) = C^{PH}(n-1,1).$$

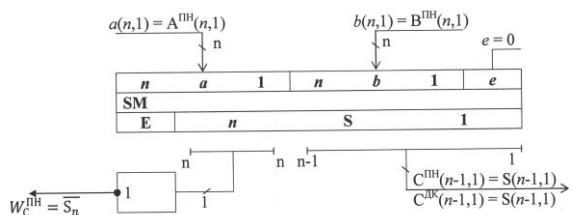


Рисунок 4 – Схема додавання цілих чисел в кодах з додатним нулем

Область визначення функцій $A^{PH}(A)$, $B^{PH}(B)$ та $C^{PH}(C)$ визначається n -розрядною сіткою основних виводів суматора (26) та задається, згідно (9), інтервалом $[-V/2; V/2-1]$. Але за коректних значень початкових даних $A \in [-V/2; V/2-1]$ та $B \in [-V/2; V/2-1]$ у загальному випадку сума $C = A + B$ визначається більш широким інтервалом $[-V; V-2]$, довжина якого виходить за межі області визначення функції $C^{PH}(C)$, що обмежується, згідно (9), інтервалом $[-V/2; V/2-1]$. Отже, коли $C \in [-V; -(V/2+1)]$, в схемі додавання необхідно фіксувати від'ємне переповнення кількості розрядів основних виходів суматора, а коли $C \in [V/2; V-2]$, – додатне переповнення розрядної сітки суматора. Таким чином, алгоритм фіксації переповнення суматора визначається нерівностями:

$$ОПП = \begin{cases} 1 \text{ при } C \in [-V; -(V/2 + 1)], \\ 0 \text{ при } C \in [-V/2; -1]; \end{cases} \quad (28)$$

$$ППП = \begin{cases} 1 \text{ при } C \in [V/2; V - 2], \\ 0 \text{ при } C \in [0; V/2 - 1]; \end{cases} \quad (29)$$

$$ПП = \begin{cases} 1 \text{ при } C \in [-V; -(V/2 + 1)] \vee [V/2; V - 2], \\ 0 \text{ при } C \in [-V/2; V/2 - 1], \end{cases} \quad (30)$$

де ОПП, ППП, ПП – відповідно ознаки невід'ємного, додатного та загального переповнення кількості розрядів основних виходів операційного суматора при додаванні.

При додаванні цілих чисел в кодах з додатним нулем, згідно (27), повна сума на виводах суматора (6) визначається виразом

$$\Sigma(n+1,1) = E \cdot 2^n + S(n) \cdot 2^{n-1} + \dots + S(2) \cdot 2 + S(1) = A^{PH}(n,1) + B(n,1) = (V/2+A) + (V/2+B) = V + (A+B) = V + C. \quad (31)$$

В області від'ємного переповнення $C \in [-V; -(V/2 + 1)]$ повна сума змінюється в діапазоні:

$$\Sigma(n+1,1) = E \cdot 2^n + S(n) \cdot 2^{n-1} + \dots + S(2) \cdot 2 + S(1) = \begin{cases} V + (-V) = 0 < 2^{n-1} \text{ при } C = -V; \\ V - V/2 - 1 = V/2 - 1 = 2^{n-1} - 1 \text{ при } C = -(V/2 + 1). \end{cases}$$

При виникненні від'ємного переповнення на виводах операційного суматора формується комбінація

$$\Sigma S(n) = 00. \quad (32)$$

Якщо $C = A + B < 0$ та за відсутності переповнення на інтервалі $C \in [-V/2; -1]$ повна сума, згідно (31), змінюється в діапазоні:

$$\Sigma(n+1,1) = E \cdot 2^n + S(n) \cdot 2^{n-1} + \dots + S(2) \cdot 2 + S(1) = \begin{cases} V - V/2 = V/2 = 2^{n-1} \text{ при } C = -V/2; \\ V - 1 = 2^n - 1 = 2^{n-1} + 2^{n-1} - 1 \text{ при } C = -1. \end{cases}$$

Коли $C = A + B < 0$ та за відсутності від'ємного переповнення в старших розрядах виводів суматора формується комбінація

$$\Sigma S(n) = 01. \quad (33)$$

Якщо $C = A + B \geq 0$ та за відсутності додатного переповнення на інтервалі $C \in [0; V/2 - 1]$ двійковий код повної суми змінюється в діапазоні:

$$\Sigma(n+1,1) = E \cdot 2^n + S(n) \cdot 2^{n-1} + \dots + S(2) \cdot 2 + S(1) = \begin{cases} V + 0 = V = 2^n \text{ при } C = 0; \\ V + V/2 - 1 = 2^n + 2^{n-1} - 1 \text{ при } C = -1. \end{cases}$$

В старших розрядах суматора за відсутності додатного переповнення формується комбінація

$$\Sigma S(n) = 10. \quad (34)$$

Якщо $C = A + B > 0$ та за наявності додатного переповнення в інтервалі $C \in [V/2; V-2]$ двійковий код повної суми змінюється в діапазоні:

$$\Sigma(n+1,1) = E \cdot 2^n + S(n) \cdot 2^{n-1} + \dots + S(2) \cdot 2 + S(1) = \begin{cases} V + V/2 = 2^n + 2^{n-1} \text{ при } C = V/2; \\ V + V - 2 = 2^n + 2^n - 2 = \\ = 2^n + 2^{n-1} + 2^{n-1} - 2 \text{ при } C = V - 2. \end{cases}$$

За наявності додатного переповнення в старших розрядах суматора формується комбінація

$$\Sigma S(n) = 11. \tag{35}$$

При додаванні цілих чисел в системі з додатним нулем, згідно (32)–(35) й табл.1, алгоритм фіксації переповнення розрядної сітки суматора (6) описується логічними виразами:

$$\begin{aligned} \text{ОПП} &= \overline{E} \wedge \overline{S(n)}; \\ \text{ППП} &= E \wedge S(n); \\ \text{ПП} &= \text{ОПП} \vee \text{ППП} = \\ &= \overline{E} \wedge \overline{S(n)} + E \wedge S(n) = \overline{E \oplus S(n)}. \end{aligned} \tag{36}$$

За відсутності переповнення суматора, згідно (27) та (33)–(34), комбінації старших розрядів повної суми $ES(n)$ та знакових розрядів N_C^{DK} та N_C^{PH} утворюють набори, зображені в двох нижніх рядках табл.1. Звідки випливає, що розряди знаку результату в системі з додатним нулем та в доповняльному коді визначаються логічними виразами:

$$N_C^{DK} = S(n), \quad N_C^{PH} = E. \tag{37}$$

Схема формування ознак переповнення (36) та модифікованого способу визначення знакових розрядів результату (37) при додаванні цілих чисел в коді з додатним нулем зображена на рис.5. VHDL-модель модифікованої схеми додавання цілих чисел в кодах з додатним нулем зображена на рис.6. Результати чисельних експериментів в моделі приведені на рис.7.

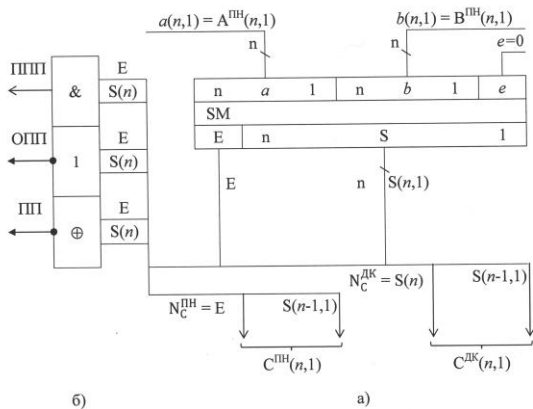


Рисунок 5 - Модифікована схема додавання цілих чисел в системі з додатним нулем:

а) операційний суматор; б) схема фіксації переповнення кількості основних розрядів операційного суматора

На рис.7 показані результати моделювання при додаванні початкових даних:

$$\begin{aligned} A^{PH}(A = -011) &= 8 + A = 1000 - 011 = 0111 - 011 + 1 = \\ &= \overline{0011} + 1 = 0100 + 1 = [0]101; \\ B^{PH}(B = +101) &= 8 + B = 1000 + 101 = [1]101, \end{aligned}$$

де $[x]$ – розряд знаку чисел A та B в коді з додатним нулем; $8 = 2^3 = 2^4/2 = V/2$ – зміщення кодів з додатним нулем в чотирирозрядному суматорі; $V=2^4$ – модуль чотирирозрядного операційного суматора; 4 – кількість розрядів на основних виводах операційного суматора VHDL-моделі (або довжина суматора).

Повна сума на виводах моделі суматора утворює двійковий код:

$$\begin{aligned} \Sigma(5,1) &= 1[0]010, E=1, S(4)=[0], S(4,1)=[0]010; \\ \text{ПП} &= E \oplus S(n) = \overline{1 \oplus 0} = 0; \\ C^{DK}(4,1) &= [S(n)] \Sigma(3,1) = [0]010, \\ C^{PH}(4,1) &= [E] \Sigma(3,1) = [1]010. \end{aligned}$$

Таблиця 1. Алгоритм фіксації переповнення й знакових розрядів в схемі додавання цілих чисел в кодах з додатним нулем

E	S(n)	ОПП	ППП	ПП	$N_C^{DK} = S(n)$	$N_C^{PH} = \overline{S(n)}$
0	0	1	0	1	*	*
1	1	0	1	1	*	*
0	1	0	0	0	1	0
1	0	0	0	0	0	1

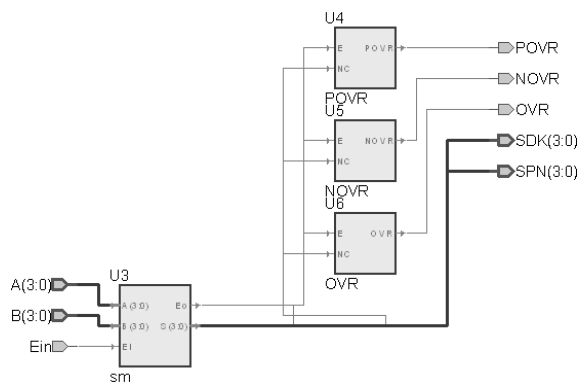


Рисунок 6 – Block Diagram модель схеми додавання цілих чисел в системі з додатним нулем

Name	Value	Stimulator	0	5	10	15	20	25	30	35	40
# A	Formula	0									
# B	Formula	0									
# Ein		<= 0									
* Eout											
* P_OVR											
* N_OVR											
* OVR_DK											
# SPN		0									
# SDK		0									

Рисунок 7 – Результати моделювання в схемі додавання цілих чисел з додатним нулем:

$$\begin{aligned} - (0..2 \text{ нс}): A^{PH}(4,1) &= [0]101, B^{PH}(4,1) = [1]101; \\ - (2..4 \text{ нс}): A^{PH}(4,1) &= [0]010, B^{PH}(4,1) = [0]001. \end{aligned}$$

На рис.7 показані чисельні експерименти в моделі при додаванні початкових даних:

$$\begin{aligned} A^{\text{ПН}}(A = -110) &= 8 + A = 1000 - 110 = \\ &= 0111 - 110 + 1 = \\ &= \overline{0110} + 1 = 0001 + 1 = [0]010; \\ B^{\text{ПН}}(B = -111) &= 8 + B = 1000 - 111 = \\ &= 0111 - 111 + 1 = \\ &= \overline{0111} + 1 = 0000 + 1 = [0]001. \end{aligned}$$

Повна сума на виводах моделі суматора утворює двійковий код:

$$\Sigma(5,1)=0[0]001, E=\Sigma(5)=0, S(4)=\Sigma(4)=0, S(4,1)=[0]001;$$

$$\text{ПП} = \overline{E \oplus S(4)} = \overline{0 \oplus 0} = 1,$$

$$\text{ОПП} = \overline{E \vee S(4)} = \overline{0 \vee 0} = 1,$$

$$\text{ППП} = E \wedge S(4) = 0 \wedge 0 = 0;$$

$$C^{\text{ПН}}(4,1) = [0]001, C^{\text{ДК}}(4,1) = [0]001.$$

В моделі сформовані ознаки переповнення розрядної сітки суматора, тому результат операції додавання на виходах моделі є некоректним.

Синтез та математичне моделювання схеми віднімання цілих чисел в коді з додатним нулем

Операція віднімання цілих чисел зводиться до розв'язання задачі

$$C = A - B, \quad (38)$$

де A, B – початкові дані; C – результат віднімання початкових даних.

При розв'язанні задачі (38) за допомогою суматора цілих невід'ємних чисел (рис. 1а), згідно (13), замінимо вираження алгебраїчної різниці C вираженням додатного зміщеного коду різниці в системі з додатним нулем

$$C^{\text{ПН}}(n,1) = V/2 + C, \quad (39)$$

де $C^{\text{ПН}}(n,1)$ – зображення алгебраїчної різниці початкових даних $A - B$ в коді з додатним нулем на основних виходах суми n -розрядного операційного суматора; $C = A - B \in [-V/2; V/2 - 1]$.

При поданні алгебраїчної різниці $C = A - B$ в коді з додатним нулем розв'язання задачі (38), згідно (39), зводиться до обчислення співвідношення

$$C^{\text{ПН}}(n,1) = V/2 + C = V/2 + A - B.$$

Шляхом перетворень отримаємо:

$$\begin{aligned} C^{\text{ПН}}(n,1) &= V/2 + C = V/2 + A - B = \\ &= (V/2 + A) - (V/2 + B) + V/2 = \\ &= V/2 + A^{\text{CM}} - B^{\text{CM}} = \\ &= (V/2 + A^{\text{CM}} - B^{\text{CM}} + V)_{\text{mV}} = \\ &= (V/2 + A^{\text{CM}} + V - 1 - B^{\text{CM}} + 1)_{\text{mV}} = \\ &= (V/2 + A^{\text{CM}} + B^{\text{ПР}} + 1)_{\text{mV}} = \\ &= (V/2 + (A^{\text{CM}} + B^{\text{ПР}} + 1)_{\text{mV}})_{\text{mV}} = \\ &= (V/2 + C^{\text{AB}})_{\text{mV}}, \end{aligned} \quad (40)$$

де $A^{\text{CM}} = V/2 + A$; $B^{\text{CM}} = V/2 + B$; $B^{\text{ПР}} = V - 1 - B^{\text{CM}}$; $C^{\text{AB}} = (A^{\text{CM}} + B^{\text{ПР}} + 1)_{\text{mV}}$.

Для вираження алгебраїчної різниці ($A - B$) в коді з додатним нулем на першому етапі операції необхідно сформулювати функцію

$$C^{\text{AB}} = (A^{\text{CM}} + B^{\text{ПР}} + 1)_{\text{mV}}. \quad (41)$$

Для визначення функції (41) подамо праву частину виразу (41), згідно (40), наступним чином

$$\begin{aligned} C^{\text{AB}} &= (A^{\text{CM}} + B^{\text{ПР}} + 1)_{\text{mV}} = \\ &= (V/2 + A + V - 1 - B^{\text{CM}} + 1)_{\text{mV}} = \\ &= (V/2 + A + V - 1 - V/2 - B + 1)_{\text{mV}} = \\ &= (V + A - B)_{\text{mV}} = (V + C)_{\text{mV}}. \end{aligned} \quad (42)$$

Згідно (17), на множині значень (9) вираз (41) подає алгебраїчну різницю $C = A - B$ в системі доповняльних кодів [4]

$$C^{\text{AB}} = C^{\text{ДК}}(n,1) = (V + C)_{\text{mV}}.$$

Співвідношення (40) набуває вигляду:

$$C^{\text{ПН}}(n,1) = (V/2 + C^{\text{ДК}}(n,1))_{\text{mV}}, \quad (42)$$

де

$$C^{\text{ДК}}(n,1) = (A^{\text{CM}} + B^{\text{ПР}} + 1)_{\text{mV}}. \quad (43)$$

Компоненти $C^{\text{ПН}}(n,1) = [N_C^{\text{ПН}}]C^{\text{ПН}}(n-1,1)$ полінома визначаються через складові полінома $C^{\text{ДК}}(n,1) = N_C^{\text{ДК}} C^{\text{ДК}}(n-1,1)$ в (42), згідно (21)–(22), співвідношеннями:

$$N_C^{\text{ПН}} = \overline{N_C^{\text{ДК}}}; \quad (44)$$

$$C^{\text{ПН}}(n-1,1) = C^{\text{ДК}}(n-1,1), \quad (45)$$

де $N_C^{\text{ПН}}, N_C^{\text{ДК}}$ – відповідно розряди знаку різниці ($A - B$) в коді з додатним нулем та в системі доповняльного коду;

$C^{\text{ПН}}(n-1,1), C^{\text{ДК}}(n-1,1)$ – відповідно основні розряди різниці $C = A - B$ в коді з додатним нулем та в системі доповняльного коду.

Для вираження складових полінома $C^{\text{ДК}}(n,1)$ через значення зменшеного A та від'ємника B , згідно (43), на виходах операційного суматора (6) необхідно сформулювати двійкові коди A^{CM} та $B^{\text{ПР}}$ у таких форматах:

$$\begin{aligned} A^{\text{CM}}(n,1) &= a(n,1) \\ B^{\text{ПР}}(n,1) &= b(n,1) \\ e &= 1 \end{aligned} \quad (46)$$

На основних виходах операційного суматора (6), згідно (46), отримаємо двійковий код:

$$C^{\text{ПН}}(n,1) = (A^{\text{CM}}(n,1) + B^{\text{ПР}}(n,1) + 1)_{\text{mV}}, \quad (47)$$

де

$$A^{\text{CM}}(n,1) = V/2 + A; \quad (48)$$

$$B^{\text{ПР}}(n,1) = V - 1 - B^{\text{CM}}. \quad (49)$$

Вираз (48), згідно (39) та (9), подає запис зменшеного A в коді з додатним нулем. Таким чином, справедливе співвідношення

$$A^{\text{CM}}(n,1) = A^{\text{ПН}}(n,1). \quad (50)$$

Для визначення довжини коду B^{CM} подаємо співвідношення (49) у наступному вигляді

$$B^{\text{CM}} = V - 1 - B^{\text{ПР}}(n,1).$$

Звідки при $V = 2^n$ отримаємо

$$\begin{aligned}
 V^{CM} &= 2^{n-1} - V^{PP}(n,1) = \\
 &= 1 \cdot 2^{n-1} + 1 \cdot 2^{n-2} + \dots + 1 \cdot 2^1 + 1 \cdot 2^0 - \\
 &- V^{PP}(n,1) \cdot 2^{n-1} + V^{PP}(n-1,1) \cdot 2^{n-2} + \dots \\
 &+ V^{PP}(2) \cdot 2 + V^{PP}(1) = \\
 &= (1 - V^{PP}(n)) \cdot 2^{n-1} + (1 - V^{PP}(n-1)) \cdot 2^{n-2} + \dots \quad (51) \\
 &+ (1 - V^{PP}(2)) \cdot 2 + (1 - V^{PP}(1)) = \\
 &= \overline{V^{PP}(n)} \cdot 2^{n-1} + \overline{V^{PP}(n-1)} \cdot 2^{n-2} + \dots \\
 &+ \overline{V^{PP}(2)} \cdot 2 + \overline{V^{PP}(1)} = \overline{V^{PP}(n,1)},
 \end{aligned}$$

де $\overline{V^{PP}(n,1)}$ – порозрядна інверсія n-розрядного коду $V^{PP}(n,1)$.

Звідси випливає, що код V^{CM} подає n-розрядний двійковий код. Отже, згідно (40), справедливе співвідношення

$$V^{CM}(n,1) = V/2 + V.$$

Отриманий вираз, згідно (39) та (9), подає запис від’ємника V в коді з додатним нулем. Таким чином, справедливе співвідношення

$$V^{CM}(n,1) = V^{PH}(n,1). \quad (52)$$

Зважаючи на це, в суматорі (46) для вирішення задачі (43), згідно (50) та (52), необхідно виконати операції:

$$\begin{aligned}
 e &= 1; \\
 a(n,1) &= A^{PH}(n,1); \\
 b(n,1) &= V - 1 - V^{PH}(n,1) = \\
 &= (2^{n-1}) - V^{PH}(n,1) = \\
 &= 1 \cdot 2^{n-1} + 1 \cdot 2^{n-2} + \dots + 1 \cdot 2^1 + 1 \cdot 2^0 - \\
 &- V^{PH}(n) \cdot 2^{n-1} - V^{PH}(n-1) \cdot 2^{n-2} - \dots - \quad (53) \\
 &- V^{PH}(2) \cdot 2^1 - V^{PH}(1) \cdot 2^0 = \\
 &= (1 - V^{PH}(n)) \cdot 2^{n-1} + (1 - V^{PH}(n-1)) \cdot 2^{n-2} + \dots \\
 &+ (1 - V^{PH}(2)) \cdot 2^1 + (1 - V^{PH}(1)) \cdot 2^0 = \\
 &= \overline{V^{PH}(n)} \cdot 2^{n-1} + \overline{V^{PH}(n-1)} \cdot 2^{n-2} + \dots \\
 &+ \overline{V^{PH}(2)} \cdot 2^1 + \overline{V^{PH}(1)} \cdot 2^0 = \overline{V^{PH}(n,1)},
 \end{aligned}$$

де $\overline{V^{PH}(n,1)}$ – порозрядна інверсія зображення від’ємника в коді з додатним нулем.

Зважаючи на це, на виходах віднімача (рис.8), згідно (44)–(45), формуються двійкові коди:

$$\begin{aligned}
 C^{DK}(n,1) &= (A^{PH}(n,1) + \overline{V^{PH}(n,1)} + 1)_{mV}; \\
 N_C^{DK} &= C^{DK}(n); \\
 N_C^{PH} &= \overline{N_C^{DK}}; \\
 C^{PH}(n-1,1) &= C^{DK}(n-1,1).
 \end{aligned} \quad (54)$$

Область визначення функцій $A^{PH}(A)$, $V^{PH}(B)$, $C^{PH}(C)$ та $C^{DK}(C)$, згідно (9), в n-розрядному операційному суматорі (53) однакова й визначається інтервалом $[-V/2; V/2 - 1]$. Але за коректних значень початкових даних $A \in [-V/2; V/2 - 1]$ та $B \in [-V/2; V/2 - 1]$ різниця операндів визначається більш широким інтервалом $[-$

$(V - 1); (V - 1)]$, довжина якого виходить за межі області визначення функції $C^{PH}(C)$, котра обмежена інтервалом $[-V/2; V/2 - 1]$. Отже, при $C \in [-(V-1); -(V/2 + 1)]$ необхідно фіксувати від’ємне переповнення кількості основних виходів суматора, а при $C \in [V/2; V - 1]$ – додатне переповнення розрядної сітки суматора. Таким чином, алгоритм фіксації переповнення при відніманні початкових даних визначається системою нерівностей:

$$\begin{aligned}
 OPP &= \begin{cases} 1 & \text{при } C \in [-(V - 1); -(V/2 + 1)], \\ 0 & \text{при } C \in [-V/2; -1]; \end{cases} \quad (55)
 \end{aligned}$$

$$\begin{aligned}
 PPP &= \begin{cases} 1 & \text{при } C \in [V/2; V - 1], \\ 0 & \text{при } C \in [0; V/2 - 1]; \end{cases} \quad (56)
 \end{aligned}$$

$$\begin{aligned}
 PPI &= \begin{cases} 1 & \text{при } C \in [-(V - 1); -\lfloor \frac{V}{2} \rfloor + 1], \\ 0 & \text{при } C \in [-V/2; \lfloor \frac{V}{2} \rfloor - 1], \end{cases} \quad (57)
 \end{aligned}$$

де OPP, PPP, PPI – відповідно ознаки від’ємного, додатного та загального переповнення кількості розрядів основних виходів операційного суматора при відніманні даних.

Інтервали переповнення розрядної сітки операційного суматора при відніманні початкових даних, згідно (55)–(57), відрізняються, згідно (28)–(30) від відповідних інтервалів від’ємного та додатного переповнення при додаванні початкових даних. Зважаючи на це, необхідно спеціальне дослідження умов переповнення в схемі вирахування різниці чисел.

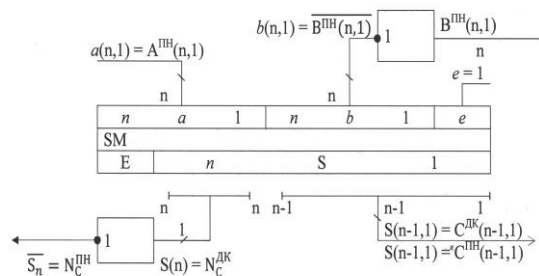


Рисунок 8 – Схема віднімання цілих чисел в коді з додатним нулем

При відніманні цілих чисел в кодах з додатним нулем, згідно (54), двійковий код на виходах суматора (рис.8) визначається виразом:

$$\begin{aligned}
 \Sigma(n+1,1) &= E \cdot 2^n + S(n) \cdot 2^{n-1} + S(n-1) \cdot 2^{n-2} + \dots + S(2) \cdot 2 + S(1) = \\
 &= A^{PH}(n,1) + \overline{V^{PH}(n,1)} + 1 = \quad (58) \\
 &= V/2 + A + V - 1 - V/2 - B + 1 = \\
 &= V + (A - B) = V + C.
 \end{aligned}$$

В області від’ємного переповнення на інтервалі $C \in [-(V - 1); -(V/2 + 1)]$ двійковий код $\Sigma(n+1,1)$, згідно (58), змінюється в діапазоні:

$$\begin{aligned}
 \Sigma(n+1,1) &= V+C = E \cdot 2^n + S(n) \cdot 2^{n-1} + S(n-1) \cdot 2^{n-2} + \dots + S(2) \cdot 2 + S(1) =
 \end{aligned}$$

$$= \begin{cases} V - (V - 1) = 1 < 2^n + 2^{n-1} \text{ при } C = -(V - 1), \\ V - V/2 - 1 = V/2 - 1 = 2^{n-1} - 1 < 2^n + 2^{n-1} \\ \text{при } C = -(V/2 + 1). \end{cases}$$

За наявності факту від'ємного переповнення в старших розрядах двійкового коду $\Sigma(n+1,1)$ утворюється комбінація

$$\Sigma S(n) = 00. \tag{59}$$

При $C = A - B > 0$ та за наявності факту додатного переповнення на інтервалі $C \in [V/2; V-1]$ двійковий код $\Sigma(n+1,1)$ змінюється в діапазоні:

$$\begin{aligned} \Sigma(n+1,1) &= V + C = E \cdot 2^n + S(n) \cdot 2^{n-1} + S(n-1) \cdot 2^{n-2} + \dots + S(2) \cdot 2 + S(1) = \\ &= \begin{cases} V + V/2 = 2^n + 2^{n-1} \text{ при } C = V/2, \\ V + V - 1 = 2^n + 2^n - 1 = 2^n + 2^{n-1} + 2^{n-1} - 1 \\ \text{при } C = V - 1. \end{cases} \end{aligned}$$

За наявності факту додатного переповнення в старших розрядах двійкового коду $\Sigma(n+1,1)$ утворюється комбінація

$$\Sigma S(n) = 11. \tag{60}$$

За наявності від'ємного та додатного переповнення різниці $(A - B)$, ознаки переповнення (59) та (60) співпадають з відповідними ознаками (32) та (35), що характеризують переповнення суми $(A + B)$. В силу цього, вирази (36) описують алгоритм контролю переповнення як в схемі додавання, так і в схемі віднімання початкових даних в кодах з додатним нулем.

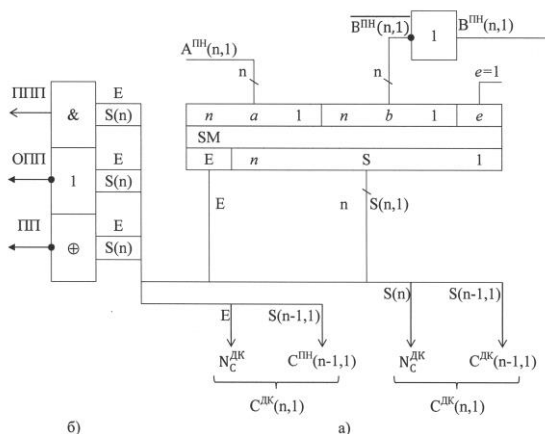


Рисунок 9 – Модифікована схема віднімання цілих чисел в кодах з додатним нулем:
а) операційний суматор; б) схема фіксації переповнення

Коректні значення суми $(A + B)$ та різниці $(A - B)$, згідно (30) та (57), задаються однаковим інтервалом $[-V/2; V/2 - 1]$, а двійковий код $\Sigma(n+1,1)$ суми $(A + B)$ та різниці $(A - B)$, згідно (58) та (31), визначається тотожними виразами, тому умовами відсутності переповнення різниці $(A - B)$ будуть вирази (33) та (34), що характеризують ознаки відсутності переповнення суми початкових даних $(A + B)$. Зважаючи на це, розряди

знаку різниці $(A - B)$ в системі з додатним нулем та в доповняльному коді визначаються логічними виразами (37), що сформовані при синтезі схеми додавання початкових даних в коді з додатним нулем.

Схема формування у зазначений спосіб ознак переповнення та модифікованого способу формування знакових розрядів при відніманні цілих чисел в кодах з додатним нулем показана на рис.9.

Синтез об'єднаної схеми додавання та віднімання цілих чисел в коді з додатним нулем

В об'єднаній схемі додавання (при $SUB=0$) та віднімання (при $SUB=1$) цілих чисел в коді з додатним нулем (рис.10) керування входами операційного суматора, згідно (26) та (53), задається формулами:

$$\begin{aligned} a(n,1) &= A^{PH}(n,1); \\ b(n,1) &= B^{PH}(n,1) \oplus SUB = \begin{cases} B^{PH}(n,1) \text{ при } SUB=0, \\ B^{PH}(n,1) \text{ при } SUB=1; \end{cases} \\ e = SUB &= \begin{cases} 0 \text{ при } SUB = 0, \\ 1 \text{ при } SUB = 1. \end{cases} \end{aligned}$$

В силу того, що формувачі вихідних двійкових кодів в схемах додавання та віднімання реалізовані в однаковий спосіб, в об'єднаній схемі додавання та віднімання початкових даних вихідні коди формуються у такий же спосіб.

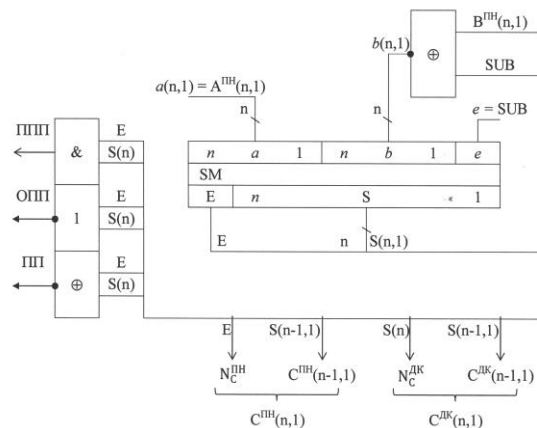


Рисунок 10 – Об'єднана схема додавання та віднімання цілих чисел в коді з додатним нулем

VHDL-модель об'єднаної схеми додавання та віднімання цілих чисел в кодах з додатним нулем показана на рис.11, результати моделювання віднімання - на рис.12. На інформаційних входах моделі віднімача сформовані двійкові коди:

$$\begin{aligned} a(4,1) &= A^{PH}(4,1) = [0]110 = (-010)_{PH} : A = -010; \\ b(4,1) &= B^{PH}(n,1) = [1]011 = [0]100 = (-100)_{PH} : \\ &B = -100; \\ e = SUB &= 1. \end{aligned}$$

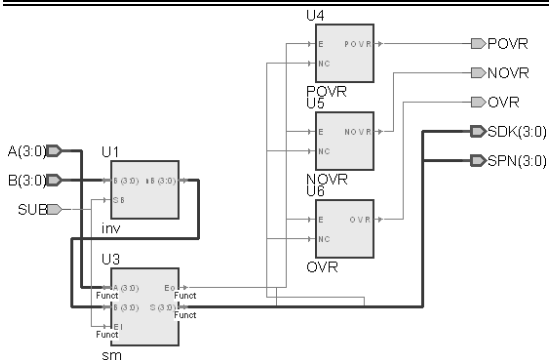


Рисунок 11 – Block Diagram модель об’єднаної схеми додавання та віднімання цілих чисел в кодї з додатним нулем

Name	Value	Stimulator	1	0.5	1	1.5	2
A		<= 0110	6				
B		<= 1011	8				
SB		<= 1					
Eout							
P_OVR							
N_OVR							
OVR_DK							
SPN			4				
SDK			2				

Рисунок 12 – Моделювання процесів віднімання цілих чисел в кодї з додатним нулем

На інформаційних виходах моделі суматора результат поданий комбінацією змінних:

$$E S(4,1) = 1[0]010;$$

$$C_{DK}(4,1) = S(4,1) = [0]010;$$

$$C_{PN}(4,1) = [E]S(3,1) = [1]010;$$

$$ПП = \overline{E \oplus S(4)} = \overline{1 \oplus 0} = 0;$$

$$ОПП = E \wedge S(4) = 1 \wedge 0 = 0;$$

$$ППП = \overline{E \vee S(4)} = \overline{1 \vee 0} = 0.$$

Таким чином, розроблена математична модель віднімача коректне відображає операцію віднімання заданих алгебраїчних чисел.

Перелік використаної літератури

- 1.Карцев М.А. Арифметика цифровых машин. - М: Наука, 1969. – 576с.
- 2.Каган Б.М., Каневский М.М. Цифровые вычислительные машины и системы. – М.: Энергия, 1974.
- 3.Крейгон Х. Архитектура компьютеров и ее реализация. - М: Мир, 2004. – 416с.
- 4.Святный В.А. Математическое описание компьютерных операций суммирования и вычитания целых чисел при смещенных кодах операндов / В.А.Святный, В.В.Лапко, А.В.Самощенко. // Наукові праці Донецького національного технічного університету. Серія "Інформатика, кібернетика та обчислювальна техніка". – 2016. – Вип. 1(22). - с.75-83.
- 5.Армстронг Дж. Р. Моделирование цифровых систем на языке VHDL/Пер. с англ. - М.:Мир, 1992.

Надійшла до редакції 10.03.2017

В.В. ЛАПКО, А.В. САМОЩЕНКО, Г.Э.МАРГИЕВ

Донецкий национальный технический университет, г. Покровск

СИНТЕЗ И МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ СХЕМ СУММИРОВАНИЯ И ВЫЧИТАНИЯ ЦЕЛЫХ ЧИСЕЛ В КОДАХ С ПОЛОЖИТЕЛЬНЫМ НУЛЕМ

Разработана оригинальная методика синтеза схем сложения и вычитания алгебраических целых чисел в системе операндов с положительным нулем, основанная на представлении суммы и разности

Висновки

Основні результати досліджень зводяться до наступного:

- показано, що двійковий код на основних виводах операційного суматора невід’ємних цілих чисел подає залишок суми початкових даних по модулю, що дорівнює ваговому коефіцієнту вихідного переносу;
- розроблений оригінальний метод синтезу в системі обробки операндів з додатним нулем, що ґрунтується на поданні суми та різниці початкових даних як залишку по модулю суматора;
- аналітично обґрунтована властивість подвійності операцій додавання та віднімання початкових даних в системі з додатним нулем, яка полягає в тому, що певні сполучення штатних виходів операційного суматора подають результат як в доповняльному кодї, так і в кодї з додатним нулем;
- виявлені комбінації штатних вихідних змінних операційного суматора, що визначають наявність та полярність переповнення розрядної сітки основних виводів суматора;
- показано, що розроблені схеми фіксації переповнення кількості розрядів основних виводів суматора інваріантні відносно операцій додавання та віднімання початкових даних в системі з додатним нулем;
- коректність розроблених схем додавання та віднімання цілих чисел в системі з додатним нулем обґрунтована математичним моделюванням арифметичних ланцюгів в системі моделювання Active VHDL;
- розроблені схеми додавання та віднімання цілих чисел в системі з додатним нулем створюють передумови для проектування простих та швидких схем більш складних операцій в системах з рухомою та фіксованою комою.

данных в виде остатка по модулю операционного сумматора. Аналитически обосновано свойство двойственности операции суммирования и вычитания исходных данных в системе с положительным нулем, заключающееся в том, что определенные сочетания штатных выходов операционного сумматора представляют результат как в дополнительном коде, так и в коде с положительным нулем. Выявлены комбинации штатных выходных сигналов операционного сумматора, указывающие на наличие и полярность переполнения разрядной сетки основных выводов сумматора. Показано, что разработанные схемы фиксации переполнения количества разрядов основных выводов операционного сумматора инвариантны относительно операций суммирования и вычитания исходных данных в системе с положительным нулем. Адекватность разработанных схем суммирования и вычитания целых чисел в системе с положительным нулем обоснована математическим моделированием арифметических цепей в VHDL.

Ключевые слова: сумматор неотрицательных целых чисел, модуль сумматора, остаток по модулю, вычисление остатков, код с положительным нулем, дополнительный код, признаки переполнения, VHDL моделирование.

V. V. LAPKO, A. V. SAMOSHCHENKO, H. E. MARHIEV

Donetsk National Technical University, Pokrovsk

SYNTHESIS AND MATHEMATICAL MODELING OF ADDITION AND SUBTRACTION SCHEMES OF INTEGERS IN THE CODES WITH POSITIVE ZERO

To reduce the time required to perform comparisons of floating point numbers in computer technology the representation of exponents with a positive zero code is widely used. Image of exponents in the system with a positive zero has a significant advantage – the numerical values of images exponents are proportional to magnitude of the exponents. That's why the comparison of floating point numbers comes down to a simple operation of common and coordinated comparison of codes with a fixed point, which consists of images of exponents and mantissa modules of real numbers. But the use of images of the exponents in code with extra zero causes the problem with calculating of addition and subtraction of code exponent with positive zero in the process of execution of typical operations of addition, subtraction, multiplication and division of the floating point numbers. In this work the arithmetic circuits and control circuits for the processing of the source data directly in the positive zero codes as well as the optimal schemes for fixing of word size overflow availability and polarity of the result in code with a positive zero based on using properties of integers written in a positive zero code and on the operational features of adders, are proposed.

A binary code on the main outputs of an operating adder of non-negative integers is described as the remainder of the initial data sum on the adder module which is equal to the weight ratio of an output carry of an adder. The original technique for synthesizing of the adding and subtraction schemes of algebraic integers in the system of operands with a positive zero, which is based on the representation of addition and subtraction of the source data in the form of remainder on the adder module, was developed. The property of duality of addition and subtraction operations of the initial data in the code with a positive zero is justified analytically. It is based on the fact that a certain adder output matchings give the result in the complementary code as well as in a positive zero code. The combinations of the adder output signals, which are indicative of the presence and polarity of the adder bit grid overflow, are identified. It is shown that the designed fixing scheme of a bit grid overflow of the adder outputs are invariable relatively to the operations of addition and subtraction of the source data in a positive zero system. The correctness of the developed schemes of addition and subtraction of integers in the system with positive zero is justified by mathematical modeling of arithmetic circuits in the system of VHDL.

Keywords: adder binary numbers, the adder module, the remainder module, calculation of remainder, code with positive zero, complementary code, signs of overflow, VHDL modeling.

REFERENCES

1. Kartsev, M.A. (1969) *Arithmetic of digital computers* [Arifmetika tsifrovyykh mashin], Nauka, Moscow, 576 p.
2. Kagan B.M., Kanevsky M.M. (1974) *Digital computers and systems* [Tsifrovyye vychislitel'nyye mashiny i sistemy], Energy, Moscow.
3. Kragon H. (2004) *Computer architecture and its implementation* [Arkhitektura komp'yuteroi i yeye realizatsiya], Myr, Moscow, 416 p.
4. Sviyatny, V.A., Lapko, V.V., Samoshchenko, A.V. (2016) *Mathematical description of computer operations of summation and subtraction of integers with offset operand codes* [Matematicheskoye opisaniye komp'yuternykh operatsiy summirovaniya i vychitaniya tselykh chisel pri smeshchennykh kodakh operandov] *Naukovi pratsi DonNTU: Informatyka, Kybernetyka ta obchysliuvalna tekhnika*, №1 (22), Donetsk National Technical University, Krasnoarmiysk, P. 75-83.
5. Armstrong, J.R. (1992) *Simulation of digital systems using VHDL* [Modelirovaniye tsifrovyykh sistem na yazyke VHDL] Myr, Moscow.