

УДК 004.3

О.М. Мірошкін (канд. техн. наук)ДВНЗ «Донецький національний технічний університет», м. Донецьк
кафедра комп'ютерної інженерії
E-mail: miroshkinan@gmail.com**МОДИФІКАЦІЯ СИСТЕМИ АДРЕСАЦІЇ МІКРОКОМАНД У ПРИСТРОЇ
КЕРУВАННЯ ПРИ ЙОГО РЕАЛІЗАЦІЇ У БАЗИСІ ГІБРИДНИХ FPGA**

У статті запропонований метод синтезу композиційного мікропрограмного пристрою керування для реалізації його у базисі гібридних FPGA. Метод базується на використанні псевдоеквівалентних операторних лінійних ланцюгів, при використанні яких у якості джерела адреси для наступної мікрокоманди зменшується складність схеми формування відповідних функцій. У статті приведені математичне обґрунтування доцільності використання методу синтезу та опис основних етапів процесу синтезу пристрою керування, а також розглянутий приклад синтезу для тестової граф-схеми алгоритму керування.

Ключові слова: композиційний мікропрограмний пристрій керування, гібридна FPGA, псевдоеквівалентні операторні лінійні ланцюги, LUT-елемент, зменшення апаратних витрат.

Вступ

Згідно з принципом мікропрограмного керування, будь-яка обробка інформаційного слова, що виконується у обчислювальному пристрої, реалізується за допомогою виконання послідовності елементарних дій, які називаються мікроопераціями. Пристрій керування, який є складовою частиною обчислювального пристрою, формує відповідну розподілену у часі послідовність керуючих сигналів, під впливом яких виконуються мікрооперації. Для інтерпретації алгоритмів керування, які містять більше, ніж 75 % операторних вершин, доцільно використовувати композиційний мікропрограмний пристрій керування (КМПК) [1, 2]. Для реалізації схеми КМПК може бути використаний базис програмованих логічних інтегральних схем (ПЛІС) типу гібридних FPGA (field-programmable gate arrays) [5, 6]. Такі ПЛІС містять як елементи табличного типу (LUT, look-up table), так і вбудовані блоки програмованих логічних матриць (PLA, programmable logic array), але не містять блоків вбудованої пам'яті, які зазвичай використовуються для формування мікрооперацій [8]. Оскільки висока складність схеми формування адреси мікрокоманди потребує великої кількості апаратних витрат для її реалізації та призводить у більшості випадків до збільшення часу формування адреси, актуальним є питання зменшення складності зазначеної схеми. У статті запропонована модифікація методу синтезу КМПК, яка враховує особливості базису гібридних FPGA та використовує підходи до адресації мікрокоманд, запропоновані у роботах [9, 10].

Метою дослідження є зменшення апаратних витрат у комбінаційній частині КМПК при його реалізації в базисі гібридних FPGA за рахунок введення до формату мікрокоманд кодів класів псевдоеквівалентних операторних лінійних ланцюгів (ПОЛЛ). Задачею дослідження є розробка методу синтезу схеми КМПК, який дозволить зменшити кількість макрокомірок програмованих логічних матриць, що входять до складу мікросхеми гібридної FPGA.

Особливості КМПК із загальною пам'яттю

Алгоритм керування для синтезу керуючого пристрою задається у вигляді граф-схеми алгоритму (ГСА) [3], яка складається з множини вершин $V = \{b_0, b_E\} \cup V_1 \cup V_2$ та множини дуг E . Початкова вершина ГСА позначена як b_0 , кінцева – як b_E , через V_1 та V_2 позначені множини операторних та умовних вершин відповідно. Кожна операторна вершина $b_q \notin \{b_0, b_E\}$ містить набір мікрооперацій $Y(b_q) \subseteq Y$, де $Y = \{y_1, \dots, y_N\}$ – множина сигналів мікрооперацій, що формується пристроєм керування. Умовна вершина b_p містить один елемент з множини логічних умов $X = \{x_1, \dots, x_L\}$. Операторним лінійним ланцюгом (ОЛЛ) називається послідовність операторних вершин ГСА, які поєднані між собою дугами з множини E . Кожна ОЛЛ має довільну кількість входів та рівно один вихід. Формальне визначення ОЛЛ, їх входів та виходів наведено в роботі [2]. Зазначимо, що кожна операторна вершина $b_q \notin \{b_0, b_E\}$ відповідає мікрокоманді MI_q , яка зберігається у керуючій пам'яті (КП) за адресою $A(b_q)$. Розрядність адреси КП залежить від кількості мікрооперацій, які необхідно зберігати, і визначається за формулою

$$R = \lceil \log_2(M) \rceil, \quad (1)$$

де M – загальна кількість операторних вершин, ($M = |V_1|$). Для кодування розрядів адреси використовуються змінні $T = (T_1, \dots, T_R)$. Кожна ОЛЛ α_g складається з F_g компонент та приймає участь у формуванні множини $C = \{\alpha_1, \dots, \alpha_G\}$. Для забезпечення можливості використання лічильника ЛАМК операторним вершинам b_q необхідно призначити коди у природний спосіб, тобто:

$$A[(b_q)_i] = A[(b_q)_{i-1}] + 1, \quad (2)$$

де $g = 1, \dots, G, i = 1, \dots, F_g$.

Структурна схема КМПК із загальною пам'яттю містить схему формування адреси (СФА), лічильник адреси мікрокоманд (ЛАМК) та керуючу пам'ять (КП), яка містить мікропрограму, що інтерпретується (рис. 1).

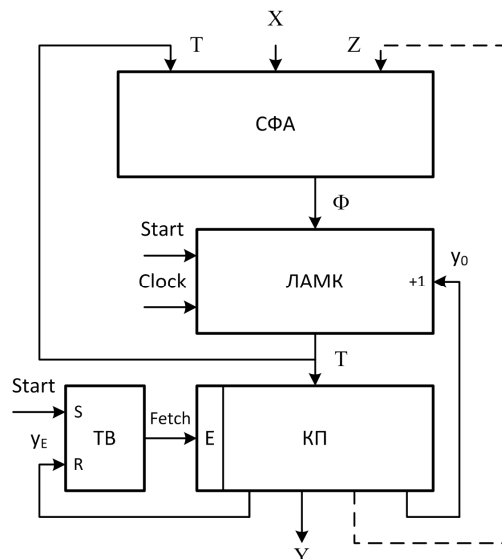


Рисунок 1 - Структурна схема КМПК

Схема формування адреси використовується для формування функцій збудження пам'яті Φ лічильника ЛАМК:

$$\Phi = \Phi(T, X). \quad (3)$$

Лічильник ЛАМК реалізує наступну систему:

$$T = \begin{cases} T + 1, & \text{if } y_0 = 1; \\ \Phi, & \text{if } y_0 = 0. \end{cases} \quad (4)$$

Функціонування КМПК відбувається наступним чином. За сигналом Start до ЛАМК заноситься початкова адреса мікропрограми, а тригер вибірки формує сигнал Fetch = 1, який дозволяє вибірку команд з КП. Якщо поточна мікрокоманда не відповідає виходу ОЛЛ, то одночасно з мікроопераціями $Y(b_q)$ формується сигнал $y_0 = 1$, за яким до ЛАМК додається одиниця (формується адреса наступної компоненти поточної ОЛЛ). Під час вибірки мікрокоманди, що відповідає вершині-виходу ОЛЛ, сигнал y_0 не формується, тому до ЛАМК завантажується адреса, яка формується блоком СФА. Якщо досягнута остання мікрокоманда алгоритму, формується сигнал y_E , який зупиняє вибірку мікрокоманд з КП.

Кількість термів у блоку СФА може бути зменшено шляхом введення перетворювача кодів ОЛЛ до кодів класів псевдоеквівалентних ОЛЛ (ПОЛЛ) [2]. ОЛЛ називають псевдоеквівалентними у тому випадку, коли їх виходи пов'язані зі входом однієї й тієї ж вершини алгоритму. Однак використання такого перетворювача вимагає додаткових апаратурних витрат. Метод синтезу, що пропонується, спрямований на зменшення апаратурних витрат в схемі формування адреси.

Основна ідея методу, що пропонується

Сформуємо множину $C_1 = C \setminus \alpha_e$, де $C = \{\alpha_1, \dots, \alpha_G\}$ – загальна множина ОЛЛ, α_e – позначення всіх ОЛЛ, виходи яких з'єднані зі входом кінцевої вершини ГСА b_E дугою з множини E . Знайдемо розбиття $\Pi_C = \{B_1, \dots, B_l\}$ множини C_1 на класи ПОЛЛ. Кожному елементу $B_i \in \Pi_C$. Призначимо код $K(B_i)$ розрядності R_i , яка визначається за формулою

$$R_i = \lceil \log_2(I) \rceil. \quad (5)$$

В роботах [9, 10] пропонується ввести до формату мікрокоманд поле $K(B_i)$, вміст якого буде використовуватись блоком СФА як джерело коду для формування адреси наступної мікрокоманди. Однак, через відсутність вбудованих блоків пам'яті у гібридних FPGA, для реалізації КП пропонується використовувати LUT-елементи, які являють собою блок пам'яті з S_L входами та одним виходом. За умови виконання відношення

$$S_L \geq R \quad (6)$$

можливе використання структури КМПК із зв'язком Z замість зв'язку T (рис. 1). У такій структурі КМПК схема формування адреси реалізується за допомогою блоків PLA, а схема КП – із використанням сукупності LUT-елементів. Блок ЛАМК також реалізується за допомогою LUT-елементів.

Для кодування класів $B_i \in \Pi_C$ використовуються змінні $Z = \{z_1, \dots, z_{R_i}\}$. Блок САМ реалізує функцію

$$\Phi = \Phi(Z, X), \quad (7)$$

а до функцій, які реалізує блок КП, належать наступні:

$$Y = Y(T); \quad (8)$$

$$Z = Z(T); \quad (9)$$

$$y_0 = y_0(T); \quad (10)$$

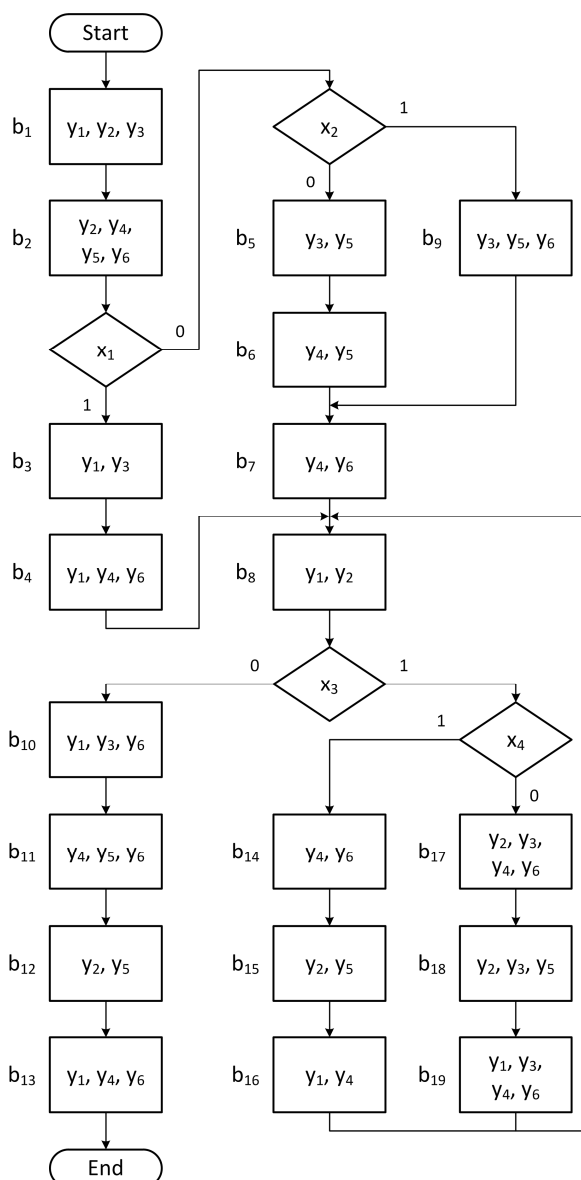
$$y_E = y_E(T). \quad (11)$$

Метод синтезу запропонованої структури КМПК включає наступні етапи:

1. Формування множин C , C_1 , Π_C для ГСА керування.
2. Кодування компонент ОЛЛ та класів $B_i \in \Pi_C$.
3. Формування функцій (8)-(11).
4. Формування таблиці СФА.
5. Синтез схеми КМПК.

Приклад застосування запропонованого методу

Нехай алгоритм керування заданий у вигляді граф-схеми Γ_1 , яка приведена на рис. 2.

Рисунок 2 - Граф-схема Γ_1 алгоритму керування

Граф-схема Γ_1 характеризується множинами $C = \{\alpha_1, \dots, \alpha_7\}$ та $C_1 = C \setminus \alpha_5$. Всі ОЛЛ $\alpha_i \in C_1$ формують класи $B = \{B_1, \dots, B_4\}$, де $B_1 = \{\alpha_1\}$, $B_2 = \{\alpha_2, \alpha_6, \alpha_7\}$, $B_3 = \{\alpha_3\}$, $B_4 = \{\alpha_4\}$, при цьому $\alpha_1 = \langle b_1, b_2 \rangle$, $\alpha_2 = \langle b_3, b_4 \rangle$, $\alpha_3 = \langle b_5, b_6, b_7, b_8 \rangle$, $\alpha_4 = \langle b_9 \rangle$, $\alpha_5 = \langle b_{10}, b_{11}, b_{12}, b_{13} \rangle$, $\alpha_6 = \langle b_{14}, b_{15}, b_{16} \rangle$, $\alpha_7 = \langle b_{17}, b_{18}, b_{19} \rangle$. Отже, кількість вершин ГСА Γ_1 дорівнює $M = 20$, що потребує адреси з $R = 5$ розрядів для відповідних мікрокоманд. Кількість ОЛЛ $G = 7$, які формують класи ПОЛЛ $V_i \in \Pi_C$ у кількості $I = 4$. Для кодування відповідних класів достатньо $R_1 = 2$ змінні, які формують множину $Z = \{z_1, z_2\}$.

Призначимо мікрокомандам КМПК адреси, які відповідають двійковому представленню індексів вершин b_i ГСА Γ_1 , тобто $A(b_0) = 00000$, $A(b_1) = 00001$, ..., $A(b_{19}) = 10011$. Таке призначення адрес дозволяє задовольнити відношенню (2).

Мікрокоманда КМПК складається з полів F_Y, u_E, u_0, F_B , де поле F_Y містить інформацію для формування сигналів керування u_k , а поле F_B – код класу $V_i \in \Pi_C$, який використовується схемою формування адреси під час переходів між мікрокомандами, які відповідають вершинам ГСА Γ_1 з різних ОЛЛ.

Вміст та розміри поля FУ мікрокоманди залежать від обраної стратегії кодування мікрооперацій. При формуванні вмісту мікрокоманд до поля y_0 записується «1», якщо вершина не є останньою у поточній ОЛЛ, у протилежному випадку поле y_0 містить «0», а до поля FВ необхідно занести код поточного класу ПОЛЛ. Фрагмент вмісту керуючої пам'яті КМПК для ГСА Γ_1 наведений у табл. 1.

Таблиця 1

Фрагмент вмісту керуючої пам'яті КМПК для ГСА Γ_1

Адреса	FУ	y_0	y_E	FВ
00000	–	1	0	*
00001	y_1, y_2, y_3	1	0	*
00010	y_2, y_4, y_5, y_6	0	0	00
00011	y_1, y_3	1	0	*
00100	y_1, y_4, y_6	0	0	01
00101	y_3, y_5	1	0	*
...
01100	y_2, y_5	1	0	*
01101	y_1, y_4, y_6	*	1	*
01110	y_4, y_6	1	0	*
01111	y_2, y_5	1	0	*
10000	y_1, y_4	0	0	10
10001	y_2, y_3, y_4, y_6	1	0	*
10010	y_2, y_3, y_5	1	0	*
10011	y_1, y_3, y_4, y_6	0	0	10

У табл. 2 вміст поля FУ наведений у символному вигляді. Перехід до двійкових значень виконується за допомогою обраної стратегії кодування операційної частини, огляд яких до цієї статті не належить.

Формули для переходів отримуємо з ГСА Γ_1 :

$$\begin{aligned}
 B_1 &\rightarrow x_1 b_3 \vee \overline{x_1 x_2} b_5 \vee \overline{x_1 x_2} b_9; \\
 B_2 &\rightarrow b_8; \\
 B_3 &\rightarrow \overline{x_3} b_{10} \vee x_3 x_4 b_{14} \vee \overline{x_3 x_4} b_{17}; \\
 B_4 &\rightarrow b_7.
 \end{aligned}
 \tag{12}$$

Подібна система є основою для формування таблиці зі стовпцями B_i , $K(B_i)$, b_q , $A(b_q)$, X_h , Ψ_h , h . Призначення стовпців стає ясным з табл. 3, яка задає переходи для класів $B_{1,2} \in P_C$.

Таблиця 2

Фрагмент таблиці формування СФА КМПК

B_i	$K(B_i)$	b_q	$A(b_q)$	X_h	Ψ_h	h
B_1	00	b_3	00011	x_1	D_4, D_5	1
		b_5	00101	$\overline{x_1 x_2}$	D_3, D_5	2
		b_9	01001	$\overline{x_1 x_2}$	D_2, D_5	3
B_2	01	b_8	01000	1	D_2	4

Загальна кількість строк табл. 2 співпадає з кількістю термів в системі узагальнених формул переходів (12). Для нашого прикладу ця кількість дорівнює значенню 8.

Система (7) формується за таблицею переходів. Так, з табл. 2 можна побудувати фрагменти ДНФ, які реалізуються у схемі формування адреси:

$$\begin{aligned} D_2 &= \overline{z_1 z_0 x_1 x_2} \vee z_1 z_0; & D_4 &= z_1 z_0 x_1; \\ D_3 &= z_1 z_0 x_1 x_2; & D_5 &= z_1 z_0. \end{aligned} \quad (13)$$

При виконанні умов

$$\begin{cases} S \geq L + R; \\ t \geq R; \\ q \geq H, \end{cases} \quad (14)$$

схема формування адреси тривіальним чином може бути реалізована у базисі однієї макрокомірки PLA. Якщо хоча б одне з відношень системи (14) порушується, необхідні декілька макрокомірок. Для зменшення кількості макрокомірок PLA в схемі формування адреси можна використовувати відомі методи [11].

При виконанні умови (6) кожна функція з систем (8)–(11) реалізується на однім елементі LUT. Таке рішення є оптимальним. При цьому таблиця вмісту керуючої пам'яті розглядається як таблиця істинності відповідних функцій.

Висновки

Запропонований метод розширення формату мікрокоманд за рахунок введення поля з кодом класу ПОЛЛ орієнтований на зменшення кількості макрокомірок PLA у схемі формування адрес мікрокоманд. При цьому тривалість інтерпретації алгоритму керування не збільшується.

Зменшення кількості термів у ДНФ функцій збудження пам'яті може привести до зменшенню кількості рівнів в комбінаційній частині КМПК. Це у свою чергу призводить до збільшення швидкодії цифрової системи в цілому. Розглянути приклад показав, що кількість макрокомірок у схемі КМПК завдяки використанню запропонованого підходу була зменшена на 30 % у порівнянні зі схемою КМПК базової структури.

Наукова новизна запропонованого методу полягає у використанні кодів класів ПОЛЛ для зменшення кількості макрокомірок PLA у схемі адресації мікрокоманд при реалізації композиційного мікропрограмного пристрою керування у базисі гібридних FPGA. Практична значимість метода полягає у зменшенні кількості макрокомірок при реалізації схеми КМПК, що дозволяє отримати більш дешеві схеми у порівнянні із аналогами.

Подальші напрямки досліджень пов'язані з розробкою методів зменшення кількості макрокомірок для тих випадків, коли відношення з системи (14) порушуються.

Список використаної літератури

1. Barkalov A., Titarenko L. Logic Synthesis for Compositional Microprogram Control Unit – Berlin: Springer, 2008. – 272 pp.
2. Synthesis of compositional microprogram control unit with dedicated area of inputs / Alexander Barkalov, Larysa Titarenko, Jacek Bieganski, A.N. Miroshkin // W: Design of digital systems and devices / eds M. Adamski, A. Barkalov, M. Wegrzyn. – Berlin: Springer-Verlag, 2011. (Lecture Notes in Electrical Engineering; 79) – pp. 193–214.
3. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах: Донецк ДНТУ, 2002 – 262 с.
4. Соловьев В.В. Проектирование цифровых схем на основе программируемых логических интегральных схем. – М.: Горячая линия-ТЕЛЕКОМ, 2001. – 636 с.
5. Kabiani A., Brown S. The Hybrid Field Programmable Architecture. – IEEE Design & Test of Computers. – 1999, V.16, №4. – pp. 74–83.

6. Singh, S.K., Singh, R.K. Design flow of reconfigurable embedded system architecture using LUTs/PLAs. 2nd IEEE International Conference on Parallel Distributed and Grid Computing (PDGC), 6-8 Dec. 2012, pp. 385–390. ISBN 978-1-4673-2922-4.
7. Altera Corporation APEX20K PLD Family Data Sheet (2004) [электронный ресурс]. – Режим доступа: www.altera.com/literature/ds/apex.pdf
8. Баркалов А.А., Титаренко Л.А. Синтез композиционных микропрограммных устройств управления. – Харьков: Коллегиум, 2007. – 302 с.
9. Баркалов А.А. Расширение формата микрокоманд в микропрограммном устройстве управления с разделением кодов / А.А. Баркалов, Л.А. Титаренко, А.Н. Мирошкин // Радиоэлектроника и информатика, № 2 (41), апрель-июнь 2008 г. – С. 40-45.
10. Баркалов А.А. Расширение формата микрокоманд в композиционном микропрограммном устройстве управления с элементаризацией операторных линейных цепей / А.А. Баркалов, А.А. Красичков, А.Н. Мирошкин // Радиоелектрон. і комп'ют. системи. – 2010. – N 7. – С. 301–305.
11. Баранов С.И., Скляр В.А. Цифровые устройства на проектируемых БИС с матричной структурой. – М.: Радио и связь, 1986. – 272 с.

References

1. Barkalov, A. and Titarenko, L. (2008), *Logic Synthesis for Compositional Microprogram Control Unit*, Springer, Berlin, Germany.
2. Barkalov, L., Titarenko, J.B. and Miroshkin, A.N. (2011), “Synthesis of compositional microprogram control unit with dedicated area of inputs”, in Adamski, M, Barkalov, A. and Wegrzyn, W. (ed.) *Design of digital systems and devices*, Springer-Verlag, Berlin, Germany, pp. 193–214.
3. Barkalov, A.A. (2002), *Sintez ustrojstv upravleniya na programmiruemyx logicheskix ustrojstvax*, DNTU, Doneck, Ukraine.
4. Solov'ev, V.V. (2001), *Proektirovanie cifrovyyx sxem na osnove programmiruemyx logicheskix integral'nyx sxem*, Goryachaya liniya-TELEKOM, Moscow, Russia .
5. Kabiani A., Brown S. The Hybrid Field Programmable Architecture. – IEEE Design & Test of Computers. – 1999, V.16, №4. – pp. 74–83.
6. Singh, S.K. and Singh, R.K. (2012), “Design flow of reconfigurable embedded system architecture using LUTs/PLAs”, *2nd IEEE International Conference on Parallel Distributed and Grid Computing (PDGC), 6-8 Dec. 2012*, pp. 385–390.
7. Altera Corporation APEX20K PLD Family Data Sheet (2004), available at: <http://www.altera.com/literature/ds/apex.pdf> (Accessed 26 March 2014).
8. Barkalov, A.A. and Titarenko, L.A. (2007), *Sintez kompozicionnyx mikroprogrammnyx ustrojstv upravleniya*, Kollegium, Xar'kov , Ukraine.
9. Barkalov, A.A., Titarenko, L.A. and Miroshkin, A.N. (2008), “Rasshirenie formata mikrokomand v mikroprogrammnom ustrojstve upravleniya s razdeleniem kodov”, *Radioelektronika i informatika*, no. № 2 (41), pp. 40-45.
10. Barkalov, A.A., Krasichkov, A.A. and Miroshkin, A.N. (2010), “Rasshirenie formata mikrokomand v kompozicionnom mikroprogrammnom ustrojstve upravleniya s e'lementarizaciej operatornyx linejnyx cepej”, *Radioelektron. i komp'yut. Sistemi*, no. 7, pp. 301–305.
11. Baranov, S.I. and Sklyarov, V.A. (1986), *Cifrovye ustrojstva na proektiruemyx BIS s matrichnoj strukturoj*, Radio i svyaz', Moscow, USSR.

Надійшла до редакції
26.03.2014 р.

Рецензент
докт. техн. наук, проф. Скобцов Ю.О.

А.Н. Мирошкин

ГВУЗ «Донецкий национальный технический университет»

Модификация системы адресации микрокоманд в устройстве управления при его реализации в базе гибридных FPGA. В статье предлагается метод синтеза композиционного микропрограммного устройства управления для его реализации в базе гибридных FPGA. Метод основан на использовании псевдоэквивалентных операторных линейных цепей в качестве источника адреса для следующей микрокоманды, благодаря чему уменьшается сложность схемы формирования соответствующих функций. В статье приведены математическое обоснование целесообразности применения метода синтеза и описание основных этапов процесса синтеза устройства управления, а также рассмотрен пример применения предлагаемого метода синтеза для интерпретации тестовой граф-схемы алгоритма управления.

Ключевые слова: композиционное микропрограммное устройство управления, гибридная FPGA, псевдоэквивалентная операторная линейная цепь, LUT-элемент, уменьшение аппаратных затрат.

A.N. Miroshkin

Donetsk National Technical University

Modification of microinstruction addressing system for control unit implementation in hybrid FPGA. While interpretation of a control algorithm with a little number of conditional shapes, a compositional microprogram control unit can be effectively used. Such device circuit includes a combinational part for the next microinstruction address formation, as well as a memory unit for output control signals generating. While interpretation of a large algorithms, complexity of the address formation unit is greatly increased, so hardware cost is increasing, as well as in time delays increasing during the microinstruction address formation.

A synthesis method for compositional microprogram control unit realization in hybrid FPGA basis (which contain both look-up table elements and PLA macrocells) is proposed in the article. Combination part of the control unit is implemented using macrocells of PLA, and for output control signals generating LUT-elements are used. The proposed synthesis method is based on the usage of pseudoequivalent operational linear chains as the source for the next microinstruction address formation, thereby reducing the complexity of the corresponding functions formation unit. The paper presents a mathematical justification of the synthesis method appropriateness and the basic stages of the control units synthesis process, as well as an example of the synthesis method application for the interpretation of the test-chart of the control algorithm is proposed.

Research showed up to 30 % of hardware resource decreasing in comparison to base control unit implementation for the same algorithm during the proposed approach realization. The number of cycles required for the control algorithm interpretation still the same. Thus the memory excitation functions simplification leads to levels number reducing in combination part of the control unit circuit, thereby the clock period of the device can be reduced.

Keywords: compositional microprogram control unit, the hybrid FPGA, pseudoequivalent operational linear chains, LUT-element, hardware costs reducing.



Мірошкін Олександр Миколайович, Україна, закінчив Донецький національний технічний університет, канд. техн. наук, доцент кафедри комп'ютерної інженерії ДВНЗ «Донецький національний технічний університет» (вул. Артема, 58, м. Донецьк, 83001, Україна). Основні напрямки наукової діяльності – проектування пристроїв керування у базисі сучасних великих інтегральних схем.