

К. ф.-м. н. А. И. ТИМОШКИН

Украина, г. Днепропетровск, ГKB «Южное»  
E-mail: kbu@public.ua.net

Дата поступления в редакцию  
13.07 2001 г.

Оппонент к. т. н. А. А. ЧЕРЕВКО  
(ГНПП «Электронмаш», г. Киев)

## КОНТРОЛЕПРИГОДНАЯ СХЕМА ДВОИЧНОГО СУММАТОРА С ПОВЫШЕННЫМ БЫСТРОДЕЙСТВИЕМ

*Разработана контролепригодная функционально-логическая схема двоичного сумматора на основе 4-разрядной секции с одновременным переносом.*

Одной из важнейших задач технической диагностики цифровых систем является задача получения коротких проверяющих тестов, позволяющих за приемлемое время организовать контроль цифровых интегральных схем на стадиях производства и эксплуатации. Однако для этого необходимо, чтобы цифровые интегральные схемы имели соответствующий уровень контролепригодности.

Под контролепригодностью технического объекта принято понимать свойство объекта, характеризующее его пригодность к проведению контроля и диагностированию заданными средствами. Различные уровни контролепригодности цифровых микросхем обеспечиваются различными концепциями их контролепригодного проектирования. Так, концепция «константного» контролепригодного проектирования [1—5] предполагает разработку цифровых схем, обладающих проверяющим тестом заранее фиксированной длины, не зависящей от числа их входов, логических элементов и уровней, т. е. предполагает обеспечение цифровых микросхем максимальным уровнем контролепригодности.

В системах обработки информации всевозрастающую роль играют цифровые интегральные схемы с регулярной структурой (сумматоры, умножители и т. п.). В работах [6, 7] предложены контролепригодные функционально-логические схемы двоичных сумматоров с последовательным (сквозным) переносом, обладающие проверяющими тестами длины 5 и 6 относительно константных [8, 9] неисправностей их сигнальных линий, независимо от числа разрядов в них. Существенным недостатком этих схем является недостаточно высокое быстродействие из-за последовательной организации переноса.

В настоящей статье рассматривается контролепригодная функционально-логическая схема двоичного сумматора на основе 4-разрядной секции с одновременным переносом [10] внутри секций и последовательным переносом между секциями.

Построение предлагаемой схемы базируется на представлении функций суммы  $S$  и переноса  $P$  полного одноразрядного сумматора в форме полиномов Жегалкина (полиномов по mod 2), а также на том

факте, что полином Жегалкина для функции переноса  $P$  одноразрядного сумматора довольно прост:

$$P = ab \oplus ap_{\text{вх}} \oplus bp_{\text{вх}}; \quad (1)$$

$S = a \oplus b \oplus p_{\text{вх}}$ ,  
где  $a$  и  $b$  — значения исходных одноразрядных операндов;

$p_{\text{вх}}$  — входной сигнал переноса.

Этот факт впервые был использован в работе [6] при построении легкотестируемой схемы двоичного сумматора с последовательным переносом в базе, состоящем из двухвходового элемента «И» и трехвходового элемента «Исключающее ИЛИ». Согласно представлению (1), для функций сумм  $S_{1i}, S_{2i}, S_{3i}, S_{4i}$  и выходного сигнала переноса  $P_{4i}$   $i$ -й 4-разрядной секции с одновременным переносом можно получить следующие формулы:

$$S_{1i} = a_{1i} \oplus b_{1i} \oplus u_{1i} \oplus p_{0i};$$

$$S_{2i} = a_{2i} \oplus b_{2i} \oplus u_{2i} \oplus a_{1i}b_{1i} \oplus (a_{1i} \oplus b_{1i} \oplus u_{1i})p_{0i};$$

$$S_{3i} = a_{3i} \oplus b_{3i} \oplus u_{3i} \oplus a_{2i}b_{2i} \oplus a_{1i}b_{1i}(a_{2i} \oplus b_{2i} \oplus u_{2i}) \oplus (a_{2i} \oplus b_{2i} \oplus u_{2i})(a_{1i} \oplus b_{1i} \oplus u_{1i})p_{0i};$$

$$S_{4i} = a_{4i} \oplus b_{4i} \oplus u_{4i} \oplus a_{3i}b_{3i} \oplus a_{2i}b_{2i}(a_{3i} \oplus b_{3i} \oplus u_{3i}) \oplus a_{1i}b_{1i}(a_{2i} \oplus b_{2i} \oplus u_{2i})(a_{3i} \oplus b_{3i} \oplus u_{3i}) \oplus (a_{3i} \oplus b_{3i} \oplus u_{3i})(a_{2i} \oplus b_{2i} \oplus u_{2i})(a_{1i} \oplus b_{1i} \oplus u_{1i})p_{0i};$$

$$P_{4i} = a_{4i}b_{4i} \oplus a_{3i}b_{3i}(a_{4i} \oplus b_{4i} \oplus u_{4i}) \oplus a_{2i}b_{2i}(a_{3i} \oplus b_{3i} \oplus u_{3i})(a_{4i} \oplus b_{4i} \oplus u_{4i}) \oplus a_{1i}b_{1i}(a_{2i} \oplus b_{2i} \oplus u_{2i})(a_{3i} \oplus b_{3i} \oplus u_{3i})(a_{4i} \oplus b_{4i} \oplus u_{4i}) \oplus p_{0i}(a_{1i} \oplus b_{1i} \oplus u_{1i})(a_{2i} \oplus b_{2i} \oplus u_{2i})(a_{3i} \oplus b_{3i} \oplus u_{3i}) \times (a_{4i} \oplus b_{4i} \oplus u_{4i}) \oplus u_{5i}. \quad (2)$$

где  $a_{ji}$  и  $b_{ji}$  —  $j$ -разряды исходных четырехразрядных операндов;

$p_{0i}$  — входной сигнал переноса;

$u_{1i}, u_{2i}, u_{3i}, u_{4i}, u_{5i}$  — дополнительные управляющие входные переменные.

Дополнительные управляющие переменные (входы)  $u_{1i}, u_{2i}, u_{3i}, u_{4i}$  здесь введены для удобства синтеза проверяющего теста каждой 4-разрядной секции,  $u_{5i}$  введена для управления значением сигнала переноса из  $i$ -й в  $i+1$ -ю секцию.

Контролепригодная логическая схема  $i$ -й ( $i \in \{1, 2, \dots, m\}$ ) 4-разрядной секции с одновременным пе-

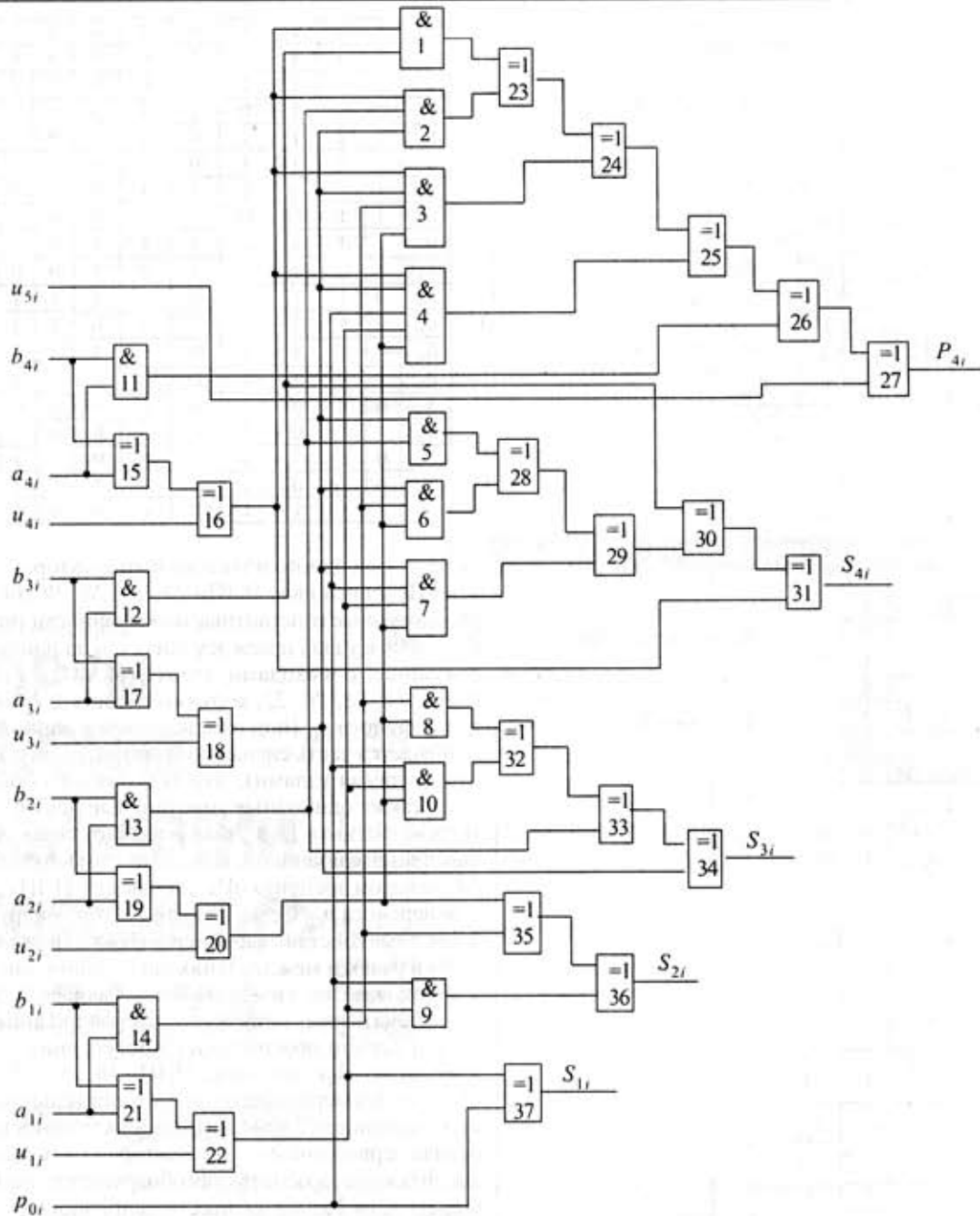


Рис. 1. Контролепригодная логическая схема  $i$ -й 4-разрядной секции с одновременным переносом

реносом, реализованная по формулам (2), приведена на рис. 1.

Контролепригодная схема  $Q$  (рис. 2)  $n$ -разрядного двоичного сумматора (где  $n=4m$ ,  $m$  — натуральное число) с последовательным переносом между секциями образуется из  $m$  контролепригодных логических схем 4-разрядной секции путем соединения выхода переноса  $P_{4(i-1)}$  ( $i-1$ )-й секции со входом переноса  $p_{0i}$   $i$ -й секции (где  $2 \leq i \leq m$ ). Кроме этого, дополнительные управляющие входы  $u_{j1}, u_{j2}, \dots, u_{jm}$  соединяются с внешним входом  $u_j$  для  $\forall j \in \{1, 2, 3, 4, 5\}$ . При этом в рабочем режиме на управляющие входы  $u_1, u_2, u_3, u_4, u_5$  и вход переноса в младшую секцию  $p_{01}$  подаются сигналы логического «0».

Проверяющий тест для каждой  $i$ -й 4-разрядной секции ( $i \in \{1, 2, \dots, m\}$ ) один и тот же и содержит 11 векторов. Состав этого теста описан в таблице. Этот тест может быть получен с помощью обычных известных способов генерации тестов, таких как D- и PODEM-алгоритмы [9, с. 240]. Проверяющий тест для контролепригодной схемы  $Q$   $n$ -разрядного ( $n=4m$ ) двоичного сумматора, состоящего из  $m$  секций, образуется путем простой итерации приведенного теста. Тест обнаруживает все одиночные константные неисправности и значительную часть константных неисправностей кратности 2 сигнальных линий схемы  $Q$  (в т. ч. во внутренней структуре элементов «Исключающее ИЛИ»), при этом длина этого теста не зависит от числа секций в схеме  $Q$ .

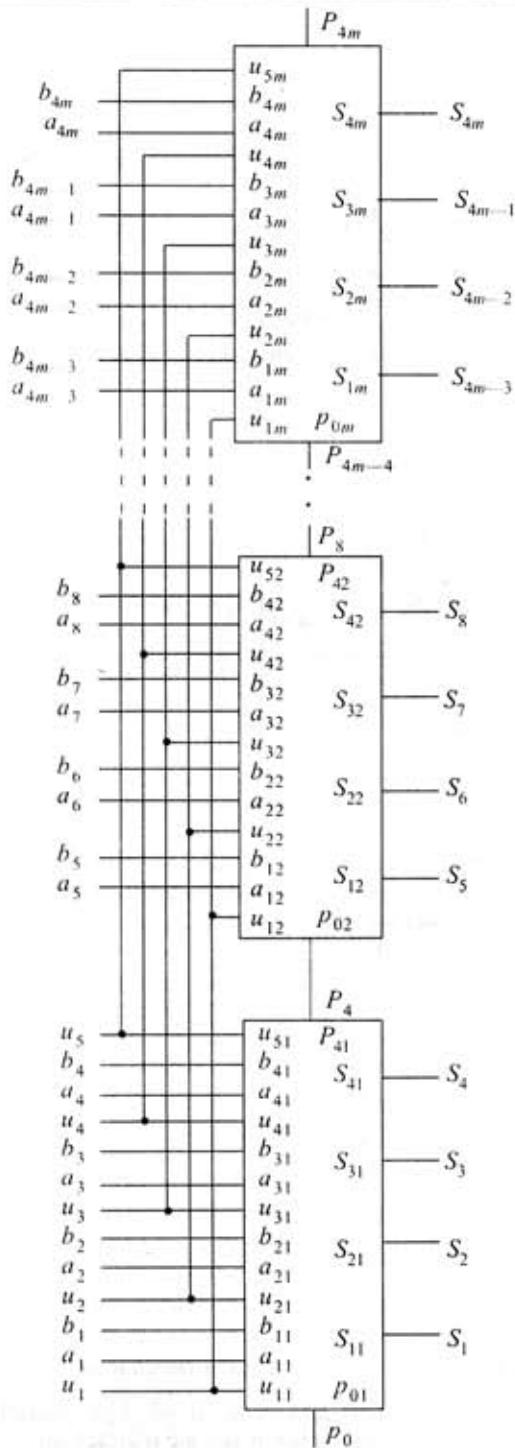


Рис. 2. Контролепригодная схема  $Q$   $n$ -разрядного ( $n=4m$ ) двоичного сумматора

Обнаружение отмеченных неисправностей схемы  $Q$  происходит следующим образом. Первые шесть тест-векторов таблицы обнаруживают все одиночные и кратности 2 константные неисправности входов и выходов  $i$ -й 4-разрядной секции ( $i \in \{1, 2, \dots, m\}$ )  $n$ -разрядного двоичного сумматора (см. рис. 1), входов конъюнкторов 1—14 (при этом образующие обнаруживаемую константную неисправность кратности 2 одиночные константные неисправности находят-

$P_{0i}$	1	1	1	1	0	1	0	0	0	1	1
$u_{1i}$	1	1	1	1	1	0	0	0	0	1	1
$a_{1i}$	1	1	1	1	1	0	0	0	1	1	1
$b_{1i}$	1	1	1	0	1	1	0	0	1	1	1
$u_{2i}$	1	1	1	1	0	1	0	0	0	1	1
$a_{2i}$	1	1	1	1	0	1	0	1	0	1	1
$b_{2i}$	1	1	0	1	1	1	0	1	0	1	1
$u_{3i}$	1	1	1	0	1	0	0	0	0	1	0
$a_{3i}$	1	1	1	0	1	1	1	0	1	1	1
$b_{3i}$	1	0	1	1	1	0	1	0	0	1	0
$u_{4i}$	0	1	1	0	0	1	1	1	1	1	1
$a_{4i}$	0	1	1	0	1	1	0	1	1	1	1
$b_{4i}$	0	1	1	1	0	1	1	1	1	1	1
$u_{5i}$	1	0	1	0	0	0	0	1	1	0	1
$S_{1i}$	0	0	0	1	1	0	0	0	0	0	0
$S_{2i}$	1	1	0	1	0	0	0	0	1	1	1
$S_{3i}$	0	1	1	0	0	1	0	1	1	0	0
$S_{4i}$	0	1	0	0	1	1	1	1	1	1	0
$P_{4i}$	1	1	1	1	0	1	0	0	0	1	1

ся на входах одного и того же конъюнктора), элементов «Исключающее ИЛИ» 15, 26, 28, 29, 30, 32, 33, 36, одиночные константные неисправности типа «константа 0» в узлах и междуузлиях сигнальных линий, связанных с выходами элементов «Исключающее ИЛИ» 16, 18, 20, 22, конъюнкторов 12, 13, 14, входом переноса  $p_{0i}$  (под междуузлем в данной работе понимается часть сигнальной линии, расположенная между двумя узлами). Эти тест-вектора обнаруживают также одиночные константные неисправности типа «константа 1» в узлах и междуузлиях сигнальных линий, связанных с выходами конъюнкторов 12—14, выходом элемента «Исключающее ИЛИ» 22, входом переноса  $p_{0i}$ . Седьмой тест-вектор обнаруживает одиночные константные неисправности типа «константа 1» в узлах и междуузлиях сигнальной линии, связанной с выходом элемента «Исключающее ИЛИ» 16.

Подача первых семи тест-векторов таблицы на входы  $i$ -й секции обеспечивает поступление на входы элементов «Исключающее ИЛИ» 16, 18 — 22, 31, 34, 35, 37 их проверяющего теста относительно одиночных и кратности 2 константных неисправностей. При подаче первых восьми тест-векторов таблицы на входы  $i$ -й секции гарантируется обнаружение одиночных и кратности 2 константных неисправностей элементов «Исключающее ИЛИ» 17, 27. Восьмой и девятый тест-векторы обнаруживают одиночные константные неисправности типа «константа 1» в узлах и междуузлиях сигнальных линий, связанных с выходами элементов «Исключающее ИЛИ» 18 и 20, соответственно. Подача первых десяти тест-векторов упомянутой таблицы на входы  $i$ -й секции гарантирует обнаружение одиночных и кратности 2 константных неисправностей элементов «Исключающее ИЛИ» 23 и 24. Наконец, подача всех одиннадцати тест-векторов на входы  $i$ -й секции гарантирует обнаружение одиночных и кратности 2 константных неисправностей элемента «Исключающее ИЛИ» 25.

\*\*\*

Таким образом, предложенная контролепригодная функционально-логическая схема обладает проверя-

ющим тестом из одиннадцати входных векторов относительно всех ее одиночных константных неисправностей, что почти в два раза больше числа входных векторов в проверяющем тесте схемы из [7]. Это связано со значительным усложнением предлагаемой схемы, однако это усложнение оправдано, поскольку приводит к повышению быстродействия. Необходимо отметить, что данный способ повышения быстродействия является наиболее экономичным в отношении объема аппаратных средств [10, с. 127].

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Friedman A. D. Easily testable iterative systems // IEEE Trans. on computers.— 1973.— N 12.— P. 1061—1064.
2. Saluja K. K., Reddy S. M. On minimally testable logic networks // Ibid.— 1974.— N 5.— P. 552—554.
3. Elhuni H., Vergis A., Kinney L. C-testability of two-dimensional iterative arrays // IEEE Trans. on comput. aided design.— 1986.— Vol. CAD-5, N 4.— P. 573—581.

4. Lombardi F., Huang W. K. Fault detection and design complexity in C-testable VLSI arrays // IEEE Trans. on computers.— 1990.— Vol. 39, N 12.— P. 1477—1481.

5. Qiao T., Jha N. K. Design of C-testable DCVS binary array dividers // IEEE J. of Solid-state circuits.— 1991.— Vol. 26, N 2.— P. 134—141.

6. Тимошкин А. И. Контролепригодная функционально-логическая схема двоичного сумматора // Приборы и системы управления.— 1997.— № 1.— С. 42—43.

7. Тимошкин А. И. Контролепригодная схема двоичного сумматора // Автоматика и вычислительная техника.— 2000.— № 3.— С. 82—84.

8. Казначеев В. И. Диагностика неисправностей цифровых автоматов.— М.: Сов. радио, 1975.

9. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС— М.: Мир, 1988.

10. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией. Кн.1.— М.: Мир, 1984.

ВЫСТАВКИ. КОНФЕРЕНЦИИ. СИМПОЗИУМЫ

ТРЕТИЙ  
МЕЖДУНАРОДНЫЙ  
**ФОРУМ  
ВЫСОКИЕ  
ТЕХНОЛОГИИ  
ОБОРОННОГО  
КОМПЛЕКСА**

**22—26 апреля 2002 г.  
МОСКВА  
ВК ЗАО "ЭКСПОЦЕНТР"**



Подробная информация по планируемым на Форуме мероприятиям на сайте: <http://www.hitechno.ru>

Адрес организатора Форума: 113209, Москва, ул. Зюзинская, 6, корп. 2. АО "ЭКОС".  
Тел. (095) 331-35-81.  
E-mail: [hitdi@nii-ecos.ru](mailto:hitdi@nii-ecos.ru)

ВЫШЛА В СВЕТ

НОВЫЕ КНИГИ

**Присяжков В., Бондаренко С., Луценко В. и др. Теплообмен и вибрация.— Одесса: Нептун-Технология, 2001.— 208 с.**

Приведены современные данные по влиянию вибраций на тепло- и массообменные процессы: с однофазным теплоносителем, с фазовыми превращениями рабочих жидкостей — от кипения до растворения и кристаллизации. Приводится обзор результатов экспериментальных исследований. Дается простейшая математическая модель влияния колебаний на процессы кипения. Особое внимание уделено численному решению задач по движению пузырьков в колеблющейся жидкости. Анализируются известные конструкторские разработки по использованию вибраций с целью интенсификации процессов в сахарной промышленности. Рассмотрено влияние вибровоздействий на характеристики тепловых труб. Представлен обзор экспериментальных методов изучения процессов с вибрациями.

Предназначена для работников промышленности, научных сотрудников, аспирантов, конструкторов, преподавателей, студентов.

Справки по e-mail: [nikol@industry.gov.ua](mailto:nikol@industry.gov.ua)

