

С. Ю. Куницкая, к.т.н., доцент
Черкасский государственный технологический университет,
б-р Шевченко, 460, г. Черкассы, 18000, Украина
Kunitskaya33@gmail.com

СИНТЕЗ УСТРОЙСТВА СЛОЖЕНИЯ В ДВОИЧНО-ТРОИЧНОЙ ИЗБЫТОЧНОЙ СИСТЕМЕ СЧИСЛЕНИЯ

Статья посвящена вопросу моделирования устройства выполнения операций сложения благодаря главным понятиям алгебры логики на основании доказанных и сформулированных пяти правил выполнения операций сложения в синтезированной двоично-троичной системе счисления. Правила выполнения арифметических операций определяются значениями весовых коэффициентов разрядов, поэтому отобраны результаты моделирования в соответствии с правилами выполнения арифметических операций и определена наиболее перспективная модель системы счисления.

Дополнительно приведенные уточнения к правилам выполнения операций сложения для практической реализации смоделированного устройства дают возможность получить математическую модель, позволяющую оценить сложность реализации модели сумматора, которая необходима для вычисления коэффициента аппаратной избыточности сумматора и важна для дальнейшего определения оптимально-избыточных устройств обработки информации.

Ключевые слова: моделирование устройства, синтез системы счисления, сложность сумматора, правила, операция добавления, математическая модель.

Актуальность проблемы. Проблема повышения надёжности дискретных устройств возникла уже после появления первых дискретных устройств, но в связи с усложнением самих устройств и с усложнением алгоритмов их работы проблема стала проявляться сильнее.

Основной операцией, которая производится над кодами чисел, является операция арифметической суммы, которая может быть реализована с помощью типовых функциональных узлов – сумматоров.

Многие параметры устройств, например быстродействие и надёжность цифровой переработки информации, напрямую зависят от формы представления информации и архитектуры, но большинство архитектур вычислительных машин не поддерживает тесную взаимосвязь между аппаратными и программными средствами [1; 8].

На сложность устройств обработки информации напрямую влияет сложность выполнения правил сложения, которые получены на основе исследованных весовых коэффициентов разрядов.

Анализ последних исследований и публикаций. Характеристики любого дис-

кретного устройства, в том числе и сумматора, напрямую зависят от системы счисления или формы кодирования исходных данных и результатов преобразования. Быстродействие и надёжность средств вычислительной техники также зависят от формы представления информации.

Сумматоры – это ядро арифметико-логических устройств, которое есть неотъемлемой частью всех процессоров. Быстродействие методов вычислительной техники напрямую зависит от быстродействия сумматоров.

Сумматор – это логический операционный узел, который выполняет арифметическое сложение кодов двух чисел. При арифметическом сложении также выполняются как дополнительные, так и важные неотъемлемые операции – учитывается знак чисел, что и составляет ядро, в которых есть сумматор. Стоит он из отдельных логических схем, которые называют одноразрядными сумматорами, связь между ними реализуется с помощью звеньев переноса в направлении от младших разрядов к старшим.

Цель статьи. Целью статьи является разработка правил сложения в двоично-троичной избыточной системе счисления.

Благодаря полученным пяти правилам с уточнением для их практической реализации проведём моделирование сумматора.

Основной материал. Исходя из многочисленной классификации сумматоров, можно отметить несколько важных:

– по способу выполнения операции сложения и возможности сохранения результата сложения. Т. е. выделяют комбинационный сумматор, сумматор с сохранением результата и накопительный сумматор;

– по времени проведения операции сложения разделяют:

- синхронные – сумматоры с постоянным временным интервалом для проведения операции сложения;

- асинхронные – сумматоры, для которых интервал времени на сложение определяется моментом фактического окончания операции;

– по способу представления и обработки чисел, над которыми производим операцию сложения, многоразрядные сумматоры подразделяют как последовательные, параллельные и последовательно-параллельные.

Для повышения быстродействия сумматора будем его моделировать как сумматор с групповым переносом. Групповой перенос формируется из каждой пары разрядов.

Следовательно, сумматор будет состоять из набора двухразрядных сумматоров, которые формируют результат суммы и сигнал переноса на основе параллельного сложения двухразрядных кодов и сигнала переноса от предыдущего двухразрядного сумматора.

Один из путей поиска систем счисления, которые позволяют повышать быстродействие и надёжность арифметических устройств, базируется на дискретном моделировании устройств.

Сложность устройства можно определить с помощью коэффициента относительных аппаратных затрат – отношение сложности данного устройства к аналогичному устройству, которое реализует выполнение данной функции в безизбыточном коде [4].

Рассмотрим относительную сложность реализации сумматора:

$$K_a^* = \frac{\sum C_N}{\sum C_b}, \quad (1)$$

где $\sum C_b$ – сложность реализации безизбыточного устройства (например, сумматора, выполняющего операцию сложения в общеизвестной двоичной системе счисления), а $\sum C_N$ – сложность реализации избыточного устройства.

Данный коэффициент не позволяет говорить о действительной сложности устройства, так как не учитывает избыточность формы представления информации [6]. Учтём влияние информационной избыточности на избыточность аппаратных средств [3; 5]:

$$K_a = K_a^* \cdot K_n, \quad (2)$$

где $K_n = \frac{n}{k}$, значения k и n обсчитываются

соответственно с выражением $M_k \approx 2^n$ при представлении максимально допустимого числа M избыточным k -разрядным кодом с мощностью M .

Далее получим системы счисления с оптимальной информационной избыточностью.

Синтезированная система счисления на основе третьей модели позиционной системы счисления с модификацией ограничения $b_{2n} \cdot b_{2n-1} \neq 1$ представлена в табл. 1 и табл. 2 с весовыми коэффициентами разрядов, которые заданы следующей последовательностью [1]: 1, 2, 2, 6, 6, 18, 18, 54, 54, 162, 162, 486, ...

Расчёт весовых коэффициентов данной системы счисления проводится на основе выражения:

$$\begin{cases} b_0 = 1; \\ b_1 = 2; \\ b_2 = 2; \\ \dots \\ b_{2n} = 3 \cdot b_{2n-1}; \\ b_{3n+1} = b_{2n}. \end{cases} \quad (3)$$

Сформулируем правила выполнения операции сложения в двоично-троичной системе счисления [1; 8] на основе выражения (3):

1. $b_{2m} + 0 = 0 + b_{2m} = b_{2m}$;
2. $b_{2m+1} + 0 = 0 + b_{2m+1} = b_{2m+1}$;
3. $b_{2m} + b_{2m} = b_{2m} + b_{2m+1}$;
4. $b_{2m+1} + b_{2m+1} = b_{2m} + b_{2(m+1)}$;
5. $b_{2m+1} + b_{2m} = b_{2(m+1)}$.

Таблиця 1

Синтез системы счисления на основе третьей модели с модификацией на основе ограничения

$$b_{2n} \cdot b_{2n-1} \neq 1$$

Значение разряда						Число
5	4	3	2	1	0	
			0	0	0	0
			0	0	1	1
			0	1	0	2
			0	1	1	3
			1	1	0	4
			1	1	1	5
		1	0	0	0	6
		1	0	0	1	7
		1	0	1	0	8
		1	0	1	1	9
		1	1	1	0	10
		1	1	1	1	11
	1	1	0	0	0	12
	1	1	0	0	1	13
	1	1	0	1	0	14
	1	1	0	1	1	15
	1	1	1	1	0	16
	1	1	1	1	1	17
1	0	0	0	0	0	18
18	6	6	2	2	1	

Данные пять правил являются основными и на их основе выполняется операция сложения.

Практическая реализация полученных правил нуждается в уточнении, так, например:

- правило 4 приводит к дополнительной записи 0 в разряд b_{2m+1} :

$$b_{2m+1} + b_{2m+1} = (b_{2m} + b_{2(m+1)}) \cup (b_{2m+1} = 0);$$

- правило 3 будет выполняться при условии, что b_{2m+1} будут нулевыми:

$$b_{2m} + b_{2m} = (b_{2m} + b_{2m+1}) \cap (b_{2m+1} = 0);$$

- правило 5 будет выполняться при невыполнении правила 4;
- правило 2 будет выполняться при невыполнении правила 5.

Таблиця 2

Синтез системы счисления на основе третьей модели с модификацией на основе ограничения

$$b_{2n} \cdot b_{2n-1} \neq 1$$

Значение разряда							Число
6	5	4	3	2	1	0	
	1	0	0	0	0	1	19
	1	0	0	0	1	0	20
	1	0	0	0	1	1	21
	1	0	0	1	1	0	22
	1	0	0	1	1	1	23
	1	0	1	0	0	0	24
	1	0	1	0	0	1	25
	1	0	1	0	1	0	26
	1	0	1	0	1	1	27
	1	0	1	1	1	0	28
	1	0	1	1	1	1	29
	1	1	1	0	0	0	30
	1	1	1	0	0	1	31
	1	1	1	0	1	0	32
	1	1	1	0	1	1	33
	1	1	1	1	1	0	34
	1	1	1	1	1	1	35
1	1	0	0	0	0	0	36
1	1	0	0	0	0	1	37
18	18	6	6	2	2	1	

Данные правила позволяют начать моделирование устройства выполнения операции сложения на основе алгебры логики.

Для повышения быстродействия сумматора будем его моделировать как сумматор с групповым переносом. Групповой перенос формируется из каждой пары разрядов. Следовательно, сумматор будет состоять из набора двухразрядных сумматоров, которые формируют результат суммы и сигнал переноса на основе параллельного сложения двухразрядных кодов и сигнала переноса от предыдущего двухразрядного сумматора.

Один из полученных вариантов модели сумматора будет иметь вид следующей математической модели [2; 7]:

$$\left\{ \begin{array}{l} S_{2m} = A_{2m} \bar{B}_{2m} P_m \cup \bar{A}_{2m} B_{2m+1} P_m \cup \\ \cup A_{2m+1} B_{2m+1} P_m \cup A_{2m} \bar{A}_{2m+1} \bar{B}_{2m+1} P_m \cup \\ \cup \bar{A}_{2m} \bar{B}_{2m} B_{2m+1} P_m \cup \bar{A}_{2m} \bar{A}_{2m+1} B_{2m} \bar{B}_{2m+1} P_m \\ S_{2m+1} = A_{2m+1} B_{2m+1} \cup A_{2m} \bar{A}_{2m+1} \bar{B}_{2m} \cup \\ \cup \bar{A}_{2m} \bar{B}_{2m+1} P_m \cup \bar{A}_{2m} B_{2m} P_m \cup A_{2m+1} B_{2m} P_m \cup \\ \cup A_{2m+1} \bar{B}_{2m} \bar{P}_m \cup A_{2m} B_{2m+1} P_m \cup A_{2m} \bar{A}_{2m+1} \bar{B}_{2m+1} P_m \\ P_{m+1} = A_{2m} B_{2m} \cup A_{2m} B_{2m+1} \cup \\ \cup A_{2m+1} P_m \cup B_{2m+1} P_m \cup A_{2m} B_{2m} P_m \end{array} \right.$$

где: A_{2m} – младший разряд двухразрядной группы первого слагаемого;

A_{2m+1} – старший разряд двухразрядной группы первого слагаемого;

B_{2m} – младший разряд двухразрядной группы второго слагаемого;

B_{2m+1} – старший разряд двухразрядной группы второго слагаемого;

P_m – сигнал переноса из предыдущей двухразрядной группы;

S_{2m} – младший разряд двухразрядной группы результата;

S_{2m+1} – старший разряд двухразрядной группы результата;

P_{m+1} – сигнал переноса в следующую двухразрядную группу.

Для моделирования двухразрядного сумматора построили его таблицу истинности. Воспользовавшись одним из методов минимизации, получили минимальную форму представления логической функции.

Математическая модель позволяет оценить сложность реализации сумматора, необходимую для вычислений коэффициента аппаратной избыточности сумматора и дальнейшего определения системы счисления к оптимальным активно-избыточным системам счисления, которые и будут наиболее перспективными для определения оптимально-избыточных устройств обработки информации.

Выводы:

1. Синтезированная двоично-троичная система счисления за счёт введения информационной избыточности используется для уменьшения сложности арифметического устройства.

2. Полученные правила выполнения сложения обеспечивают реализацию арифме-

тических операций в двоично-троичной системе счисления.

3. На основе результатов моделирования сумматора двоично-троичной избыточной позиционной системы счисления можно утверждать, что данная система счисления относится к оптимальным, т.к. введение информационной избыточности приводит к уменьшению аппаратной сложности.

Список литературы

1. Рудницький В. М. Синтез двійково-трійкової системи числення з оптимальною інформаційною надлишковістю / В. М. Рудницький, С. Ю. Кучеренко // Вісник Черкаського державного технологічного університету. – 2009. – № 4. – С. 54–57.
2. Кучеренко С. Ю. Поиск позиционных систем счисления по результатам моделирования / С. Ю. Кучеренко // Проблемы информатики и моделирования : материалы девятой междунар. науч.-техн. конф. – Х. : НТУ «ХПИ», 2009. – С. 15.
3. Повышение быстродействия дискретных устройств на основе введения информационной избыточности : Проблеми інформатизації : зб. тез доп. науч.-техн. семінару / С. Ю. Куницька. – Вип. 1 (6). – Черкаси : ЧДТУ, 2011. – С. 36.
4. Майерс Г. Архитектура современных ЭВМ. Книга 1. / Г. Майерс. – М. : Мир, 1985. – 364 с.
5. Глушков В. М. Синтез цифровых автоматов / В. М. Глушков. – М. : Физматгиз, 1962.
6. Баранов Н. А. Исследование естественной избыточности позиционных счислений для обеспечения отказоустойчивости вычислительных систем / Н. А. Баранов, Е. И. Брюхович, А. Л. Шишкин // УсиМ. – 1987. – № 5. – С. 3–7.
7. Стахов А. П. Алгоритмическая теория измерения: новый взгляд на теорию позици-

- онных систем счисления и компьютерную арифметику / А. П. Стахов. // Управляющие системы и машины : междунар. науч. журн. – 1994. – № 4–5. – С. 38–52.
8. Рудницький В. М. Теоретичні основи створення природно-надійних комп'ютерних систем / В. М. Рудницький, Н. М. Пантелєєва. – Черкаси : Брама-Україна, 2009. – 200 с.
 3. Improving the performance of discrete devices based on the introduction of information redundancy (2011) *Problemy informatyzatsiyi*: collection of theses of reports of scient-techn. seminar, 1 (6), p. 36. Cherkasy: ChDTU [in Russian].
 4. Myers, G. (1985) Architecture of modern computers. Book 1. Moscow: Mir, 364 p. [in Russian].
 5. Glushkov, V. M. (1962) Synthesis of digital machines. Moscow: Fizmatgiz [in Russian].
 6. Baranov, N. A., Bruhovich, E. I. and Shishkin, A. L. (1987) Study of natural redundancy positional notation for fault tolerance of computer systems. *UsiM*, (5), pp. 3–7 [in Russian].
 7. Stakhov, A. P. (1994) Algorithmic measurement theory: a new perspective on the theory of positional number systems and computer arithmetics. *Upravlyayuschie sistemy i mashiny*: internat. scient. journal, (4–5), pp. 38–52 [in Russian].
 8. Rudnytsky, V. M. and Pantelyeyeva, N. M. (2009) Theoretical basis for the creation of natural reliable computer systems. Cherkasy: Brama-Ukrayina, 200 p. [in Ukrainian].

References

1. Rudnyts'kyu, V. M. and Kucherenko, S. Yu. (2009) The synthesis of binary-ternary system with optimal information redundancy. *Visnyk Cherkas'koho derzhavnoho tekhnolohichnoho universytetu*, (4), pp. 54–57 [in Ukrainian].
2. Kucherenko, S. Yu. (2009) The search of positional notation systems for simulation results. *Problemy informatiki i modelirovaniya*: materials of the ninth internat. scient.-techn. conf. Kharkov: NTU «KPI», p. 15 [in Russian].

S. Yu. Kunitskaya, *PhD., associate professor*
Cherkasy State Technological University
Shevchenko blvd, 460, Cherkasy, 18006, Ukraine
Kunitskaya33@gmail.com

SYNTHESIS OF SUMMATION DEVICE IN A BINARY-TERNARY REDUNDANT NUMERATION SYSTEM

The article is devoted to the problem of modeling of the device for addition operations due to the main concepts of algebra of logic based on the proven and formulated five rules of conducting of addition operations in synthesized binary-ternary system. The rules of arithmetic operations are determined by the values of bits weighting coefficients, so simulation results are selected according to the rules of arithmetic operations and the most promising model of number system is determined.

The complexity of information processing devices directly affects the complexity of the implementation of the rules of addition. Characteristics of discrete devices, including an adder, are directly dependent on the number system or form of encoding input data and results of the conversion. Complexity of the device can be determined by the coefficient of relative cost hardware.

The optimal active-redundant number system is analyzed the complexity of the implementation of the adder to the resulting mathematical model. The optimal active-redundant number system is analyzed the complexity of the implementation of the adder to the resulting mathematical model.

Additionally brought adjustments to the rules of addition operations for practical implementation of simulated device make possible to obtain mathematical model that allows to assess the complexity of realization of adder model required for computation of adder hardware redundancy and is important for further definition of the best-redundant information processing devices.

Keywords: device modeling, number system synthesis, adder complexity, rules, addition operation, mathematical model.

Рецензенти: В. М. Рудницький, д.т.н., професор,
С. В. Голуб, д.т.н., професор