

**ПРЯМІ ЦИФРОВІ СИНТЕЗАТОРИ ЧАСТОТИ З КОМБІНОВАНИМ МЕТОДОМ
ФОРМУВАННЯ ВИХІДНОГО ГАРМОНІЙНОГО СИГНАЛУ**

Розглянуто принципи побудови прямих цифрових синтезаторів частоти, та їх місце у сучасних системах синтезу радіосигналів. Запропоновані структури синтезаторів із фазовими акумуляторами на основі суматорів Галуа, що дасть можливість збільшити розрядність синтезаторів, покращити їх частотні характеристики у сторону розширення діапазону синтезованих сигналів. Розглянуто комбінований метод формування гармонійних сигналів на основі методу апроксимації рядами Тейлора та методу CORDIC.

Ключові слова: обчислювальний синтезатор частоти, фазовий акумулятор, суматор

O.I.POLIKAROVSKYKH
Khmelnitsky National University

**DIRECT DIGITAL FREQUENCY SYNTHESIZER WITH A COMBINED METHOD OF SYNTHESIS OUTPUT
HARMONIC SIGNAL**

Principles of construction of the direct digital frequency synthesizers and their place in the modern synthesis radio systems was proposed. The proposed structure of the phase synthesizer accumulators based on Galois adders that will increase the bit synths and improve their frequency response range expansion in the direction of the synthesized signals. We consider a combined method of synthesis a harmonic signal on the basis of the Taylor series approximation and CORDIC method

Keywords: adder, direct frequency synthesizer (DDS), Taylor, CORDIC

Вступ

Прямі цифрові синтезатори частоти відіграють важливу роль у сучасних радіоелектронних пристроях. Це забезпечується багатьма значними перевагами: швидкість переналаштування частоти, висока розрізнявальна здатність, широка синтезована смуга частот. Багаторівневі DDS у силу своєї, технологічності, надійності, можливості мікромініатюризації та унікальності технічних характеристик (нерозривність фази під час перемикання з частоти на частоту, можливість формування сигналів складної форми, цифрове керування амплітудою, частотою та фазою вихідного коливання) на сьогодні знайшли застосування у системах зв'язку. Особливо перспективним є використання DDS у радіотехнічних системах передачі інформації з підвищеною завадостійкістю та захищеністю. Одним з обмежуючих факторів за максимальною швидкістю та якісним спектральним складом таких синтезаторів є швидкість окремих арифметичних операцій в ядрі цифрового синтезатора [1].

Особливістю синтезаторів прямого синтезу є те, що частота, амплітуда та фаза сигналу, що сформовані на їх виході, відомі для будь якого моменту часу і можуть бути запрограмовані. Параметри таких синтезаторів практично не залежать від температури і старіння елементів. Єдиним елементом який, має притаманну аналоговим системам нестабільність є цифро-аналоговий перетворювач (ЦАП). Завдяки відмінним технічним характеристиками і високій швидкості переналаштування частоти та фази прямі цифрові синтезатори (DDS) набувають все ширшого застосування. Основними перевагами синтезаторів є: високе розрізнення по частоті і фазі, швидке налаштування частоти (фази), налаштування за частотою без розриву фази синтезованого сигналу і без викидів напруг на виході, можливість програмним методом впливати на модуляційні характеристики сигналів синтезаторів [2, 3].

Формулювання цілей статті

В роботі буде розглянуто новий комбінований метод синтезу гармонійного сигналу. Проведено його аналіз та виконано імітаційне моделювання. Після чого розглянуто новий комбінований метод із існуючими на сьогоднішній день методами формування гармонійних сигналів.

Основна частина

Класичний метод прямого цифрового синтезу потребує трьох функціональних складових, див.рис.1:

1. Акумулятор фази – пристрій що здійснює додавання фіксованого числа у кожному тактовому циклі. На виході фазового акумулятора формується пилоподібний вихідний сигнал, що представляє собою лінійну зміну фази гармонійного сигналу.

2. Перетворювач фаза-амплітуда для зв'язки кожного відліку фазового циклу із амплітудним значенням синусоїдального або косинусоїдального сигналу. Перетворювач, як правило, реалізується за допомогою статичного ПЗП, для зберігання значень синусу та косинусу для кожного значення фази.

3. ЦАП – який формує аналоговий сигнал синтезатора. Який після цього фільтрується у ФНЧ.

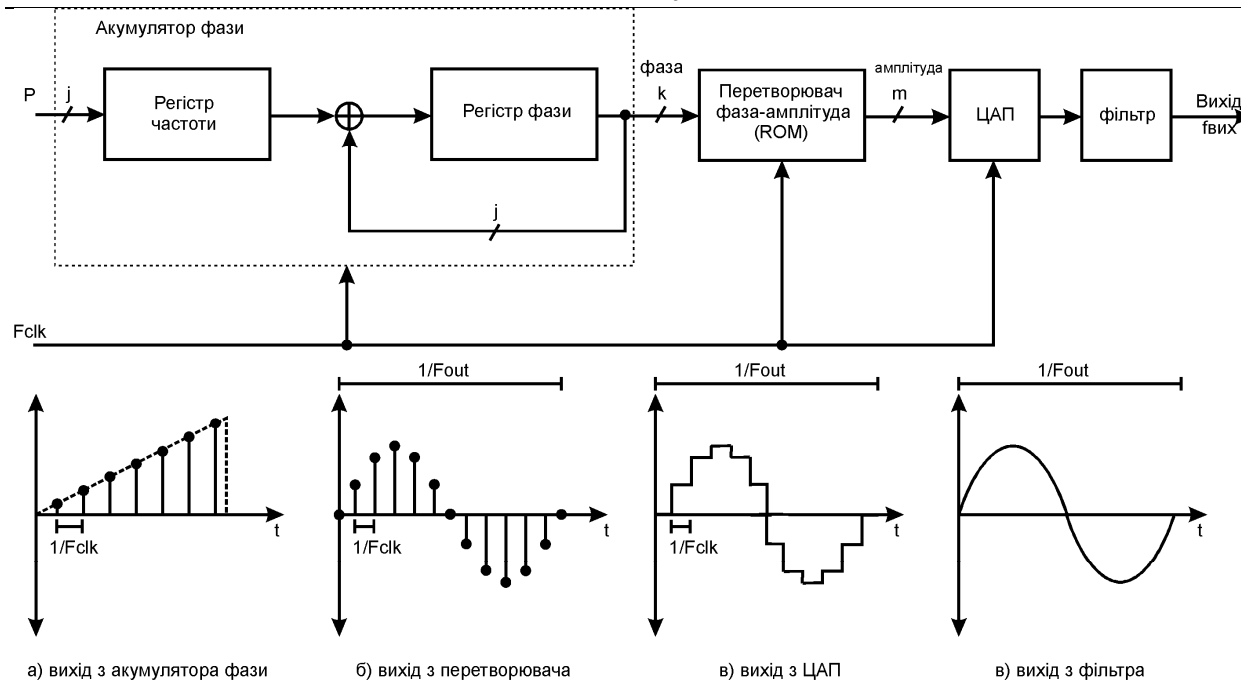


Рис.1. Структурна схема DDS, та перетворення сигналів у ньому

Спектральна чистота класичного DDS, структурна схема якого представлена на рис.1, в основному визначається розрізненням фаза-амплітуда. Нажаль, велике розрізнення означає велику площу ПЗУ (ROM), і відповідно велику споживану потужність, зменшення часу доступу і зростання вартості.

Для подолання цього протиріччя у цій роботі буде розглядатися два методи: апроксимація рядами Тейлора [7], метод CORDIC (Coordinate Rotation Digital Computer) [6]. Кожен з них має як свої переваги, так і свої недоліки. Метою роботи є створення комбінованого методу, який дозволить покращити якість сигналу DDS, зменшити площу, а відповідно і споживану потужність синтезатора.

Найпростішим методом зменшення об'єму ПЗП є зберігання лише $\pi/2$ радіан функції синус та формування відліків функції до 2π шляхом використання симетрій функції. Крім того використовуються наступні методи зменшення об'єму ПЗП: Апроксимація рядами Тейлора, CORDIC алгоритм, метод Нікола та ін. Метод CORDIC не використовує ПЗП для зберігання значень синуса, а використовує ітеративні обчислювальні методи. Платою за використання диференціальних методів є зростання складності схематехнічних рішень та збільшення рівнів спотворень синтезованих сигналів.

Розглянемо випадок із зберіганням $1/4$ значень повного періоду. Спосіб представлено на рис.2. Зменшення об'єму пам'яті ПЗП у цьому випадку призводить до необхідності використання додаткової логіки для формування доповнень до 2π . Два перших значущих біт фази використовуються для визначення квадранту, а решта біт $k-2$ використовується для адресації таблиці синусоїдальної функції в одному квадранті. Перший значущий біт визначає необхідний знак результату, а другий значущий біт визначає чи буде амплітуда зростати чи спадати. Вихід акумулятора лишається без змін в першому і третьому квадрантах. В 2-му та 4-му квадрантах біти мають доповнюватись так щоб нахил пілкоподібного сигналу був інвертованим. В другому доповнюванні – змінюється знак в 3-му та 4-му квадрантах.

Зменшення необхідного обсягу пам'яті для зберігання чверті періоду синусоїдальної функції досягається зберіганням в ПЗП відліків функції

$$f(P) = \sin\left(\frac{\pi P}{2}\right) - P \quad (1)$$

замість функції $\sin\left(\frac{\pi P}{2}\right)$. Це можливо через те що виконується залежність

$$\max\left[\sin\left(\frac{\pi P}{2}\right) - P\right] \approx 0.21 \max\left[\sin\left(\frac{\pi P}{2}\right)\right],$$

і таким чином можна зберегти 2 біти амплітуди у постійному запам'ятовуючому пристрої. Платою за це зменшення є необхідність застосування додаткового суматора на виході таблиці перетворення для проведення операції $\left[\sin\left(\frac{\pi P}{2}\right) - P\right] + P$.

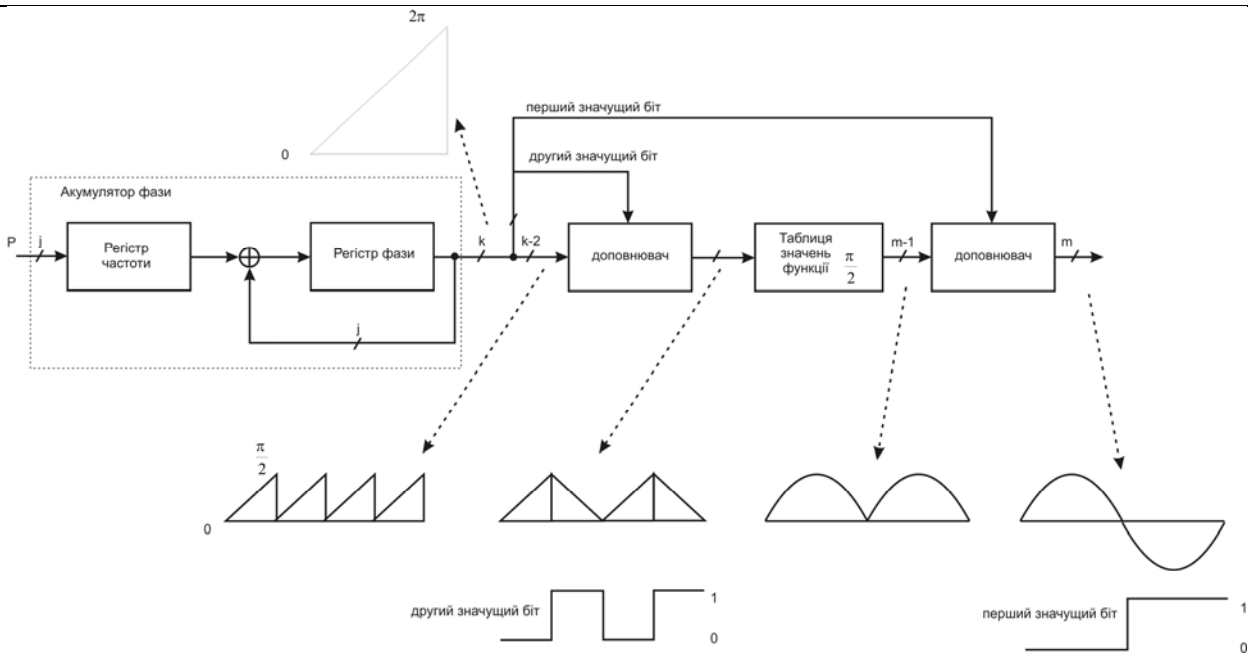


Рис.2. Використання симетрії функції синус для зменшення об'єму ПЗП

Обсяг ПЗП може бути зменшений, у разі зберігання у ньому функції $\sin(\pi P/2) - rP$, де r - більше ніж 1. Застосування різноманітних технік стиснення ПЗП дозволяє значно зменшити його розмір, див. таб.1:

Таблиця 1

Коефіцієнти стиснення для різноманітних способів зберігання гармонійних функцій

Метод	Автор	Коефіцієнт стиснення
Сандерленд	Сандерленд [8]	51
	Есенвангер [10]	59
	Ніколас [11]	128
	Кент [12]	165

Ще одним цікавим методом перетворення фаза-амплітуда є метод апроксимації синусоїдальної функції рядами Тейлора. У цьому методі фазова адреса P поділяється на дві частини вищу фазову адресу « u » та нижчу фазову адресу – « $P-u$ ». Розкладення у ряд Тейлора виконується відносно – u :

$$\sin\left(\frac{\pi}{2} P\right) = \sin\left(\frac{\pi}{2} u\right) + k_1(P-u) \cos\left(\frac{\pi}{2} u\right) - \frac{k_2(P-u)^2 \sin\left(\frac{\pi}{2} u\right)}{2} + R_3, \tag{2}$$

де k_n - це константа, що використовується для корегування кожної з складових. Ця константа необхідна через те, що фаза вимірюється у кутових одиницях. А кожен наступний член розкладу

$$R_n = \frac{d^n \left(\sin\left(\frac{\pi}{2} r\right)\right)}{dr} \frac{(P-u)^n}{n!}, \tag{3}$$

де $r \in [u, P]$

Функції синус та косинус не перевищують одиниці, отже оцінка точності перетворення визначається:

$$|R_n| = \left| \frac{k_n(P-u)^n}{n!} \right| \leq \left| \frac{k_n |P-u|_{\max}^n}{n!} \right|. \tag{4}$$

Розклад у ряд (2) використовує 3 складових, у разі застосування вищих складових їх внесок у загальну суму стає дуже малим. З формули (4) визначимо точність представлення, вона дорівнюватиме – 0,0000025.

Структурна схема пристрою для реалізації запропонованого методу представлено на рис.3. Тут 7-м значущих біт вхідного фазового слова вибираються як «вища» фазова адреса – u , яке одночасно перетворюється у косинусному та синусних ПЗП, після чого перша складова розкладу направляється у перший суматор, де додається до двох наступних складових. Косинусний ПЗП сконфігурований з врахуванням коефіцієнту k_1 . Вихід косинусоїдального ПЗП перемножується з «нижньою» фазовою

адресою, після чого додається до другого суматора. Третя складова розкладу формується в ПЗП повна адреса якого формується словами – «u» та «P-u». Результат вибірки додається до другого доданку в суматорі 2. Результат підсумовування другого та третього доданків потрапляє у сумматор 1, результат з якого направляється у ЦАП.

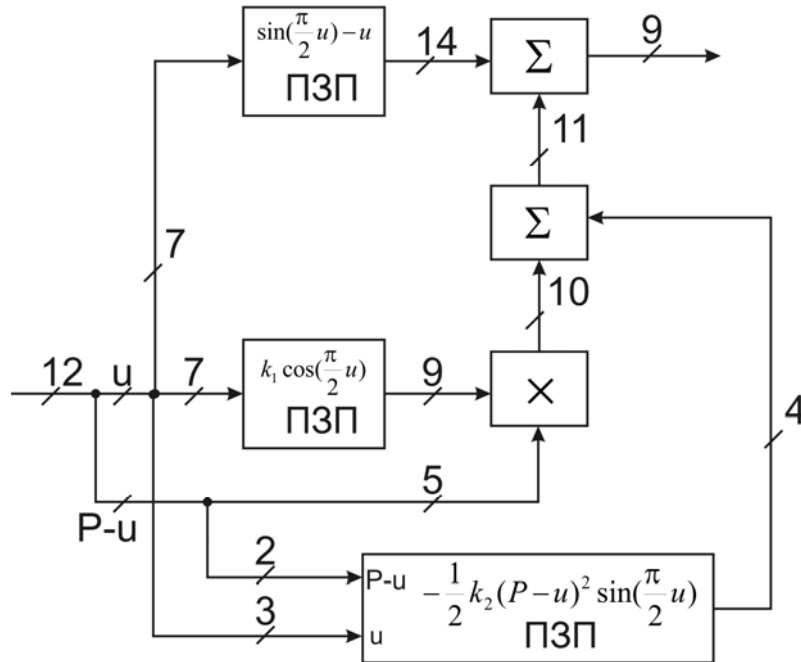


Рис.3. Метод апроксимації чверті синусоїдальної функції рядом Тейлора

Отже ми бачимо, що запропонований метод значно зменшує обсяг необхідних ПЗП, проте ускладнюється структура пристрою, внаслідок використання додаткових суматорів та перемножувача, що в кінцевому результаті призводить до зменшення максимальної синтезованої частоти цифрового обчислювального синтезатора.

Альтернативним методом формування синусоїдального сигналу є метод CORDIC [6], який використовує прості зсуви та операції додавання віднімання для обертання координат вектору. Алгоритм CORDIC може бути використаний у двох режимах: режим обертання і векторний режим. В режимі обертання – ідея полягає у тому, що операція обертання розбивається на елементарні базисні повороти. Кожен базисний поворот може бути реалізований за рахунок зсуву, додаткового зсуву та арифметичної операції додавання. Режим обертання може бути використаний для обчислення значень синусу та косинусу кута θ .

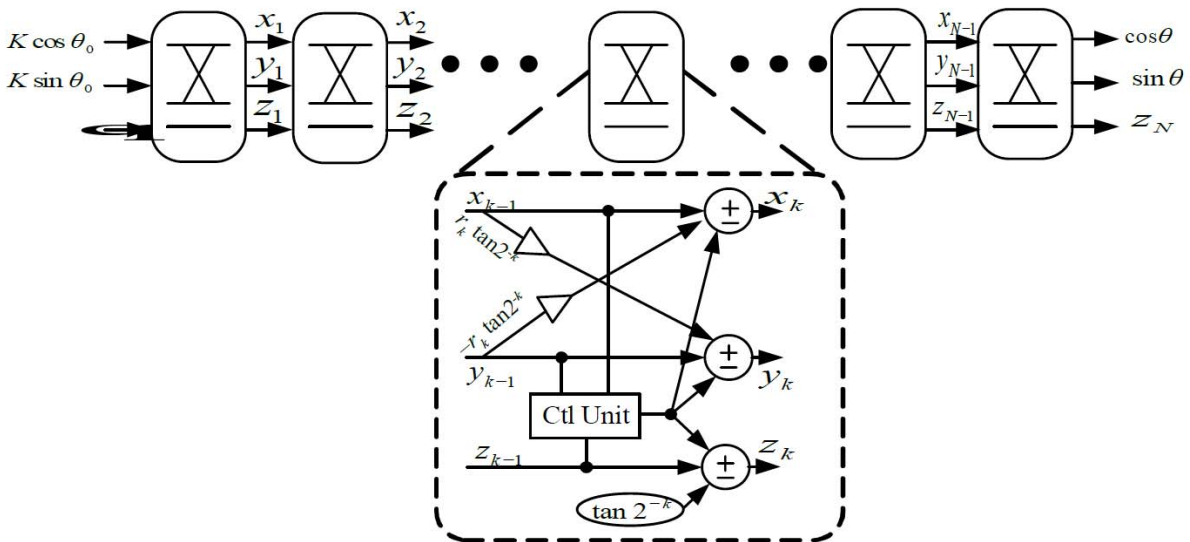


Рис.4. Блок діаграма методу CORDIC

Цей метод є затратним з точки зору апаратури, і є доцільним лише у разі застосування мікросхем ПЛІС (Програмованох Логічних Інтегральних Схем) або ASIC, аналіз показує, що архітектура побудована на основі методу CORDIC виграє у класичній архітектурі, що заснована на ПЗП у разі застосування

фазового слова більшого за 9-біт та більше. Також метод CORDIC є ефективним для рішень квадратурного змішування частот. Звичайний квадратурний змішувач потребує 4 перемножувачів, двох суматорів та пам'ять із відліками синуса/косинуса додатково до самого синтезатора DDS. А у методі CORDIC той самий результат досягається із використанням 4-х перемножувачів, двох суматорів і ПЗП без використання опорного синтезатора частоти DDS, див. рис.5.

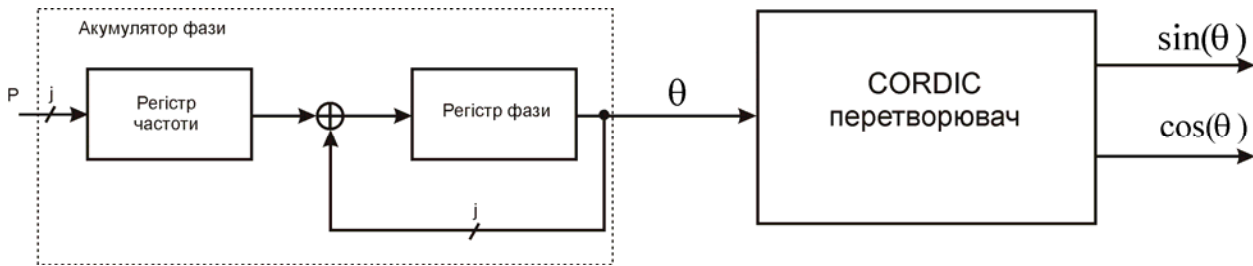


Рис.5. Спрощена діаграма синтезатора DDS, що базується на CORDIC алгоритмі

Спробуємо поєднати переваги двох запропонованих методів : методу апроксимації рядами Тейлора та методу CORDIC. При реалізації CORDIC синтезаторів у високошвидкісній архітектурі досягається мала затримка синтезованого сигналу за рахунок конвеєрних регістрів між стійкими станами [17] і [18]. Нажаль, кожна ітерація CORDIC вимагає конвеєризації попередніх станів, що призводить до зростання площі схеми у разі зростання вимог до максимальної синтезованої частоти. Отже для оптимізації синтезу гармонійних сигналів, що ґрунтуються на CORDIC алгоритмі необхідно забезпечити невелику розрядність вхідного кодового слова. Що призведе до зменшення необхідної площі, а отже споживаної потужності.

Основною ідеєю запропонованого методу є апроксимація вихідного сигналу рядом Тейлора і застосування замість 2-х ПЗП з відліками функцій синуса та косинуса однієї схеми CORDIC. Таким чином вхідний сигнал CORDIC блока рівний i менший на $i + j = N - 3$ біта. Відповідно для k біт вихідного розрізнення нам необхідно лише i біт вхідного фазового слова.

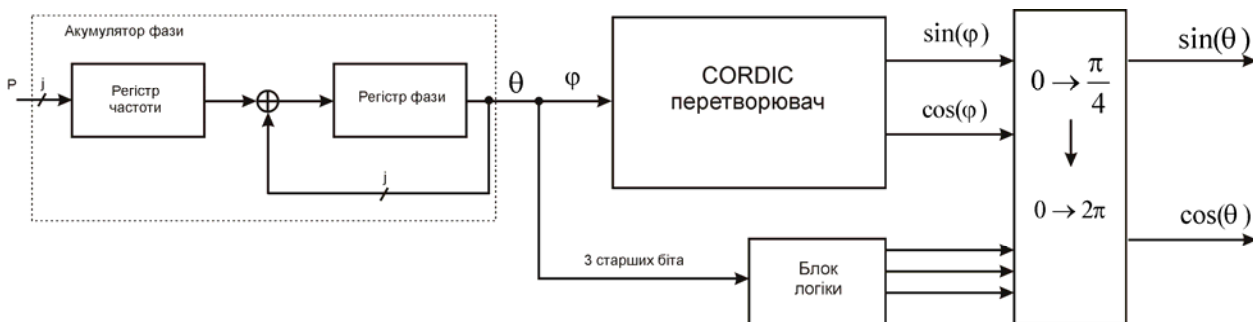


Рис.6. Структурна схема перетворення кутів у алгоритмі CORDIC

Для досягнення поставленої мети роботи були застосовані наступні нововведення:

- використано фазовий акумулятор для забезпечення високої розрізняювальної здатності за частотою на основі суматора Галуа [26] ;
- фазовий кут поділяється наступним чином - $N = i + j + 3$;
- використано конвеєрну CORDIC архітектуру для оптимізації системної швидкості;
- використано апроксимацію рядами Тейлора другого порядку для забезпечення точності синтезу.

Відповідно до рівняння 2, для генерації синусоїдального сигналу необхідно мати синусоїдальні та косинусоїдальні складові для апроксимації. На рисунку 7 представлено блок діаграму запропонованого методу. Акумулятовану фазу поділено на дві частини: φ_0 та $\varphi - \varphi_0$. Для першої частини фази φ_0 конвеєрний алгоритм CORDIC використовується для обчислення синусоїдальної та косинусоїдальної функцій від φ_0 . А друга частина кута $\varphi - \varphi_0$ використовується для обчислення ряду Тейлора. Відповідно до рівняння 2 для апроксимації використовується 3 перемножувачі і два суматори.

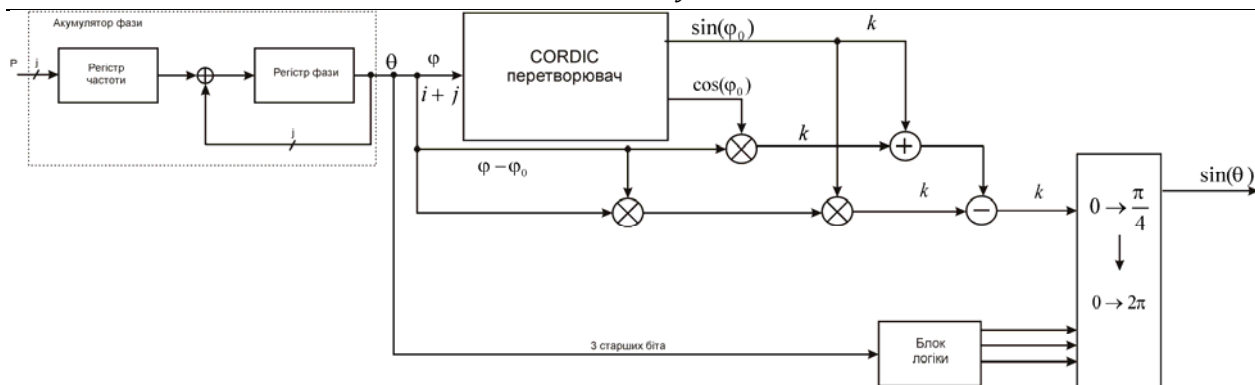


Рис.7. Структурна схема перетворення кутів у алгоритмі CORDIC

Розглянемо результати моделювання запропонованої архітектури синтезатора. Для моделювання використано розмірність кута фази у 20 біт ($i=10$ біт та $j=10$ біт). Отже вихідне розрізнення CORDIC синтезатора складає 20 біт. Результати моделювання спектру вихідного сигналу синтезатора наведені на рис.9. Глибина подавлення бічних складових синтезованого гармонійного сигналу складає 112 дБ. Ця величина залежить від точності перетворювача CORDIC, так для слова в 16 біт і 24 біти подавлення складе відповідно 82дБ та 148 дБ. Також слід відмітити, що крива методичної похибки має синусоїдальний характер.

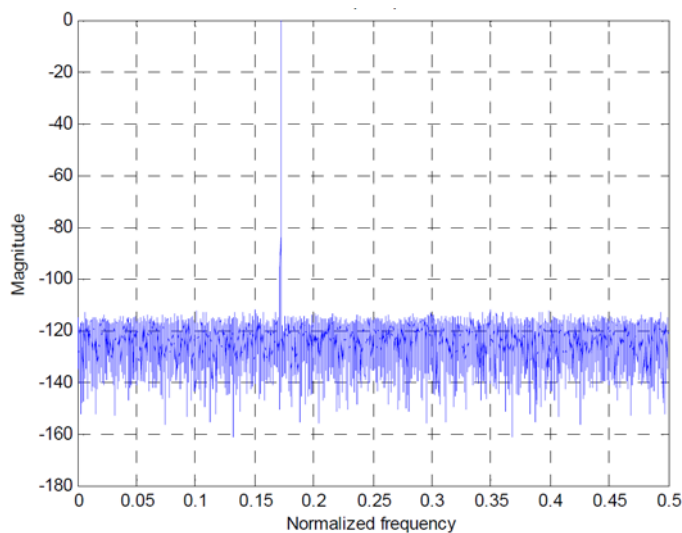


Рис.8. Вихідний спектр синтезованого сигналу

Моделювання проведено у середовищі Xilinx Vivado 2013 із застосуванням мови VHDL. Моделювання проведено для пристрою VIRTEX 5 XC5VFX200T тактова частота якого складає 50 МГц.

Висновки

В роботі показано, що застосування комбінованого методу апроксимації рядами Тейлора та CORDIC є хорошою альтернативою для перспективних цифрових синтезаторів прямого синтезу (DDS). Пропонований метод застосовує апроксимацію Тейлора другого порядку, що дає можливість використати малий обсяг постійного запам'ятовуючого пристрою при значній величині фазового акумулятора. А поділ кута і конверсія CORDIC дає можливість значно зменшити затримки, що виникають у синтезаторах з іншою архітектурою. Порівняння із відомими методами показує на високу максимальну синтезовану частоту даного типу синтезаторів поряд із високим подавленням бічних складових. У перспективі необхідно розглянути оптимізацію такого синтезатора у ASIC мікросхемах, попередній аналіз показує що максимальна робоча частота такого синтезатора може досягти - 600 МГц.

Література

1. Макаренко В. Компоненты для построения беспроводных устройств святы. Часть 7. Синтезаторы частоты прямого цифрового синтеза//Электронные компоненты и системы.-2010.-№1.-С.34-46
2. J.Vankka Direct Digital Synthesizers:Theory, Design and Applications, Helsinki University of Technology, 2000
3. Полікаровських О.І Архітектура прямого цифрового синтезатора частоти для рішень цифрового радіо/Полікаровських О.І. //Вісник Хмельницького національного університету.-2012. Том.3.-С.142-146
4. Yuanwang Yang, Jingye Cai A Novel DDS Structure with Low Phase Noise and spurs/ Yuanwang Yang

// UESTC, Chengdu. – 2011

5. Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han An 800-MHz Low-Power Direct digital Frequency synthesizer With an On-Chip D/A converter/ Byung-Do Yang // IEEE Journal of solid-state circuits, vol.39, №5. – 2004
6. S.W. Mondwurf, 2002. “Versatile COFDM Demodulation Based on the CORDIC-Algorithm”, IEEE Transaction on Consumer Electronics, vol.48 no. 3, pp. 718–723.
7. D.D. Caro and A.G. Strollo, 2005. “High-Performance Direct Digital Frequency Synthesizers Using Piecewise-Polynomial Approximation”. IEEE Transaction on Circuit and Systems. vol.52, no. 2, pp. 324–337.
8. D.A. Sunderland, R.A. Strauch, S.S. Wharfield, H.T. Peterson and C.R. Colc, 1984. “CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communication”. IEEE Journal of Solid-State Circuits, vol.19 no. 4, pp. 497–506.
9. L. Cordesses, 2004. “Direct Digital Synthesis: A Tool for Periodic Wave Generation (Part 1)”, IEEE Signal processing magazine, pp. 49-54.
10. K.A. Essenwanger, V.S. Reinhardt and A. Zarowin, 1998. “Sine output DDSs. A survey of the state of the art”. Proceeding Int. Frequency control symp., pp. 370-378.
11. H.T. Nicholas III and H. Samuelli, 1991. “A 150-MHz direct digital synthesizer in 1.25 μm CMOS with 90-dBc spurious performances”, IEEE Journal of Solid-State Circuits, vol.26 no.12, pp. 1959-1969.
12. G.W. Kent and N.H. Sheng, 1995 “A high purity high speed direct digital synthesizer”. Proceeding Int. Frequency control symp., pp. 207-211.
13. SciTech, 1992. “DDS tutorial”, SciTech Electronics, Inc, San Diego, CA, Tech. Rep. V3.
14. A.M. Eltawil and B. Dancshrad, 2002. “Piece-wise parabolic interpolation for direct digital frequency synthesis”. Proceeding IEEE Custom Integrated circuits, 31, pp. 401–404.
15. J.E. Volder, 1959. “The CORDIC Trigonometric Computing Technique”. IRE Transaction on Electronic Computers, pp. 226-230.
16. A. Madiseti, A.Y. Kwentus and A.N. Wilsson, 1999. “A 100-MHz, 16-b, Direct Digital Frequency Synthesizer with a 100-dBs Spurious-Free Dynamic Range”. IEEE J. Solid-State Circuits, vol.34 no. 8, pp. 1034-1043.
17. E. Antelo, J. Villabla and E.L. Zapata, 2008. “Low-Latency Pipelined 2D and 3D CORDIC Processors”. IEEE Transaction on Computers, vol. 57, no. 3, pp. 404-417.
18. J. Valls, T. Sansaloni, A. P. Pascual, V. Torres and V. Almenar, 2006. “The use of CORDIC in software defined radios: A tutorial” IEEE Communications. Magazine. vol. 44, no. 9, pp. 46–50.
19. Y. Park and N. I. Cho, 2004. “Fixed-point error analysis of CORDIC processor based on the variance propagation formula”. IEEE Transaction Circuits and system I, Reg. Papers, vol. 51, no. 3, pp. 573–584.
20. D. De Caro and A. G. M. Strollo, 2005. “High performance direct digital frequency synthesizers using piecewise polynomial approximation”. IEEE Transaction Circuits and system I, Reg. Papers, vol. 52, no. 2, pp. 324–337.
21. D. De Caro and A. G. M. Strollo, 2005. “High performance direct digital frequency synthesizers in 0.25 μm CMOS using dual-slope approximation”. IEEE Journal Solid-State Circuits, vol. 40, no. 11, pp. 2220–2227.
22. Y. Song and B. Kim, 2004. “Quadrature direct digital frequency synthesizer using interpolation based angle rotation”. IEEE Transaction on Very Large-Scale Integr. (VLSI) Systems, vol. 12, no. 7, pp. 701–710.
23. A.M. Sodagar and G.R. Lahiji, 2001. “A pipelined ROM-less architecture for sine-output direct digital frequency synthesizers using the second-order parabolic approximation”. IEEE Transaction on Circuits and Systems II. vol. 48, no. 9, pp. 850–857.
24. L.S. Jyothis, M. Ghosh, F.F. Dai and R.C. Jaeger, 2006. “A novel DDS using nonlinear ROM addressing with improved compression ratio and quantization noise”. IEEE Transactions on Ultrasonics Ferroelectrics and Frequency Control vol. 53, no. 2, pp. 274–283.
25. W. Wang, Z. Yifang and Y. Yang, 2006. “Efficient wireless Digital Up Converters design using system generator”. International conference on Signal Processing, ICSP, pp 443–446
26. Полікарівських О.І. Реалізація прямого цифрового синтезатора частоти із фазовим ядром на основі суматора у базисі галуа/Полікарівських О.І. //Інформаційні технології.-2013.Том.4.-С.142-146

References

1. Makarenko V. Komponenty dlja postroenija besprovodnyh ustrojstv svjati. Chast' 7. Sintezatory chastoty prjamogo cifrovogo sinteza//Jedektronnye komponenty i sistemy.-2010.-№1.-S.34-46
2. J.Vankka Direct Digital Synthesizers:Theory, Design and Applications, Helsinki University of Technology, 2000
3. Polikarovsk'kih O.I Arhitektura prjamogo cifrovogo sintezatora chastoty dlja rishen' cifrovogo radio/Polikarovsk'kih O.I. //Visnik Hmel'nic'kogo nacional'nogo universitetu. 2012. Issue.3. P.142-1464.
4. Yuanwang Yang, Jingye Cai A Novel DDS Structure with Low Phase Noise and spurs/ Yuanwang Yang // UESTC, Chengdu. – 2011
5. Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han An 800-MHz Low-Power Direct digital Frequency synthesizer With an On-Chip D/A converter/ Byung-Do Yang // IEEE Journal of solid-state circuits, vol.39, №5. – 2004
6. S.W. Mondwurf, 2002. “Versatile COFDM Demodulation Based on the CORDIC-Algorithm”, IEEE Transaction on Consumer Electronics, vol.48 no. 3, pp. 718–723.
7. D.D. Caro and A.G. Strollo, 2005. “High-Performance Direct Digital Frequency Synthesizers Using Piecewise-Polynomial Approximation”. IEEE Transaction on Circuit and Systems. vol.52, no. 2, pp. 324–337.

8. D.A. Sunderland, R.A. Strauch, S.S. Wharfield, H.T. Peterson and C.R. Colc, 1984. "CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communication". IEEE Journal of Solid-State Circuits, vol.19 no. 4, pp. 497–506.
9. L. Cordesses, 2004. "Direct Digital Synthesis: A Tool for Periodic Wave Generation (Part 1)", IEEE Signal processing magazine, pp. 49-54.
10. K.A. Essenwanger, V.S. Reinhardt and A.Zarowin, 1998. "Sine output DDSs. A survey of the state of the art". Proceeding Int. Frequency control symp., pp. 370-378.
11. H.T. Nicholas III and H. Samuelli, 1991. "A 150-MHz direct digital synthesizer in 1.25 mm CMOS with 90-dBc spurious performances", IEEE Journal of Solid-State Circuits, vol.26 no.12, pp. 1959-1969.
12. G.W. Kent and N.H. Sheng, 1995 "A high purity high speed direct digital synthesizer". Proceeding Int. Frequency control symp., pp. 207-211.
13. SciTech, 1992. "DDS tutorial", SciTech Electronics, Inc, San Diego, CA, Tech. Rep. V3.
14. A.M. Eltawil and B. Dancshrad, 2002. "Piece-wise parabolic interpolation for direct digital frequency synthesis". Proceeding IEEE Custom Integrated circuits, 31, pp. 401–404.
15. J.E. Volder, 1959. "The CORDIC Trigonometric Computing Technique". IRE Transaction on Electronic Computers, pp. 226-230.
16. A. Madiseti, A.Y. Kwentus and A.N. Wilsson, 1999. "A 100-MHz, 16-b, Direct Digital Frequency Synthesizer with a 100-dBs Spurious-Free Dynamic Range". IEEE J. Solid-State Circuits, vol.34 no. 8, pp. 1034-1043.
17. E. Antelo, J. Villabla and E.L. Zapata, 2008. "Low-Latency Pipelined 2D and 3D CORDIC Processors". IEEE Transaction on Computers, vol. 57, no. 3, pp. 404-417.
18. J. Valls, T. Sansaloni, A. P. Pascual, V. Torres and V. Almenar, 2006. "The use of CORDIC in software defined radios: A tutorial" IEEE Communications Magazine. vol. 44, no. 9, pp. 46–50.
19. Y. Park and N. I. Cho, 2004. "Fixed-point error analysis of CORDIC processor based on the variance propagation formula". IEEE Transaction Circuits and system I, Reg. Papers, vol. 51, no. 3, pp. 573–584.
20. D. De Caro and A. G. M. Strollo, 2005. "High performance direct digital frequency synthesizers using piecewise polynomial approximation". IEEE Transaction Circuits and system I, Reg. Papers, vol. 52, no. 2, pp. 324–337.
21. D. De Caro and A. G. M. Strollo, 2005. "High performance direct digital frequency synthesizers in 0.25 μm CMOS using dual-slope approximation". IEEE Journal Solid-State Circuits, vol. 40, no. 11, pp. 2220–2227.
22. Y. Song and B. Kim, 2004. "Quadrature direct digital frequency synthesizer using interpolation based angle rotation". IEEE Transaction on Very Large-Scale Integr. (VLSI) Systems, vol. 12, no. 7, pp. 701–710.
23. A.M. Sodagar and G.R. Lahiji, 2001. "A pipelined ROM-less architecture for sine-output direct digital frequency synthesizers using the second-order parabolic approximation". IEEE Transaction on Circuits and Systems II. vol. 48, no. 9, pp. 850–857.
24. L.S. Jyothi, M. Ghosh, F.F. Dai and R.C. Jaeger, 2006. "A novel DDS using nonlinear ROM addressing with improved compression ratio and quantization noise". IEEE Transactions on Ultrasonics Ferroelectrics and Frequency Control vol. 53, no. 2, pp. 274–283.
25. W. Wang, Z. Yifang and Y. Yang, 2006. "Efficient wireless Digital Up Converters design using system generator". International conference on Signal Processing, ICSP, pp 443–446
26. Polikarovs'ky' x O.I. Realizaciya pryamogo cy'frovogo sy'nteatora chastoty' iz fazovy'm yadrom na osnovi sumatora u bazy'si galua/Polikarovs'ky' x O.I. //Informacijni tehnologiyi.-2013.Tom.4.-S.142-146

Рецензія/Peer review : 28.1.2014 р.

Надрукована/Printed :6.2.2014 р.
Рецензент: д.т.н. Троцишин І.В.