

ТЕОРЕТИЧНІ ЗАСАДИ ОРГАНІЗАЦІЇ АСОЦІАТИВНОЇ ПАМ'ЯТІ КОЛЕКТИВНОГО КОРИСТУВАННЯ НА ОСНОВІ ВЕРТИКАЛЬНО-ІНФОРМАЦІЙНОЇ ТЕХНОЛОГІЇ

В роботі розроблені теоретичні засади та принципи організації пам'яті колективного користування на основі вертикально-інформаційної технології із захистом даних від несанкціонованого доступу. Розроблено функціональну і структурну схему пам'яті колективного користування та здійснена її формалізація. Розроблений фрейм, який реалізує ідентифікований доступ до пам'яті колективного користування та розраховані складності ідентифікаційного модуля пам'яті колективного користування.

Ключові слова: вертикально-інформаційна технологія (ВІТ), теоретико-числовий базис (ТЧБ), пам'ять колективного користування (ПКК), комутаційна мережа (КМ), контролер комутаційної мережі (ККМ).

P.V. HUMENNIY

Ternopil national economical university

THEORETICAL FOUNDATIONS OF ASSOCIATIVE MEMORY SHARED BASED IN THE VERTICALLY INFORMATION TECHNOLOGY

Abstract – The aim is to develop a theoretical basis and practical solutions to implement the multi-access memory, which is implemented on the basis of vertical informational technologies in theoretical and numerical basis Galois and implement the identified access allows many users. The paper study the latest achievements in the development of memory modules and memory are the benefits of implementing collective use based on vertical information technology.

The method of memory collective access (MCA) is implementation of its formalization. Realized chart which clearly demonstrates the principle identified access subscriber's n to m memory banks on the basis of vertical information technology in coded Galois basis. The structure of the frame is implements remote memory access and calculated its options regarding the growing number of databases and the length of their addresses. Implemented functional block diagram of memory and collective use and designed-address identification module that protects data placement in memory from unauthorized access. Estimated time complexity authentication and register addressing memory pages shared use. The comparative assessment of collective memory architecture based on the use of information technology vertical relative to the star topologies, which showed increase system performance, continues to increase linearly depending on the increase in the flow of incoming tasks. Given that the number of incoming problems for the structure of the MCA is similar to the number of input channels MCA, the performance of the system will increase linearly. Developed collective memory use, by using code sequences Galois implements a simple scheme where each subscriber of works in "exclusive" mode of the MCA, without conflicts and clashes with other processing elements working.

The theoretical basis and schematic decisions create collective use memory beyond, in the implementation of distributed systems, microprocessor-based vertical information technology in coded Galois basis.

Keywords: vertical information technology (VIT), theoretical and digital basis (TDB), memory collective access (MCA), switching network (SN), switching network controller (SNC).

Вступ. У розвитку сучасних мікропроцесорних та спецпроцесорних систем з кожним роком відбуваються тенденції до вдосконалення. Застосовуються нові нано-технології, збільшується кількість ядер на одному кристалі, зростає розрядність процесора, застосовуються нові набори інструкції та інше. Відповідно до закону Мура, щільність упаковки транзисторів в чіпі процесора і обчислювальна потужність подвоюються кожні два роки. Звідси, підвищення швидкодії буде можливо тільки шляхом переходу від транзисторів до принципово нових компонентів нано-електроніки, або розробки нових науково-технічних рішень. Важливим компонентом процесорів являється пам'ять, яка має визначальний вплив на характеристики обчислювального пристрою. З розвитком процесорів істотні зміни відбулися і в будові пам'яті, значно покращилися їх характеристики, разом з тим виникає потреба у створенні пам'яті з новими властивостями, якими не володіють наявні сучасні типи. Зокрема, під час виконання інтенсивних розподілених обчислень над масивами даних потрібно забезпечувати паралельний доступ до даних з багатьох каналів одночасно, із зчитуванням раніше прийнятих масивів даних для опрацювання в операційних пристроях, тобто паралельно забезпечувати паралельний багатопортовий доступ до пам'яті із забезпеченням захисту від сторонніх впливів.

Постановка проблеми. Більшість розробників при проектуванні мікропроцесорних пристроїв акцентують свою увагу на двійковій системі числення (теоретико-числовий базис Радемахера) [1]. Проте двійкова система числення має певні обмеження: наявність міжрозрядних зв'язків, велика розрядність шин адресу та даних ($n = 32, 64, 128, \dots$), велика кількість зовнішніх зв'язків на ПЛІС [2]. Тому виникає перспектива у дослідженні та ефективному застосуванні інших теоретико-числових базисів, (ТЧБ) зокрема: Хаара, Крестенсона, Унітарного, Галуа [3]. З перелічених базисів особливо перспективним являється ТЧБ Галуа, як основа вертикально-інформаційної технології (ВІТ) [4]. Біт-орієнтовані спецпроцесори на основі вертикально-інформаційної технології потребують високошвидкісної багатопортової пам'яті колективного користування, яка зможе забезпечувати ідентифікований доступ, використовуючи властивості кодів поля Галуа. Виконання цієї функції на існуючих типах пам'яті є доволі складною задачею, а у більшості випадків нерозв'язною з прийнятними характеристиками задачею, що зумовлено їх потенційними обмеженнями [3]. Основною класифікаційною ознакою пам'яті є спосіб доступу до даних, який в ній реалізовано. Ця ознака

задає потенційні можливості стосовно багатопортового паралельного доступу до даних із захистом від несанкціонованого доступу, що забезпечують властивості кодів поля Галуа. Такий доступ не забезпечується жодним з сучасних типів пам'яті, а саме пам'яті з довільним, асоціативним та послідовним доступом. Тому існує потреба у розробці асоціативної багатопортової пам'яті колективного користування із захистом від несанкціонованого доступу на основі вертикально-інформаційної технології для розв'язання задач роботи з великими масивами даних.

Мета роботи. Розробка теоретичних засад та технічних рішень асоціативної багатопортової пам'яті колективного користування із захистом даних від несанкціонованого доступу.

Постановка завдання.

1. Дослідження вертикально-інформаційної технології.
2. Розробка функціональної та структурної схеми пам'яті колективного користування на основі вертикально-інформаційної технології та здійснення її формалізації.
3. Реалізація ідентифікаційно-адресного модуля пам'яті колективного користування та фрейм який реалізує ідентифікований доступ.

Аналіз останніх досліджень та публікацій. У роботах [5, 6] запропоновано принципи та варіанти побудови пам'яті впорядкованого доступу. Як і пам'ять з послідовним доступом, пам'ять із впорядкованим доступом орієнтована на роботу з масивами даних. У цій пам'яті забезпечується доступ до даних у програмно вставленому порядку, тобто індекс, який надходить до пам'яті разом з даними під час їх запису або зчитування позначає місце даних у вихідному масиві. Корпорацією Marvell World Trade Ltd. розроблена багатопортова пам'ять [7], що використовується у мережі та забезпечує приймання/передачу від одного або декількох джерел даних на n комутаційних пристроїв. У роботі [8] запропоновано метод паралельного доступу до пам'яті колективного користування та пристрій, який його реалізує, у якому паралельний доступ M -абонентів до пам'яті колективного користування на основі багатопортової пам'яті здійснюється на основі комутації банків пам'яті та розмежування адресних кодів даних, які одночасно дублюються у багатьох банках пам'яті. Досліджувані типи пам'яті реалізовані на основі двійкової системи числення, характеризуються надлишковістю даних, великою розрядністю адресних шин, що створює труднощі при розведенні контактів пристрою на ПЛІС та неможливістю реалізації захисту даних від несанкціонованого доступу.

Теоретичні засади реалізації багатопортової пам'яті колективного користування на основі ВІТ.

Відома багатопортова пам'ять [8] функціональна схема якої представлена на рис. 1, суть якої полягає у тому, що доступ до даних реалізується на основі системи багатопортової пам'яті, яка має багато вхідних/вихідних портів даних для надання адресу тільки один раз на сторінці.

У банках пам'яті для зберігання даних кожна сторінка зберігається у всіх зазначених банках пам'яті, а зчитування даних виконується сторінка за сторінкою з використанням адресів для можливості розпаралелення введення/виведення даних та розмежування у портах введення/виведення у кожному з банків пам'яті, в тому числі згідно паралельної адресації доступу до всіх даних у межах кожної сторінки та комутаційної мережі, яка з'єднана з вхідними/вихідними даними портів. У банках пам'яті з послідовним перемиканням лінії передачі даних згідно адреси сторінок вибраних портів вводу/виводу, сторінка доступу ініціюється для передачі обраного банку даних вказаних портів введення /виведення інформації.

Недоліком такої багатопортової пам'яті [8] є велика надлишковість інформації, оскільки відбувається дублювання інформації сторінок в усіх банках пам'яті, низька швидкодія, зумовлена необхідністю комутації, оскільки зчитування виконується з затримкою шляхом послідовного з'єднання між портом і кожним банком пам'яті через комутаційну мережу. Такий спосіб не дозволяє реалізувати паралельний запис та одночасне колективне зчитування даних з будь-яких комірок одночасно при великому числі користувачів. Кодування адресів двійковими числами базису Радемахера, приводить до квадратичної складності реалізації способу пристроями з адресними дешифраторами комірок пам'яті. Даний пам'ять має обмежені функціональні можливості і велику апаратну складність адресних дешифраторів при великому числі користувачів.

Другим недоліком даної пам'яті [8] є відсутність захисту від несанкціонованого доступу та введення/виведення даних автентично не ідентифікованим абонентом в окремі банки даних, якими можуть бути поштові скриньки абонентів та конфіденційна інформація.

Звідси запропоновано метод паралельного доступу до пам'яті колективного користування, що базується на принципі [9], який полягає в тому, що у стартовій позиції всім M -абонентам дозволяється введення/виведення даних у будь-якому банку даних з будь-якої адресної зони. У процесі порівняння фреймів запиту, які формуються у вигляді біт-орієнтованих кодів поля Галуа, ідентифікуються автентичні

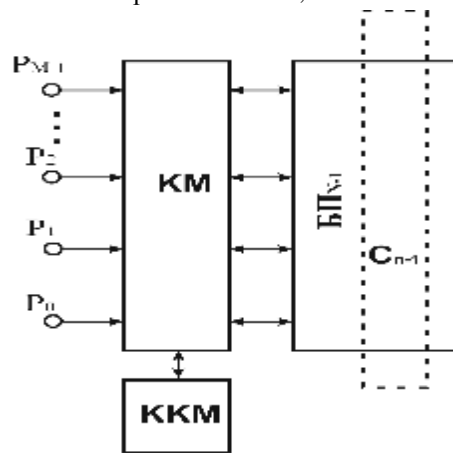


Рис. 1. Функціональна схема відомої багатопортової пам'яті колективного користування:

$P_0 \dots P_{M-1}$ – порти вводу/виводу; КМ – комунікаційна мережа; ККМ – контролер комунікаційної мережі; БП – банки пам'яті; C_{n-1} – сторінки банків пам'яті

коди абонентів, що мають право запису даних у власні абонентські скриньки. Після цього відбувається ідентифікація адресних полів сторінок виводу кожного абонента та паралельний вивід даних усіх банків. При цьому кожен з абонентів паралельно зчитує заповнені адресні масиви даних з будь-якого банку шляхом порівняння адресних кодів з еталонним генератором кодонів Галуа [10].

Функціональна схема розробленої N-банкової пам'яті колективного користування з паралельним доступом M віддалених абонентів показана на рис. 2.

У функціональну схему багатопортової пам'яті входять наступні блоки:

$G_2^{(n)}$ – код поля Галуа; S_x –

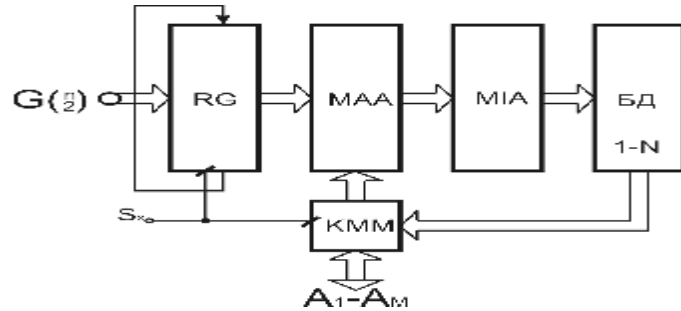


Рис. 2. Функціональна схема багатопортової пам'яті колективного користування паралельним доступом M віддалених абонентів

синхросигнал; RG – реєстр зсуву коду поля Галуа; БД – банки даних; МАА – модуль аутентифікації абонентів, власних скриньок даних у БД; МІА – модуль ідентифікації адресних сторінок банків даних; КММ – комутаційний мережевий мультиплексор; N, M – відповідно число абонентів та банків даних.

Формалізація методу паралельного доступу M-абонентів до пам'яті колективного користування N-банків даних виконується згідно послідовності фреймів:

$$F_0\{W/R, M_i, N_j, D_{e,k}\} \Rightarrow F_1 \Rightarrow F_2 \Rightarrow F_3 \Rightarrow F_4,$$

де W/R – код запиту вводу/виводу M_i -абонента до N_j -банку даних у границях e, k -сторінок;

F_1 – віддалені абоненти A_1-A_n в асинхронному режимі передають коди запитів до ПКК, які накопичуються у буферних реєстрах контролерів комунікаційної мережі;

$F_2\{G_0, G_i, i \in \overline{1, n}\}$ – запис еталонного паралельного $2^n - 1$ розрядного коду поля Галуа та синхронне генерування всіх n-розрядних адресних кодонів Галуа;

$F_3\{A_j, A_{0j}\}$ – аутентифікація дозволу j-го абонента записувати дані у j-й банк даних, який є його абонентською скринькою шляхом порівняння $A_j = A_{0j}$;

$F_4\{D_{K,e}, D_{0K,e}\}$ – ідентифікація границь адресних сторінок виводу даних шляхом порівняння кодів запитів $D_{K,e}$ з еталонними адресними кодами банків даних $D_{0K,e}$.

На рис. 3 показана часова діаграма способу паралельного доступу до M-абонентів пам'яті колективного користування, який реалізує запропонований метод.

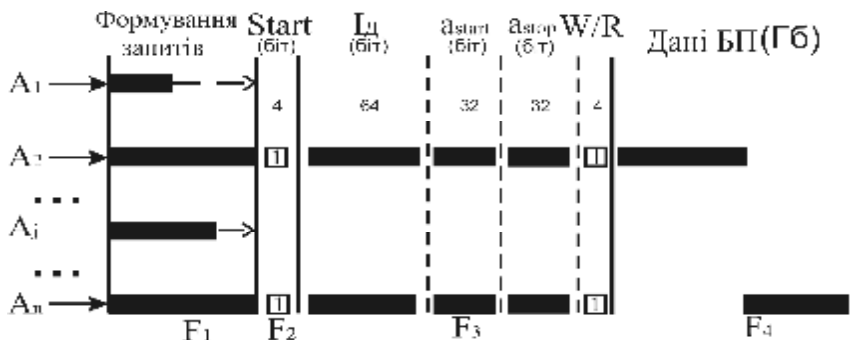


Рис. 3. Діаграма реалізації доступу до пам'яті колективного користування

Розроблена структура фрейму абонента для дистанційного доступу до ПКК (рис. 4).



Рис. 4. Фрейм абонента для дистанційного доступу до ПКК

У структуру фрейму дистанційного доступу до ПКК входять наступні модулі:

$A_{БП}$ – адрес банку пам'яті A_j абонента, до якого сформований запит;

I_D – таємний ідентифікаційний код A_j абонента занесений в реєстр банку пам'яті адміністратором ПКК по адміністративній шині;

a_{start}, a_{stop} – відповідно адресні коди діапазону сторінок вводу/виводу даних, які формуються контролером буферного реєстра абонента і порівнюються з кодами адресного генератора Галуа [11];

W/R – біт запиту для введення/виведення даних.

Розраховані параметри фрейму залежно від числа абонентів – m, числа банків – n, а також розрядності аутентифікаційного коду та об'єму даних у банках (A_{max}). Коли $A_{БП} = \log_2 2n$, де n = 16, 64, 256, 1024, та відповідно $A_{БП} = 4, 6, 8, 10$ біт. Таємний ключ ідентифікації рівний $I_D = 64$ біти. Значення a_{start}, a_{stop} рівні об'єму банків даних:

1ГБ=32*2=64 біт;

2ГБ=33*2=66 біт;

4ГБ=34*2=68 біт;

8ГБ=35*2=70 біт.

Значення запису/читання $W/R=4$ біт.

Звідси довжина фрейму залежно від об'єму банків розраховується згідно виразу:
 $\Phi = A_{БП} + I_D + a_{start} + a_{stop} + W/R$ (представлена на рис. 5). Розраховуємо значення довжини фрейму залежно від об'єму банків пам'яті:

$\Phi = 4 + 64 + 64 + 4 = 136$ біт, при кількості банків $n=16$;

$\Phi = 4 + 64 + 66 + 4 = 138$ біт, при кількості банків $n=64$;

$\Phi = 4 + 64 + 68 + 4 = 140$ біт, при кількості банків $n=256$;

$\Phi = 4 + 64 + 70 + 4 = 142$ біт, при кількості банків

$n=1024$.

На рис. 5 представлена діаграма розрахунку довжини фрейму у залежності від кількості банків пам'яті.

Розраховуємо довжину фрейму у залежності від довжини адреси банків пам'яті:

$\Phi = 4 + 64 + 64 + 4 = 136$;

$\Phi = 6 + 64 + 66 + 4 = 140$;

$\Phi = 8 + 64 + 68 + 4 = 144$;

$\Phi = 10 + 64 + 70 + 4 = 148$.

На рис. 6 представлена діаграма розрахунку довжини фрейму залежно від довжини адреси банків пам'яті:

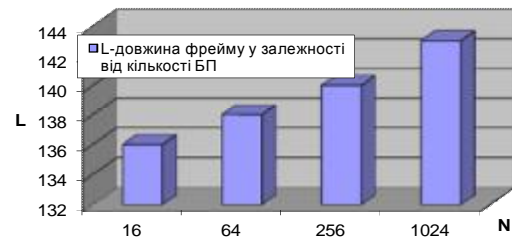


Рис. 5. Довжина фрейму у залежності від кількості банків даних.

L – довжина фрейму, N – кількість банків даних



Рис. 6. Довжина фрейму у залежності від довжини адреси банків пам'яті

Розрахунок часової складності тривалості запитів до контролера комутаційної мережі (ККМ):

$$t_1 = 2n * \Phi + 6n, \quad (1)$$

де $2n$ – час спрацювання D-тригера регістра зсуву;

Φ – довжина фрейму;

$6n$ – час спрацювання двонаправленого тристабільного ключа.

На рис. 7 представлена діаграма часової складності тривалості запитів до контролера комунікаційної мережі.

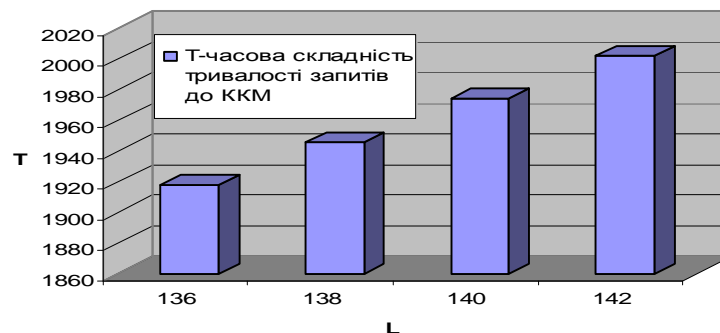


Рис. 7. Діаграма часової складності тривалості запитів до контролера комунікаційної мережі

На рис. 8 показана діаграма залежності часової складності тривалості запитів до контролера комунікаційної мережі у залежності від кількості банків і довжини банків у фреймі.

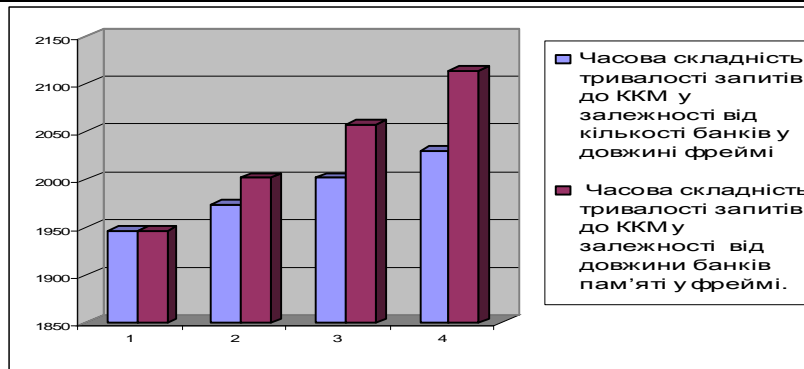


Рис. 8. Діаграма залежності часової складності тривалості запитів до контролера комунікаційної мережі від кількості банків і довжини банків даних

Розрахунок часової складності регістра еталонного коду Галуа розраховується згідно формули:

$$t_2 = 2n_M + 2n_T, \tag{2}$$

де $2n_M + 2n_T$ – час спрацювання мультиплексора та D-тригера регістра.

Часова складність регістра аутентифікації t_3 розраховується згідно формули:

$$t_3 = 2n_M + 2n_T + 2n_X + 2n_I + \ln + (64 * 2) + 12n_{PX} + 2n_T, \tag{3}$$

де $2n_M$ – час затримки на мультиплексорі введення еталонного коду Галуа; $2n_T$ – час затримки на D-тригері еталонного коду;

$2n_X$ – час затримки на логічному елементі “XOR”; \ln – час затримки на логічному елементі “I”;

$(64 * 2)$ – час затримки на регістрі аутентифікації;

$12n_{PX}$ – час затримки на паралельному елементі “XOR”.

На рис. 9 на діаграмі показана часова складність t_3 регістра аутентифікації та час затримки його базових компонентів.

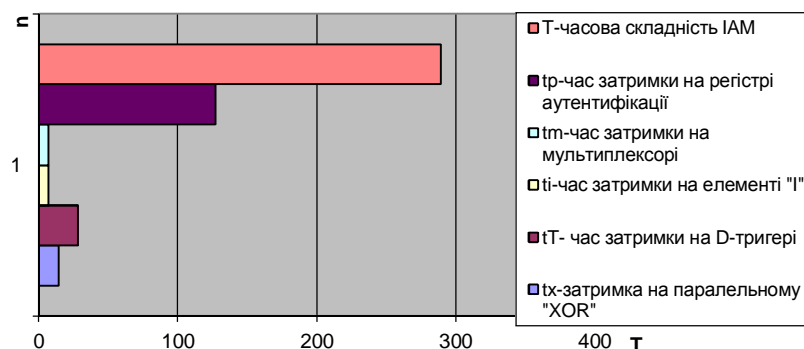


Рис. 9. Діаграма часової складності регістра аутентифікації та його компонентів

Часова складність адресації сторінок пам'яті t_4 розраховується для банків пам'яті об'ємом 1–8 ГБ згідно формули (4):

$$t_4 = \ln_I + (2n * A_{start}) + (2n * A_{stop}) + (12n * 2) + 2n_t + (2n * 3) + t_{БП}, \tag{4}$$

де \ln_I – час затримки на логічному елементі “I”;

$(2n * A_{start}) + (2n * A_{stop})$ – час затримки на адресі стартового і стопового біта; $12n$ – час затримки на паралельному елементі “XOR”;

$2n_t$ – час спрацювання D-тригера;

$2n * 3$ – час затримки на тристабільному елементі;

$t_{БП}$ – час зчитування всього банку пам'яті з флешки.

На рис. 10 показана складність адресації сторінок пам'яті t_4 розраховується для банків пам'яті об'ємом 1–8 ГБ:



Рис. 10. Діаграма часової складності адресації сторінок пам'яті

Паралельний доступ до пам'яті колективного користування виконується шляхом кодування ідентифікаційної, службової та адресної інформації користувачів кодами поля Галуа [12], що дозволяє здійснити паралельний запис даних в абонентські поштові скриньки багатопортової пам'яті, а також здійснити одночасне паралельне зчитування з будь-якого адресованого масиву сторінки даних багатопортової пам'яті колективного користування (рис. 11).

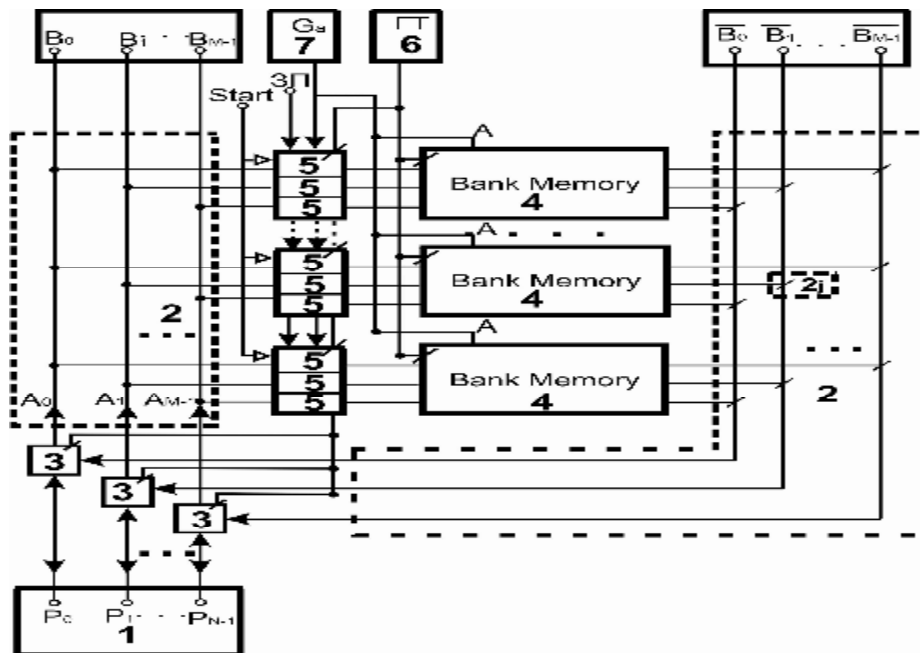


Рис. 11. Структура ПКК на основі ВІТ:

- 1 – порти вводу/виводу ПКК; 2 – комутаційна мережа; 3 – контролери комутаційної мережі;
4 – банки пам'яті; 5 – ідентифікаційно адресні модулі абонентів; 6 – генератор імпульсів синхронізації;
7 – Галуа кодонний адресний генератор банків пам'яті

Суть розробленого пристрою пояснюється тим, що на початку циклу доступу до ПКК, багатопортовий адресний дешифратор Галуа паралельно генерує всі еталонні ідентифікаційні коди, попередньо внесені через адміністративну шину в адреси абонентських скриньок вводу даних у кільцеві регістри, які порівнюються шляхом логічної операції "XOR" з кодами запитів обслуговування всіх абонентів. При цьому абонентам надається дозвіл запису даних у власну абонентську скриньку та дозвіл зчитування з будь-якого замовленого адресного простору пам'яті колективного користування під час співпадіння адресів замовлених сторінок з кодами сторінкового генератора Галуа (рис. 12).

Метод паралельного доступу великого числа абонентів здійснюється наступним чином через порти вводу/виводу – 1 ПКК (рис. 11) кожен з $M-1$ абонентів асинхронно вводить в регістр контролера комутаційної мережі – 3 код запиту, згідно представлені структури фрейму у підрозділі 3.2. По сигналу *Start* у кожному з банків пам'яті всі з виходів мультиплексора – 5.1 на D-тригер (T_{AM}) – 5.2 зчитується адресний біт коду Галуа G_i , а всі інші тригери, включаючи тригери регістрів 5.6, 5.11, 5.12, 5.14, 5.15, скидаються в "0" і запускається робота генератора імпульсів синхронізації – 6, при цьому, синхронно тактуються зсуви в регістрах контролера комутаційної мережі – 3 та зсуви адресного регістра на D-тригер (T_{AM}) – 5.2, у результаті на виході елемента "XOR" – 5.3 порівнюються адресні кодини Галуа номерів банків пам'яті з бітами адресів, вибраних A_i абонентами, у випадку, коли ці коди співпадають, то у відповідному банку пам'яті – 4 тригер (T_{A_i}) – 5.4 залишається в стані "0", інверсний вихід якого дозволяє подальше зчитування ідентифікаційних кодів абонента сигналом дозволу з логічного елемента "T" – 5.5. В разі неспівпадіння цих кодів тригер – 5.4 по S-входу з виходу елемента "XOR" – 5.3 переключиться в стан "1", що призводить до заборони доступу даного абонента до цього банку пам'яті. При співпадінні кодів

абонента і адресного генератора Галуа – 7 виконується порівняння на схемі – 5.8 ідентифікаційного автентичного коду абонента з регістра – 5.6 з його еталоном, записаним в кільцевому регістрі – 5.7, у випадку співпадіння цього коду з ідентифікаційним кодом абонента на виході схеми порівняння – 5.8 в одиничний стан встановлюється тригер – 5.9, який через логічний елемент “Г” – 5.10 дозволяє ввід адресної інформації діапазону сторінок $a_{start}-a_{stop}$ до відповідних банків пам’яті, а всім іншим абонентам забороняє вивід інформації з заданого банку пам’яті Після вводу адресної інформації сторінок банку пам’яті в регістрах 5.6-5.7 і установки тригера – 5.9 у відповідний стан виводу стартує Галуа кодонний адресний генератор (G_a) – 7 банків пам’яті. У процесі генерації вказаних адресів відбувається порівняння кодонів Галуа з адресами сторінок, записаних у регістрах 5.11, 5.12, у схемі порівняння – 5.13 та у регістрах – 5.14, 5.15 у схемі порівняння – 5.16. У результаті під час співпадіння стартових адресів у регістрах – 5.11, 5.12 на виходах схеми порівняння – 5.13, а також порівняння – 5.14, 5.15 на виходах схеми порівняння – 5.16 формуються імпульси, які встановлюють тригер – 5.17 у відповідний стан “1” та “0”, що забезпечує зчитування відповідного абонента керованих ключів – 2; комунікаційної мережі – 2 і вивід замовленого масиву даних через контролер – 3 комунікаційної мережі відповідним абонентам.

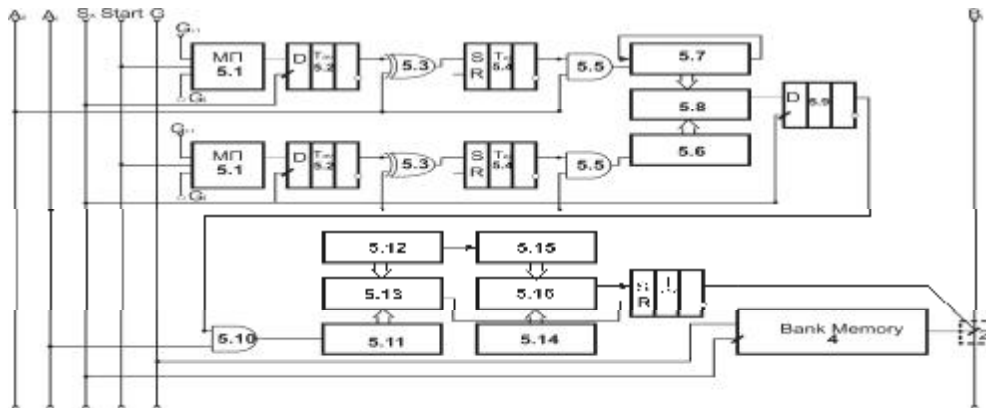


Рис. 12. Ідентифікаційний адресний модуль абонента:
 5.1 – мультиплексор; 5.2, 5.4, 5.9, 5.17 – тригери; 5.5, 5.10 – логічний елемент “Г”; 5.3 – логічний елемент “XOR”;
 5.7 – кільцевий регістр; 5.8, 5.13, 5.16 – схеми порівняння

Таким чином, забезпечується здійснення паралельного доступу до пам’яті колективного користування великого числа користувачів шляхом надання можливості паралельного вводу інформації у власні абонентські скриньки та паралельного виводу абонентом з будь-якого адресного простору пам’яті колективного користування.

Для аналізу запропонованої структури розглядалися параметри продуктивності і часу відповіді системи обробки інформації (СОІ), які найбільш повно і точно визначають можливості системи при обробці відповідної кількості вхідних задач.

Продуктивність оцінюється кількістю задач, що вирішує система за одиницю часу [13]:

$$I = \frac{n}{t}, \tag{5}$$

де n – кількість задач, що обробляється системою за час t .

Якщо позначити інтенсивність вхідного потоку задач системи, як Λ , то залежність продуктивності системи від Λ , при врахуванні кількості вхідних задач, або послідовних інформаційних каналів для різних топологій процесорів, може бути розрахована згідно (5). На рис. 13 показано порівняння характеристик продуктивності у залежності від топології та інтенсивності процедур запису/читання. В області $0 \leq \Lambda \leq \lambda^x$ інтенсивність вихідного потоку повністю визначається інтенсивністю вхідного потоку: $\lambda = \Lambda$. При $\Lambda > \lambda^x$ система із-за обмеженості ресурсів (кількості і швидкодії пристроїв, а також об’єму пам’яті) не може протягом одиниці часу обслуговувати всі надіслані на обробку завдання. В результаті інтенсивність вихідного потоку λ , досягнувши крайнього значення λ^x , надалі залишається постійною при будь-яких значеннях $\Lambda > \lambda^x$. Значення λ^x визначає максимальну продуктивність системи для заданого класу задач і є характеристикою самої системи, яка не залежить від інтенсивності вхідного потоку задач (рис. 14).

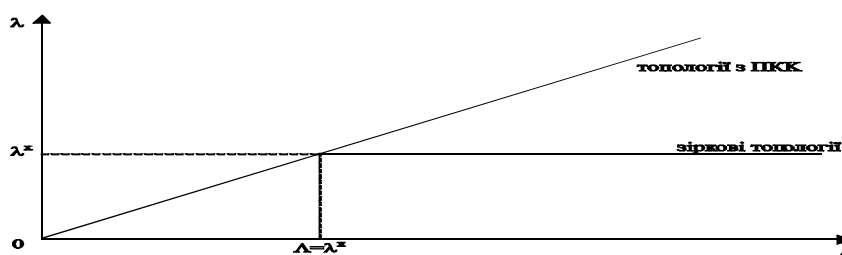


Рис. 13. Залежність продуктивності систем від інтенсивності вхідного потоку задач

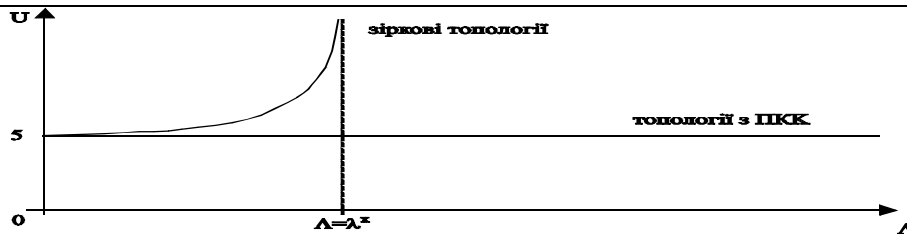


Рис. 14. Залежність часу відповіді системи від інтенсивності вхідного потоку задач

Для запропонованої ПКК такого обмеження не існує, що демонструють рис. 11. та рис. 12.

До значення $\Lambda = \lambda^x$ вплив інтенсивності вхідного потоку задач на продуктивність аналогічний вище розглянутим системам. При значеннях $\Lambda \geq \lambda^x$ продуктивність системи продовжує зростати за тим же самим законом, в залежності від збільшення потоку вхідних задач. Враховуючи, що кількість вхідних задач для структури з ПКК аналогічна кількості вхідних каналів в ПКК, продуктивність такої системи зростатиме лінійно в усьому діапазоні $0 \leq \Lambda \leq \infty$. Таке явище пояснюється тим, що за рахунок схемної реалізації кожний абонент працює в "монопольному" режимі із ПКК, без конфліктів і зіткнень з іншими працюючими процесорними елементами.

Час відповіді процесора, як випадкова величина, найбільш повно характеризується функцією розподілу $P(u < x)$ або функцією щільності імовірності $p(u)$ [14]. Здебільшого час відповіді оцінюється середнім значенням, яке визначається як статистичне середнє випадкової величини u_i $i=1, 2, \dots, n$ для кожної поточної задачі

$$U = \frac{1}{2} \sum_{i=1}^n u_i. \quad (6)$$

Час відповіді складається з двох частин: часу виконання задачі і часу очікування. Час виконання задачі при відсутності паралельних процесів дорівнює сумарній довжині всіх етапів процесу (введення, звертання до зовнішньої пам'яті, процесорної обробки, виведення). Час виконання задачі залежить від складності обчислень $\Delta_1, \Delta_2, \dots, \Delta_n$ і швидкодії V_1, V_2, \dots, V_n пристроїв $1, 2, \dots, N$

$$d = \sum_{i=1}^N \Delta_i / V_i. \quad (7)$$

Час очікування – це сума відрізків часу, протягом яких задача чи канал знаходилися в стані очікування необхідних ресурсів. Очікування виникає при мультипрограмній обробці, коли ресурс, який потрібний для вирішення однієї задачі, зайнятий іншою задачею, і перша задача не виконується, очікуючи звільнення ресурсу. Цей режим аналогічний режиму багатоканального мережевого доступу до загальносистемного ресурсу. Розглянемо залежність середнього часу відповіді процесора U від інтенсивності вхідного потоку задач Λ [15]. При $\Lambda > 0$ час відповіді $U = \delta$, де δ – визначається з формули (7). Із збільшенням Λ середній час відповіді монотонно зростає і може приймати достатньо велике значення, якщо інтенсивність вхідного потоку перевищує продуктивність процесора λ^x ($\Lambda > \lambda^x$) протягом великого періоду часу.

Висновок. При використанні ПКК з постійним зростанням кількості вхідних задач чи кількості вхідних процесорних елементів, що спілкуються з ПКК, час відповіді процесора не змінюється і завжди залишається постійним на рівні $U = \delta$. Таким чином, як показав аналіз, продуктивність і час відповіді системи, в першу чергу, залежать від структури і технічних характеристик загальносистемних ресурсів. Проте, на значення продуктивності і часу відповіді процесора не другорядним чином впливають засоби, що забезпечують доступ процесора до загальних ресурсів. Звідси пам'ять колективного користування забезпечує реалізацію багатопортового доступу із захистом даних від несанкціонованого доступу та подальші перспективи реалізації такої пам'яті засобами ПЛІС.

Література

1. Николайчук Я. М. Вертикальна інформаційна технологія в базисі Галуа – новий напрямок у розвитку комп'ютерних машин / Я.М. Николайчук, Р.І. Король. – Львів : ССУ'2000, 2000. – С. 23–26.
2. Николайчук Я.М. Коды поля Галуа / Я.М. Николайчук. – Тернопіль : ТзОВ «Тернограф», 2012. – 576 с.
3. Гуменний П.В. Принципи організації пам'яті на основі вертикально-інформаційної технології / П.В. Гуменний // Вісник національного університету "Львівська політехніка". Комп'ютерні системи та мережі. – 2010. – № 688. – С. 90–95.
4. Патент на корисну модель № 83756 Україна, МПК G06F 1/00. Спосіб паралельного доступу до пам'яті колективного користування / Я.М. Николайчук, П.В. Гуменний. – опуб. 25.09.2013, бюл. № 18.
5. Мельник А.О Паралельна пам'ять зі впорядкованим доступом: застосування та варіанти побудови / А.О. Мельник // Радіоелектронні і комп'ютерні системи. – 2012. – № 7(59). – С. 119–124.

6. Мельник А.О. Структура організації пам'яті з впорядкованим доступом на основі налаштованих сортувальних мереж / А.О. Мельник // Інформатика та обчислювальна техніка. ВМУРОЛ. – 2011. – С. 34–36.
7. Patent № US8688877 B1 (USA) Multiport memory architecture/ Winston Lee, Sehat Sutardja, Donald Pannell: Marvell World Trade Ltd. 1 Apr 2014. Appl № 13/716,481.
8. Patent № US4930066 A (USA) Multiport memory system / Haruo Yokota - Marvell World Trade Ltd. 29 May, 1990. Appl № 07/344,507.
9. Николайчук Я.М. Теоретичні засади та принципи побудови арифметико-логічного пристрою на основі вертикально-інформаційної технології / Я. М. Николайчук, О. М. Заставний, П. В. Гуменний // Вісник Хмельницького національного університету. – 2012. – № 2. – С. 190–196.
10. Николайчук Я.М. Дослідження архітектури комп'ютерів: принципи побудови процесорів на основі вертикально-інформаційної технології / Я.М. Николайчук, П.В. Гуменний // Поступ в науку : збірник наукових праць Буцацького інституту менеджменту і аудиту. – 2009. – № 5. – С. 69–73.
11. Humennyi P. Research of memory devices: the principles of memory organization based on vertical-informatin technology. Proceedings of the 4-th International conference “Advanced Computer Systems and Networks: Design and Application” (ACSN-2009). Lviv. 2009. P. 296-298.
12. Гуменний П.В. Структура та системні характеристики багатопортової ПКД на основі вертикально-інформаційної технології у базисі Галуа / П.В. Гуменний // Поступ в науку : збірник наукових праць Буцацького інституту менеджменту і аудиту. – 2010. – № 6, Том 1. – С. 71–75.
13. J.-W. Lee, C.-Y. Meher, P. K. Patra. Concurrent Error Detection in Bit-Serial normal Basis Multiplication Over $GF(2^m)$. Using Multiple Parity Prediction Schemes in Large Scale Integration (VLSI) Systems, IEEE Transactions on Very Large Scale integration (VLSI) Systems: 2009-08-25.
14. L.-L. Yang, L. Hanzo. Performance analysis of coded M-array orthogonal signaling using errors-and-erasures decoding over frequency-selective fading channels. IEEE J. Select. Areas Community. 2001. Vol. 19. P. 211-221.
15. Николайчук Я. М. Основи побудови обчислювальних систем на базі вертикальної інформаційної технології / Я. М. Николайчук // Тези науково-практичної конференції професорсько-викладацького складу. Івано-Франківськ. – 1999. – С. 90–92.

References

1. Nykolaichuk Ya. M., R.I. Korol. Vertical information technology in the base Galois - a new direction in development of computer machines. Lviv: CCU'2000, 2000, P. 23-26.
2. Nykolaichuk Ya. M. Galois field codes. Ltd. "Ternohraf", Ternopil, 2012. 576 P.
3. Humennyi P.V. The principles of memory-based vertical information technology. Journal of National University "Lviv Polytechnic", "Computer Systems and Networks". 2010. № 688. P. 90-95.
4. Patent for utility model. Number 83 756 (UK), IPC G06F 1/00. A method of parallel memory access shared use, Ya. M. Nykolaichuk, P. V. Humennyi, pub. 09.25.2013, Bull. №18.
5. Meljnyk A. O. parallel with memory access orderly: applications and variants of. Radio electronic and computer systems. 2012. №7 (59). P.119-124.
6. Meljnyk A. O. Structure of memory ordered based access customized sorting networks. Informatics and Computer Science. VMUROL, 2011. P. 34-36.
7. Patent № US8688877 B1 (USA) Multiport memory architecture/ Winston Lee, Sehat Sutardja, Donald Pannell: Marvell World Trade Ltd. 1 Apr 2014. Appl № 13/716,481.
8. Patent № US4930066 A (USA) Multiport memory system / Haruo Yokota - Marvell World Trade Ltd. 29 May, 1990. Appl № 07/344,507.
9. Nykolaychuk Y.M., Humennyi P.V. Theoretical foundations and principles of arithmetic logic unit based on information technology vertical, Bull. of the Khmelnytsky National University. 2012. № 2, pp.190-196.
10. Nykolaichuk Ya.M., P. V. Humennyi Investigation of computer architecture: principles of processors based on vertical information technology, progress in science. Collected Works Buchatsky Institute of Management and Auditing. 2009. № 5. P. 69-73.
11. Humennyi P. Research of memory devices: the principles of memory organization based on vertical-informatin technology. Proceedings of the 4-th International conference “Advanced Computer Systems and Networks: Design and Application” (ACSN-2009). Lviv. 2009. P. 296-298.
12. Humennyi P.V. Structure and properties of multiport system PKD from vertical information technology in the basis of Galois /P. V. Humennyi // progress in science. Collected Works Buchatsky Institute of Management and audytu. 2010. № 6, Volume 1. P.71-75.
13. J.-W. Lee, C.-Y. Meher, P. K. Patra. Concurrent Error Detection in Bit-Serial normal Basis Multiplication Over $GF(2^m)$. Using Multiple Parity Prediction Schemes in Large Scale Integration (VLSI) Systems, IEEE Transactions on Very Large Scale integration (VLSI) Systems: 2009-08-25.
14. L.-L. Yang, L. Hanzo. Performance analysis of coded M-array orthogonal signaling using errors-and-erasures decoding over frequency-selective fading channels. IEEE J. Select. Areas Community. 2001. Vol. 19. P. 211-221.
15. Nykolaichuk Ya. M. Fundamentals of computing systems based on vertical information technology. Abstracts of scientific conference of the faculty. Ivano-Frankivsk. 1999. P. 90-92.

Рецензія/Peer review : 17.6.2015 р.

Надрукована/Printed : 30.8.2015 р.

Рецензент: д.т.н., професор Я.М. Николайчук