

ПРИСТРІЙ ДЛЯ ЧИТАННЯ-ЗАПИСУ ІНФОРМАЦІЇ ЕНЕРГОНЕЗАЛЕЖНОЇ КОМІРКИ ПАМ'ЯТІ НА БАЗІ ХАЛЬКОГЕНІДНОГО СКЛОПОДІБНОГО НАПІВПРОВІДНИКА

Розглянуто стан і проблеми розвитку енергонезалежних цифрових пристроїв зберігання інформації на базі халькогенідного склоподібного напівпровідника. Запропоновано нову структурну схему пристрою для читання/запису інформації комірки пам'яті на базі халькогенідного склоподібного напівпровідника, в яку додатково введено блок перевірки даних, що дозволить підвищити надійність та радіаційну стійкість цифрових пристроїв зберігання інформації.

Ключові слова: цифрова пам'ять, халькогенідний склоподібний напівпровідник, структурна схема.

I.V. SLOBODIAN

Vinnitsia National Technical University, Ukraine

READER-WRITER OF DATA OF NON VOLATILE MEMORY CELLS BASED ON CHALCOGENIDE GLASSY SEMICONDUCTORS

Abstract – The aim of the research – to improve the reliability and radiation hardness of digital storage devices by creating a new scheme of read-write storage elements based on chalcogenide glassy semiconductor (CGS).

Under the simplest variant of the existing design of the device, nonvolatile memory includes a storage element, ie memory cell (MC) on the basis CGS, circuit of control programmable data, circuit of limiter voltage, current-to-voltage converter and buffer circuit. Limiter voltage controls the voltage MC not allowing exceed maximum values during the operation of reading. Current-to-voltage converter, which in turn is connected to a circuit of limiter voltage converts the current pulse of reading in the MC voltage pulse. The buffer circuit provides the definition of phase state of MC, that logic zero or one, by sensing the pulse voltage coming from the converter.

In this new design of scheme of device introduced additional a block of control programmable data of storage element, which connected to the scheme of limiting voltage and to MC on the basis CGS, allows to control current phase state of the MC based on CGS (logical "0" or "1") in transactions programming (read / write) by measuring the exact value of the current after application of the reference voltage several hundred millivolts. This approach allows to detect an error and establish its cause. The reason for failure can be defect programming of the storage element or an error of the amplifier. Also, application of the reference voltage initiates the process of to-crystallization of material of CHF that allows to fix crystalline state in the storage element and this increases the stability of the device.

Thus, new design of device for reading and writing data of memory cell which based on chalcogenide glassy semiconductors allows provide enhanced functionality of the device, its reliability and accuracy of transactions read-write.

Keywords: digital memory, chalcogenide glassy semiconductor, block diagram.

Вступ

Принцип використання матеріалів для електронної пам'яті, що стирається і записується під дією електричних сигналів, при цьому змінюючи фазовий стан даного матеріалу є давно відомим. Такі фазозмінні матеріали можуть перемикатися під дією електричного струму між першим фазовим станом, у якому матеріал є аморфним і другим, де матеріал, як правило, є кристалічним. Матеріал з таким фазовим переходом проявляє різні електричні властивості залежно від його стану. Наприклад, в аморфному стані, фазозмінний матеріал виявляє низьку електричну провідність, на противагу до кристалічного стану. Матеріал з фазовим переходом може перемикаватися між різними визначеними електричними станами згідно локального порядку по всьому спектру значень в діапазоні від повністю аморфного стану до повністю кристалічного. Іншими словами, перемикання станів фазозмінних матеріалів не обмежується або повністю аморфним, або повністю кристалічним станами, а поетапними кроками, забезпечуючи "сіру шкалу", яка представлена безліччю станів локального порядку, що охоплює спектр від повністю аморфного стану до повністю кристалічного [1].

Запам'ятовуючий матеріал комірки пам'яті (КП), що є монолітною, однорідною структурою, сформованою з халькогенідних матеріалів, що містять хімічні елементи: телур (Te), селен (Se), сурма (Sb), нікель (Ni), і германій (Ge). Використання таких хімічних елементів зводить до мінімуму радіаційну та електромагнітну залежність КП на базі халькогенідного склоподібного напівпровідника (ХСН). Такий пристрій може перемикаватися між двома різними фазовими станами провідності за наносекунди у відповідь на прикладення невеликої кількості електричної енергії вимірюваної пікоджоулями. Досліди показують, що вплив жорсткого електромагнітного випромінювання наближеного до космічного практично не вносять змін до фазового стану КП. Також даний тип пам'яті дійсно енергонезалежний і може зберігати інформацію без необхідності періодичного її оновлення, як, наприклад, у flash-технології. Більш того, записана інформація зберігається навіть при відключенні живлення безпосередньо від КП на базі ХСН [2].

Аналіз досліджень та публікацій

Відомий пристрій статичної оперативної пам'яті (SRAM), складається із лінії команд перемикавання, що з'єднана з елементом зберігання, який в свою чергу з'єднаний з підсилювачем зчитування. Лінія команд перемикавання управляє вхідною і вихідною інформацією елемента зберігання. Елемент зберігання виготовлений з перехресно-з'єднаних перетворювачів, як це добре відомо фахівцям в даній області. Під час

операції запису, лінія команд перемикачів переходить на відповідний рівень сигналу, щоб дозволити запис інформації в елемент зберігання. Операція читання даних із елемента зберігання здійснюється через підсилювач зчитування [3].

Пристрій халькогенідної оперативної пам'яті (CRAM) включає в себе перемикач командної шини, халькогенідний елемент зберігання, лінію команд перемикачів розрядної шини, обмежувач напруги, дзеркало струму, перетворювач струм-напруга і буфер. Халькогенідний елемент зберігання (ХЕЗ) інформації включає в себе комірку пам'яті (КП), виконану із матеріалу, що містить халькогенідні хімічні елементи, вибрані з груп телуру (Te), селену (Se), сурми (Sb) і германію (Ge) [4].

Виділення невіршених частин

Основними недоліком вищеописаного пристрою пам'яті типу SRAM, що обмежує його надійність є те, що інформація записана в елемент зберігання буде втрачена, якщо подача електричної енергії на весь пристрій перерветься хоча б на мить. Недоліком пам'яті типу CRAM є обмежені функціональні можливості пристрою, так як неможливо відрізнити помилку зчитування інформації з КП (дефект підсилювача зчитування) від дефекту самої КП та відсутність операції перевірки записаної або зчитаної інформації у КП, що створює необхідність додатково вводити в структуру пристрою блок контролю даних.

Формулювання цілей

В основу дослідження поставлена задача створення пристрою для читання/запису інформації енергонезалежної КП на базі ХСН, у якому за рахунок спрощення загальної структури та введення нових елементів і зв'язків розширюються функціональні можливості, підвищується надійність та радіаційна стійкість пристрою.

Поставлена задача вирішується тим, що в пристрій для читання/запису інформації енергонезалежної КП на базі ХСН, який містить ХЕЗ, обмежувач напруги, перетворювач струм-напруга, буфер, введено вхід дозволу запису, вхід стовпця адрес запису, вхід введення інформації, блок управління записом, блок живлення, вхід рядка адрес, вхід лічильника, декодер рядків, рядково-пропускний польовий n-канальний транзистор, блок контролю даних, що містить підсилювач зчитування і електронно-керовані ключі програмування, читання, запису, часу, лічильника та обмеження напруги, вихід виведення інформації, блок управління зчитуванням, вхід дозволу зчитування та вхід стовпця адрес зчитування.

Основна частина

На рисунку 1 подано структурну схему пристрою для читання/запису інформації енергонезалежної КП на базі ХСН. Пристрій для читання/запису інформації енергонезалежної КП на базі ХСН містить вхід дозволу запису 1, вхід стовпця адрес запису 2, вхід введення інформації 3, блок управління записом 4, блок живлення 5, ХЕЗ 10, вхід рядка адрес 13, вхід лічильника 14, декодер рядків 15, рядково-пропускний польовий n-канальний транзистор 16, блок контролю даних 9, що містить підсилювач зчитування 12 і електронно-керовані ключі програмування 6, читання 7, запису 8, часу 11, лічильника 17 та обмеження напруги 18, перетворювач струм-напруга 19, буфер 20, вихід виведення інформації 21, обмежувач напруги 22, блок управління зчитуванням 23, вхід дозволу зчитування 24 та вхід стовпця адрес зчитування 25, причому вхід дозволу запису 1, вхід стовпця адрес запису 2 та вхід введення інформації 3, з'єднані із входом блока управління записом 4, вихід якого з'єднаний із входом блока живлення 5, вихід якого з'єднаний із входом ХЕЗ 10, вхід рядка адрес 13 та вхід лічильника 14 з'єднані із входом декодера рядків 15, вихід якого з'єднаний із затвором рядково-пропускного транзистора 16, виток якого з'єднаний із землею, а сток із виходом ХЕЗ 10, вхід підсилювача зчитування 12 з'єднаний із виходом електронно-керованого ключа часу 11, вхід якого з'єднаний із виходом ХЕЗ 10, також вхід електронно-керованого ключа часу 11 з'єднаний із входом електронно-керованого ключа програмування 6, вихід якого з'єднаний із входом електронно-керованого ключа читання 7 та із входом електронно-керованого ключа запису 8, виходи яких з'єднані із виходом електронно-керованого ключа обмеження напруги 18 та із входом перетворювача струм-напруга 19, вихід якого з'єднаний із входом буфера 20, вихід якого з'єднаний із виходом виведення інформації 21, вхід електронно-керованого ключа обмеження напруги 18 з'єднаний із входом електронно-керованого ключа лічильника 17, вихід якого з'єднаний із виходом підсилювача зчитування 12, вхід дозволу зчитування 24 та вхід стовпця адрес зчитування 25 з'єднані із входом блока управління зчитуванням 23, вихід якого з'єднаний із входом обмежувача напруги 22, вихід якого з'єднаний із входом електронно-керованого ключа лічильника 17.

Пристрій працює наступним чином. ХЕЗ 10 з'єднаний із землею через рядково-пропускний n-канальний транзистор 16 VTn. Декодер рядків 15 отримує вхідні адреси і сигнал тактового лічильника для керування затвором рядково-пропускного n-канального транзистора 16 VTn.

Блок управління зчитуванням 23 має два окремі входи: вхід дозволу зчитування 24 і вхід стовпця адрес зчитування 25 та генерує сигнал стовпця зчитування для управління самим процесом зчитування. Амплітуда згенерованого імпульсу струму визначається за допомогою фази ХЕЗ 10. Провідний (кристалічний) стан елемента 10 зондується і імпульс струму потім перетворюється на імпульс напруги за допомогою перетворювача струм – напруга 19. Імпульс напруги буферизується перед виходом за допомогою буферної схеми 20. Напруга на елементі 10 строго обмежена так, як заздалегідь задане значення напруги через обмежувач напруги 22 подається на затвор транзистора 16 VTn. ХЕЗ 10 і n-канальний

транзистор 16 VTn з'єднані між джерелом живлення і землею. Під контролем блоку управління зчитуванням 23, блок перетворювача струм-напряга 19 зчитує дані з ХЕЗ 10. Коли вхід дозволу зчитування 24 та вхід стовпця адрес зчитування 25 блоку управління зчитуванням 23 знаходиться в логічній «1» здійснюється вибір адреси зчитування із адресного входу декодера рядків 15, при цьому обмежувач напруги 22 увімкнугий. Одночасно з цим рядково-пропускний транзистор 16 VTn також вмикається і разом із адресним входом 13 і входом тактового лічильника 14 у схемі рядкового декодера 15 мають значення логічної «1».

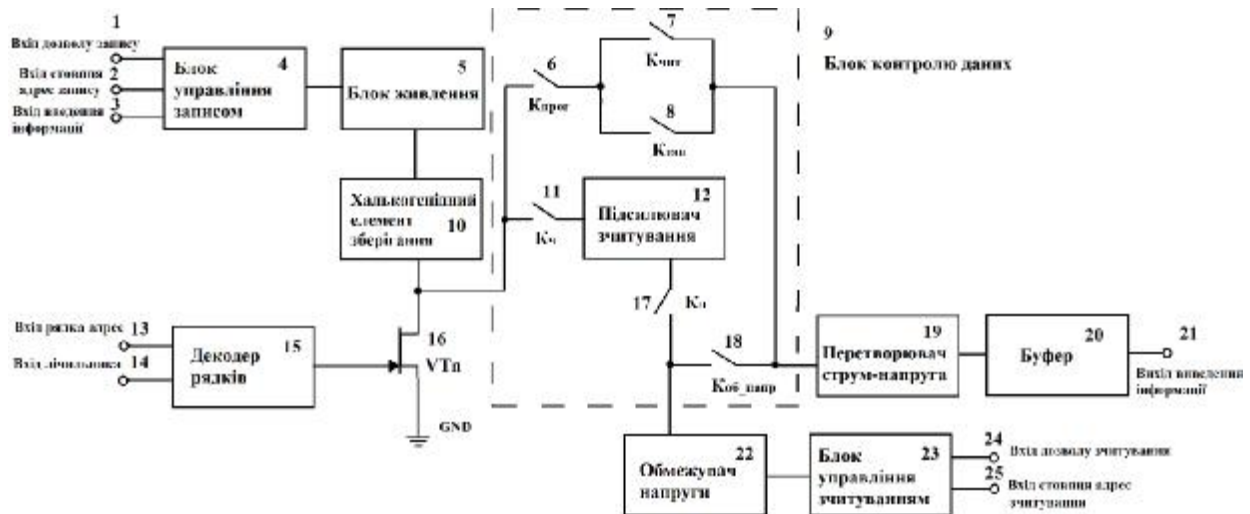


Рис. 1. Структурна схема пристрою

Під контролем блоку управління записом 4, блок живлення 5 здійснює запис інформації на ХЕЗ 10. Коли вхід дозволу запису 1 і вхід стовпця адрес запису 2 у блоці управління 4 мають логічну «1», разом із обраними адресами блок живлення 5 буде ввімкнугий в залежності від того, яке значення сигналу, чи логічна «1», чи логічний «0» буде на вході введення інформації 3 у блоці управління записом 4. Якщо тактовий сигнал входу лічильника 14 рядкового декодера 15 знаходиться у логічній «1», то водночас з обраною адресою вмикається рядково-пропускний транзистор 16 VTn. Оскільки рядково-пропускний транзистор 16 VTn ввімкнугий і, або блок живлення 5 ввімкнугий, то певна кількість струму починає текти через ХЕЗ 10, що забезпечує в ньому зміну фазового стану від аморфного до кристалічного або навпаки. Щоб досягти встановлення аморфної або кристалічної фази у ХЕЗ 10 необхідний струм 1 мА і 0,5 мА відповідно.

Перетворювача струм-напряга 19 може включати в себе р- та п-канальні транзистори та обов'язково інвертор. Перетворювача струм-напряга 19 генерує сигнал вихідних даних на буфер 20, після чого зчитана інформація стає доступною через вихід виведення інформації 21. Декодер рядків 15 приймає вхідний адрес і сигнал тактового лічильника для управління затвором рядково-пропускного п-канального транзистора 16 VTn.

Так як обмежувач напруги 22 для зчитування і рядково-пропускний транзистор 16 VTn увімкнугий, струм повинен текти з блоку живлення 5 через обмежувач напруги, ХЕЗ 10, і транзистор 16 VTn, який генерує імпульс струму, на землю. Амплітуда згенерованого імпульсу струму визначається за допомогою фази ХЕЗ 10. Провідний (кристалічний) стан елемента 10 потім зондується і імпульс струму перетворюється на імпульс напруги за допомогою перетворювача струм-напряга 19. Перед виходом імпульс напруги буферизується за допомогою буфера 20. Напряга на ХЕЗ 10 строго обмежена так, як заздалегідь задане значення напруги подається через вихід обмежувача напруги 22 на затвор транзистора 16 VTn.

Є два важливі обмеження на операції читання: по-перше, напруга на ХЕЗ 10 не може перевищувати рівень порогової напруги (інакше, фаза елемента 10 може бути змінена); і, по-друге, струм зчитування, протікаючий через елемент зберігання 10 повинен бути менший, ніж значення, яке може змінити його фазу.

Блок контролю 9 дозволяє визначити рівень сигналу у ХЕЗ 10, який в підсумку порівнюється із зчитаним, що дає можливість виявити помилку в програмованих даних і встановити її причину. Причиною збою програмування може бути дефект самого елемента зберігання або помилка роботи підсилювача зчитування. У блоці контролю даних 9 електронно-керовані ключі часу 11 та лічильника 17 керуються підсилювачем зчитування 12, електронно-керований ключ програмування 6 керується декодером рядків 15, електронно-керований ключ зчитування 7 керується блоком управління зчитуванням 23, електронно-керований ключ запису 8 керується блоком управління записом 4, електронно-керований ключ обмеження напруги 18 керується обмежувачем напруги 22. У режимі аналогового зчитування, всі внутрішні шляхи струму в елементі зберігання 10 відключаються при відкритті електронно-керованих ключів запису 8, часу 11, лічильника 17, обмеження напруги 18, і це дозволяє здійснювати точне вимірювання струму, що протікає через ХЕЗ 10 після прикладення до нього невеликої зовнішньої напруги, що знаходиться переважно в діапазоні декількох сотень мілівольт. Всі електронно-керовані ключі, крім ключа обмеження напруги 18 відкриті під час вимірювання опору ХЕЗ 10. У режимі аналогового запису, закритими залишаються тільки ключі запису 8 та програмування 6. Після операції запису, яка була виконана в елементі зберігання 10 за допомогою блоків та елементів 1, 2, 3, 4, 5, 13, 14, 15, 16, блок контролю даних 9, здійснює контроль струму

із підсилювача зчитування 12 за допомогою обмежувача напруги 22, причому струм задається прикладеною напругою. Блок контролю даних 9 дозволяє перетворювати опорний струм, утворений прикладеною питомою напругою із обмежувача напруги 22, в значення опору ХЕЗ 10 для перевірки цілісності (бездефектності) зазначеної КП на базі ХСН. Діапазон питомої напруги обмежувача, що прикладена до зазначеної КП на базі ХСН вимірюється в діапазоні кількох сотень мілівольт. Аналоговий доступ до пам'яті ХЕЗ 10 породжує певне значення струму, яке залежить від величини прикладеної вхідної напруги. Це дозволяє підвищити стійкість фазового стану елемента зберігання 10 за рахунок докристалізації та надійність зчитування даних за рахунок неможливості коливання значень вихідного струму, що характеризує конкретний фазовий стан елемента зберігання 10.

Також блок контролю даних 9 у КП на базі ХСН може забезпечити прямий доступ програмування (зчитування або запис) до кожного ХЕЗ 10 з використанням аналогових блоків доступу 4, 5, 15, 19, 20, 22, 23. Програмування енергонезалежної пам'яті на базі ХСН з використанням блоку контролю програмованих даних 9 є відносно повільним, але більш точним та ефективним. Аналогові блоки доступу програмування 4, 5, 15, 19, 20, 22, 23 разом із блоком контролю 9 можуть бути вбудовані в кожен модуль пам'яті. Цей спосіб дасть можливість створювати матриці пам'яті, що матимуть аналогові блоки доступу із логікою декодування адреси аналогічно до цифрових схем, таким чином опір халькогенідних елементів зберігання може вимірюватися паралельно. Покроковий метод проходження всього адресного простору матриці пам'яті забезпечить стійкість фазових станів КП на базі ХСН. Також варто відзначити, що блок контролю даних 9 здійснює управління струмом запису/читання за рахунок обмежувача напруги 22, що дозволяє здійснити процес докристалізації елементів зберігання 10 під час операції запису, який в свою чергу підвищить стійкість фаз вже запрограмованих халькогенідних елементів зберігання 22 та підвищить точність зчитування даних за рахунок унеможливлення флуктуацій напруги між логічними станами «0» та «1».

Висновки

Таким чином, даний пристрій забезпечує зчитування та запис для доступу до однієї КП на базі ХСН з високою точністю перевірки програмованих даних. Хоча для ілюстрації даного пристрою показано лише один елемент зберігання 10, слід розуміти, що два халькогенідні елементи зберігання 10 можуть бути пов'язані з логічним бітом інформації, використовуючи подвійне з'єднання або "диференціальну" версію з'єднання описаної вище несиметричної схеми. Подвійна диференціальна схема аналогічна до вищеописаної одиночної за винятком того, що там існує додаткове введення даних з власною схемою читання і записом для зберігання інформації із доповненням кожного біта вхідних даних в елементі зберігання 10, також додатково введена схема диференціального підсилювача для зондування додаткових бітів збереженої інформації. Диференціальний варіант виконання є більш кращим і доповненим для кожного логічного біта інформації і забезпечує більш високу завадостійкість і тим самим забезпечує більш високу надійність збереження для кожного записаного біта інформації в разі дефекту вхідних сигналів або загального кристалу енергонезалежної пам'яті на базі ХСН.

Література

1. Кичак В.М. Математична модель комірки пам'яті на базі халькогенідних склоподібних напівпровідників / В.М. Кичак, Н.Г. Курилова, І.В. Слободян // Міжнародний науково-технічний журнал «Вимірювальна та обчислювальна техніка в технологічних процесах». – 2009. – № 1 (33). – С. 113–116.
2. Слободян І.В. Швидкість програмування енергонезалежної пам'яті на базі ХСН [Електронний ресурс] І.В. Слободян // Наукові праці Вінницького національного технічного університету. – 2014. – № 3. – С. 1–10. – Режим доступу : <http://praci.vntu.edu.ua/article/view/3753>.
3. Касперски К. Техника оптимизации программ. Эффективное использование памяти / Крис Касперски. – Санкт-Петербург : БХВ-Петербург, 2003. – 464 с.
4. Попович А. Халькогенидная энергонезависимая память CRAM / Александр Попович // Компоненты и технологии. – 2010. – № 2 (103). – С. 52–54.

References

1. V.M. Kychak, N.H. Kurylova, and I.V. Slobodian, "Matematychna model komirky pamiaty na bazi khalkogenidnykh sklopodibnykh napivprovodnykiv", *Mizhnarodnyi naukovo-tekhnichnyi zhurnal "Vymiruvialna ta obchysluvalna tekhnika v tekhnologichnykh protsesakh"*, №1 (33), 2009, pp. 113–116.
2. I.V. Slobodian, "Shvydkist prohramuvannia enerhonezaleznoi pamiaty na bazi KhSN", *Naukovi pratsi Vinnytskoho natsionalnoho universytetu*, №3, 2014, pp. 1–10. (08.03.2015) <http://praci.vntu.edu.ua/article/view/3753>.
3. K. Kasperski, *Tekhnika optimizatsii programm. Effektivnoe ispolzovanie pamyati*, St. Petersburg: BKhV- Petersburg, 2003.
4. A. Popovich, "Xalkogenidnaya energonezavisimaya pamyat CRAM", *Komponenty i tehnologii*, № 2 (103), 2010, pp. 52–54.

Рецензія/Peer review : 5.8.2015 р. Надрукована/Printed : 30.8.2015 р.
Рецензент: д.т.н., проф., Осадчук О.В.