

**Вхідний каскад компаратора повинен витримувати широкий діапазон вхідних напруг між інвертуючим і неінвертуючим входами, аж до високої напруги живлення, і швидко відновлюватися при зміні знака цієї напруги. У операційних підсилювачах, охопленому зворотним зв'язком, ця вимога не критична, так як диференціальна вхідна напруга вимірюється мілівольтами і мікрівольтами**

**Ключові слова: операційний підсилювач, однопороговий аналоговий компаратор та гістерезисний компаратор Шмітта**

**Входной каскад компаратора должен выдерживать широкий диапазон входных напряжений между инвертирующим и неинвертирующим входами, до высокого напряжения питания, и быстро восстанавливаться при изменении знака этого напряжения. В операционных усилителях, охваченном обратной связью, это требование не критично, так как дифференциальное входное напряжение измеряется милливольт и микровольт**

**Ключевые слова: операционный усилитель, однопороговый аналоговый компаратор и гистерезисный компаратор Шмитта**

УДК 681.3

DOI: 10.15587/1729-4061.2014.28860

# ОСОБЛИВОСТІ ТА МЕТОДИ УДОСКОНАЛЕННЯ ЦИФРОВИХ КОМПАРАТОРІВ

С. П. Новосядлий

Доктор технічних наук, професор

Кафедра комп'ютерної

інженерії та електроніки

Прикарпатський національний

університет ім. В. Стефаника

вул. Шевченка, 57,

м. Івано-Франківськ, Україна, 76025

E-mail: nsp@mail.pu.if.ua

## 1. Вступ

Цифрові компаратори — це цифрові пристрої комбінаційного типу, що призначені для порівняння двох чисел, які представлені у двійковому або двійково-десятковому кодах.

Відмінною особливістю цифрових компараторів від розглянутих раніше комбінаційних схем є те, що вони виконують арифметичні дії не над логічними змінними 0 і 1, а над арифметичними числами 0 і 1 за законами двійкової арифметики.

Компаратори поділяють на дві групи: пристрої, які виявляють лише факт рівності або нерівності двох  $n$ -розрядних двійкових чисел і формують на своїх виходах однобітовий сигнал рівності (1) або нерівності (0) цих чисел, та пристрої, що виявляють співвідношення ( $>$ ,  $=$ ,  $<$ ) між двома  $n$ -розрядними двійковими числами. Пристрої першої групи, власне, і називаються цифровими компараторами, а другої групи — схемами порівняння чисел.

У зв'язку з тим, що в сучасних телекомунікаційних системах використовують як аналоговий, так і цифровий сигнал, то відповідно маємо аналогові і цифрові компаратори. Цифровий компаратор відрізняється від аналогового тим, що він призначений для порівняння двох чисел, які подані у вигляді двійкових кодів.

## 2. Аналіз досліджень і публікацій та постановка проблеми. Варіанти технологічного процесу формування К–МОН структур цифрових компараторів, що забезпечують підвищення швидкодії

Нами було розроблено декілька варіантів структур і технологічного процесу формування К–МОН структур інтегральних схем із алюмінієвим затвором, полі-

кремнієвим затвором, поліцидним затвором, з  $r$ -кишенею, з  $n$ -кишенею, з  $r$  і  $n$ -кишенями. Всі вони мають свої особливості формування.

Важливим етапом у виробництві К–МОН-структур є метод формування підкладок для двох типів польових МОН-транзисторів. Спочатку технологія формування К–МОН-структур розроблялась виходячи із умови її сумісності з процесом створення  $r$ -каналних МОН-структур, тому  $n$ -каналні транзистори формували в стані дифузійних областей  $r$ -типу в підкладках  $n$ -типу. Хоча деякі із раніше існуючих обмежень до сьогодення часу вже усунуті і серед МОН ІС домінують  $n$ -каналні МОН – схеми, при виготовленні схеми з традиційними  $r$ -кишенями [1, 2].

Саме  $r$ -кишеня створюється іонною імплантацією або дифузиею в підкладку  $n$ -типу. При цьому концентрація легуючої домішки повинна бути достатньо високою, щоб переконуватись домішку  $n$ -типу, і забезпечити необхідний рівень легування в  $r$ -кишені (рис. 1, а). Для створення легко керованого рівня легування в  $r$ -кишені його рівень легувань повинен бути в 5–10 разів більших рівня легування підкладки  $n$ -типу. Проте таке надлишкове легування провадить до виникнення небажаних ефектів в  $n$ -каналних транзисторах, які виражаються у збільшенні оберненого зміщення на затворі та збільшення ємності між областями витока – стока і  $r$ -кишенею.

Можливе використання і другого технологічного варіанту, який полягає в створенні  $n$ -кишені для формування  $r$ -каналних транзисторів (рис. 2, б). Як показано на цьому рис. 2  $n$ -каналні прилади формують безпосередньо в підкладці з провідністю  $r$ -типу. При цьому технологія з використанням  $n$ -кишені стає сумісною із стандартною технологією формування К–МОН-структур. В такому варіанті домішка  $n$ -типу провідності і надлишок легування

проводить до погіршення характеристик р-каналних транзисторів [3].

На рис. 2, *в* поданий варіант, коли в дуже слабо легovanому кремнії п-типу формуються дві окремі кишень. Такий двокишиневий варіант створення К-МОН-структури дозволяє отримувати профілі легованих в кожній кишень незалежно, і тому ні один із таких транзисторів не повинен засвоювати дії ефектів, зв'язаних із надлишковим легуванням. Формування інтегральних і цифрових компараторів за таким варіантом визначає використання слабо-легованих підкладок і провідності п-типу ( $\delta$ -типу), або р, п-типу.

Найбільш важливі етапи формування К-МОН-структур з двома кишеньями можна описати із структури рис. 2, *в* в наступному вигляді. Вихідний матеріал представляє собою слабо легований епітаксійний шар п-типу ( $v$ ), вирощений на слаболегованій  $n^+$ -підкладці кремнію. Саме так структура в такій технології виконання дозволяє формувати КМОН-інтегральні схеми без тиристорного ефекту.

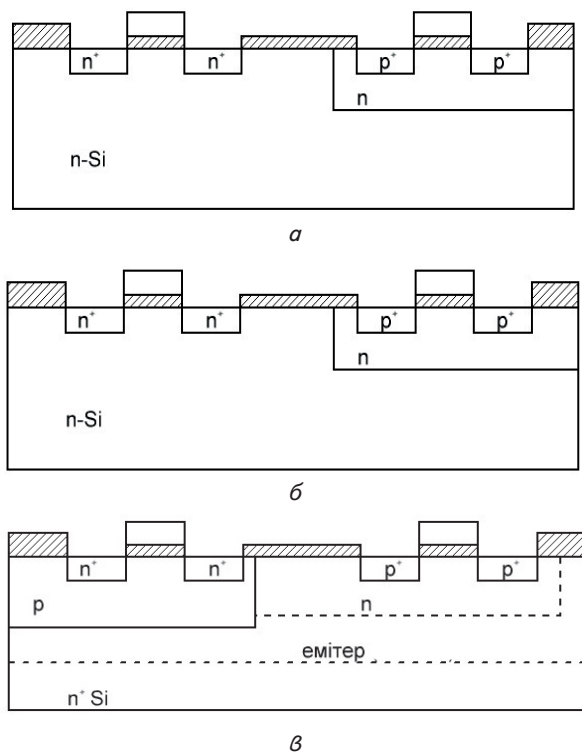


Рис. 1. К-МОН-структури: *а* – р-кишеню; *б* – з п-кишеню; *в* – з р- і п-кишенями

Після формування на Si – підкладці двошарової маски, яка складається із  $SiO_2$  як підшару до нітридної плівки ( $Si_3N_4$ ), в місцях призначених для створення п – кишень, видалялось маскуюче покриття і проводиться іонна багатозарядна імплантація фосфора ( $p^{++}$ ) при низькій прискорюючій напрузі ( $L:100$  кеВ), щоби іони, проникаючи в немасковані області кремнієвої підкладки, на решті частині підкладки затримувались в нітридному шарі. Потім проходять локальне оксидування підкладок на установці «Термоком» при тиску  $P=10-15$  атм в області п – кишень та іонна ба-

гатозарядна імплантація бора ( $B^{++}$ ) в р-кишені. Після видалення шару  $Si_3N_4$ . Бор проникає в підкладку через тонку плівку підшарового оксиду ( $SiO_2$ ), в той час як області п-кишень захищені більш товстим шаром  $SiO_2$ . Далі весь оксид видаляється і проходить розгонка домішки в п- і р-кишенях на необхідну глибину [4]. На рис. 2, *а* подана електрична схема інвертора на К-МОН-транзисторах; рис. 2, *б* – його передавальна характеристика; рис. 2, *в* – його топологія.

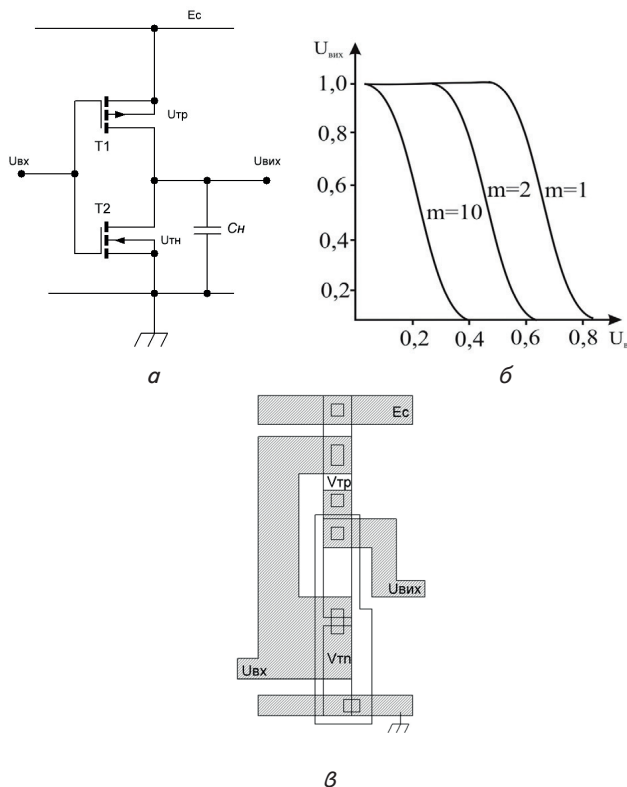


Рис. 2. Принципова електрична схема: *а* – інвертора; *б* – його нормована передавальна характеристика; *в* – та топологія на К-МОН – транзисторах  $V_{тр}$  і  $V_{та}$  (р- і п-каналним з індуктованим сигналом)

Після розгонки домішки в п- і р-кишенях формується локальна ізоляція транзисторів всередині кожного із кишень, якщо в кишнях міститься декілька транзисторів. Після формування ізолюючого і підзатворного гетерного оксидів можливе проведення іонної імплантації домішки в область каналів формуючих транзисторів для підгонки їх порогових напруг  $V_{рп}$  і  $V_{рп}$  [5].

В залежності від типу металу затвора, вмикання цих порогових напруг може бути різною для алюмінієвого затвору їх величина складає  $\pm 2,5 \pm 3,0$  В, для полікремнієвого затвору – їх величина є ще меншою і складає  $\pm 1,0 \pm 1,2$  В, а для силіцидного (поліцидного) затвору їх величина понижується до рівня  $\pm 0,5 \pm 0,65$  В [6].

На наступному етапі проходить металізація затвора – осадження  $p^+$ -полікремнієвого затвора який формує стік – витоків області п- і р-каналних транзисторів з використанням багатозарядної імплантації.  $As^{++}$  та  $BF_2^{++}$  [7]. Після проводиться осадження на всій поверхні міжшарової ізоляції у вигляді борофосфорносилікатного сила товщиною  $0,6-0,8$  мкм.

Після вскриття контактних вікон і профілювання вікна плазмохімічним травленням в БФСС проходить формування топологічного рисунку по осаженному шару алюмінієвого сплаву АКГо-1-1. Самим останнім шаром є плазмохімічно осаджений шар Si<sub>3</sub>N<sub>4</sub>, який забезпечує захист та герметизацію структур. Остання літографія відкриває контактні площадки для розводки виводів до корпусів інтегральної схеми [8].

### 3. Формування цілей і задач

На основі проаналізованих структур технологічних процесів їх формування необхідно представити нові схемотехнічні та технологічні рішення цифрових компараторів високої швидкодії, реалізованих з використанням кремнієвої технології.

### 4. Цифрові компаратори і їх схеми реалізації для підвищення швидкодії

Спочатку дамо визначення цифрового компаратора. Це комбінаційний логічний пристрій, який призначений для порівняння чисел, представлення у вигляді двійкових кодів.

Число входів компараторів визначається розрядністю порівнювальних кодів. На виході цифрового компаратора зазвичай формується три сигнали:

- F<sub>=</sub> – рівність кодів;
- F<sub>></sub> – якщо числовий еквівалент першого коду є більший другого;
- F<sub><</sub> – якщо числовий еквівалент першого коду є менший другого.

Роботу компаратора при порівнянні двох однорозрядних кодів демонструє таблиця істинності, яка подана в табл. 1.

Таблиця 1

Таблиця істинності цифрового компаратора однорозрядних кодів

№ п/п	Вхідні змінні		Функції алгебри логіки		
	x <sub>1</sub>	x <sub>0</sub>	F <sub>=</sub>	F <sub>&gt;</sub>	F <sub>&lt;</sub>
1	0	0	1	0	0
2	0	1	0	0	1
3	1	0	0	1	0
4	1	1	1	0	0

Аналіз що показаний в табл. 1, істинності показує, що при будь-якій комбінації вхідних сигналів на вході компаратора може бути сформований тільки один активний (одичний) логічний сигнал. Тому, при будь-якій розрядності вхідних кодів достатньо, використовуючи вхідні сигнали, сформувані тільки два із вхідних сигналів. Третій сигнал завжди може бути отриманий за двома відомими [9].

Система функцій алгебри логіки, яка відповідає приведеній таблиці істинності, має наступний вигляд:

$$\begin{aligned}
 F_{=} &= \overline{x_1 x_0} + x_1 x_0 = \overline{x_1 + x_0} = \overline{F_{<}} \cdot \overline{F_{>}}, \\
 F_{<} &= \overline{x_1} x_0 = \overline{F_{>}}, \\
 F_{>} &= x_1 \cdot \overline{x_0} = \overline{F_{<}}.
 \end{aligned}
 \tag{1}$$

Дана операція, як ми бачимо реалізується елементом «виключення Або не», або з додаванням за модулем 2» [10, 11].

Аналізуючи приведені вирази (6) з точки зору зменшення апаратних затрати на їх реалізацію, ми можемо відзначити, що, використовуючи вхідні зміни зручно було б отримати значення функцій F<sub>></sub> та F<sub><</sub>, а F<sub>=</sub> – реалізувати вже як їх, функцію. Проте внаслідок того, що вираз для визначення функцій F<sub>=</sub> має в цифровій техніці велике самостійне значення, на ньому необхідно зупинитись більш детально. Ця операція носить назву « виключаючи АБО – НЕ» або «сума за модулем 2» рис. 3, а. Тобто ми можемо використовувати повний набір функцій АБО, І, НЕ. На рис. 3, б подана структурна логічна схема, даного елемента та логічна схема компаратора [12].

На практиці часто виникає задача порівняння багаторозрядних двійкових кодів. Записавши таблицю істинності, можна синтезувати логічну схему відповідного пристрою. Проте при збільшенні числа вхідних змінних реалізувати (виконати) це внаслідок величезної громісткості отриманої таблиці істинності є непростю задачею. В даній ситуації зручно користуватись методами, які називають в САПР і блочним конструюванням, або декомпозицією задачі [13]. Сутність такого підходу полягає в розбитті складної задачі на ряд більш простих рішень яких може бути виконано більш доступними засобами. Далше, з використанням отриманих результатів, які вже приводяться рішення вихідної задачі [14].

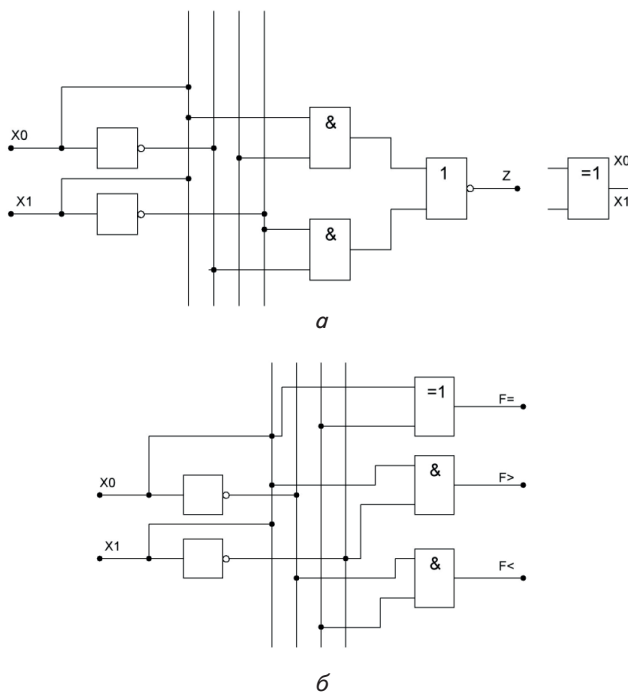


Рис. 3. Схема реалізації операції: а – «сума за модулем 2»; б – логічна схема компаратора

Проілюструємо даний підхід на прикладі побудови цифрового компаратора багаторозрядних двійкових кодів. За основу приймемо схему компаратора однорозрядних двійкових слів. Очевидно, що результат порівняння однорозрядних слів. Відповідна схема

функцій алгебри логічна (ФАЛ) в такому випадку буде мати вигляд:

$$\begin{aligned} F_{=} &= F_{1=} F_{0=}, \\ F_{>} &= F_{1>} + F_{1<} F_{0>}, \\ F_{<} &= \overline{F_{=} + F_{>}}. \end{aligned} \quad (2)$$

За аналогічною логікою аналізу ми можемо записати для три розрядних кодів наступну систему функцій алгебри логіки:

$$\begin{aligned} F_{=} &= F_{2=} F_{1=} F_{0=}, \\ F_{>} &= F_{2>} + F_{2=} F_{1>} + F_{2=} F_{1=} F_{0>}, \\ F_{<} &= \overline{F_{=} + F_{>}}. \end{aligned} \quad (3)$$

І в загальному випадку для n-двійкових кодів можна записати таку систему ФАЛ:

$$\begin{aligned} F_{=} &= F_{n-1=} F_{n-2=} \dots F_{0=}, \\ F_{>} &= F_{n-1>} + F_{n-1=} F_{n-2>} + \dots + F_{n-1=} F_{n-2=} \dots F_{1=} F_{0>}, \\ F_{<} &= \overline{F_{=} + F_{>}}. \end{aligned} \quad (4)$$

Таким чином, із використанням цифрових компараторів, що мають обмежену розрядність вхідних сигналів на основі системи ФАЛ завжди можна побудувати пристрій необхідної розрядності [11, 15].

Як бачимо, схемотехніка цифрових компараторів на порядок є простішою за аналогову, а швидкодія їх визначається швидкодією транзисторних структур, які є основою комбінаційної логіки і визначається технологією їх формування, яку розглянемо дещо нижче.

$$\begin{aligned} F_{A=B} &= \begin{cases} 0 & \text{при } A \neq B, \\ 0 & \text{при } A \equiv B, \end{cases} \\ F_{A<B} &= \begin{cases} 0 & \text{при } A \geq B, \\ 0 & \text{при } A < B, \end{cases} \\ F_{A \leq B} &= \begin{cases} 0 & \text{при } A > B, \\ 0 & \text{при } A \leq B, \end{cases} \\ F_{A>B} &= \begin{cases} 0 & \text{при } A \leq B, \\ 0 & \text{при } A > B, \end{cases} \\ F_{A \geq B} &= \begin{cases} 0 & \text{при } A < B, \\ 0 & \text{при } A \geq B. \end{cases} \end{aligned} \quad (5)$$

А тепер розглянемо загальну теорію цифрових компараторів, яка побудована нами на системі п'яти – а функцій алгебри логіки, а не трьох функцій, що подані вище. Якщо задані два n-розрядних двійкових чисел  $A = x_n \dots x_p \dots x_1$  та  $B = y_n \dots y_p \dots y_1$ , де  $x_n$  і  $y_n$  – старші розряди для чисел А і В, то співвідношення між ними описується п'ятьма функціями алгебри логіки:

Із приведених функцій (10) видно, що основними співвідношеннями є також дві, а саме «дорівнює»  $F_{A=B}$  та n менше  $F_{A \leq B}$ . Всі інші можна виразити через них  $F_{A>B} = \overline{F_{A \leq B}}$ . Наведені вище співвідношення використовуються як логічні умови в мікропрограмних пристроях контролю ЕОМ [16].

Розряди  $x_p$  та  $y_p$  будуть рівні тільки в тому випадку, якщо  $x_p + y_p = 1$ , тому функція приймає значення,

яке дорівнює 1 тільки при попарній рівності всіх одиномених розрядів кодів. На основі цього виразу побудовані дві схеми компараторів (рис. 4, а, б) для n=4.

$$\begin{aligned} f(x_{n-1} \dots x_p \dots x_1, y_{n-1} \dots y_p \dots y_1) &= \\ &= \prod_{p=1}^n (x_p \oplus y_p) = \prod_{p=1}^n x_p \oplus y_p = \bigvee_n x_p \oplus y_n. \end{aligned} \quad (6)$$

На рис. 4, в приведено стробовний n-розрядний компаратор, який виконує функція алгебри логіки:

$$f(x_{n-1} \dots x_p \dots x_1, y_{n-1} \dots y_p \dots y_n) = E \cdot \prod_{p=1}^n \overline{x_p + y_p}. \quad (7)$$

Сигнали керування Е можна також використовувати як для блокування (вимикання) функції порівняння, так і для каскадування компараторів (рис. 4, з).

Інтегральні схеми компараторів, які сьогодні випускаються електронною промисловістю описуються виразом (6) при  $n \geq b$  подані на рис. 4, в: 559 СК1, 74ALS519, 74ALS668.

Компаратор 559СК1 – 8-розрядний цифровий компаратор, який виконує функцію:

$$F = \bigvee_7^{p=0} (A_p + B_p).$$

Компаратор 74ALS519 – 8-розрядний компаратор з прямим відкритим колекторним виходом.

Компаратор 74ALS668 – 8-розрядний компаратор із інверсним виходом. Останні два компаратори описуються функцією алгебри:

$$F = E \cdot \prod_{p=0}^7 \overline{A_p + B_p},$$

де Е – стробовний сигнал.

Для порівняння двох n-розрядних кодів компаратор повинен мати не менше 2n-входів. Через обмеженість на число виводів корпусів інтегральних елементів доводиться приймати  $n \leq 9$ . Якщо один з кодів попередньо записати в інтегральній схемі, то буде потрібно тільки n – входів для подачі іншого коду. Запис коду в інтегральну схему можна здійснювати перепалюванням плавких перемичок при програмуванні ІС. Для приладу на рис. 6, а – приведений 16-ти розрядний компаратор, а на рис. 6, б 12-ти розрядний компаратор (Fuse – Programmable Identity Comparator):

– 74ALS527 – 12-и розрядний компаратор з програмуванням тільки 8-и молодших розрядів коду В, який виконує функцію алгебри логіки:

$$F = E \cdot \prod_{p=0}^7 \overline{A_p + FB_p} \cdot \prod_{p=B}^{11} \overline{A_p + B_p},$$

де  $FB_p$  – запрограмовані розряди коду В.

Схеми, які реалізують усі співвідношення алгебри логіки, що задані в (7) називають ще схемами порівняння чисел (Magnitude Comparator).

На практиці часто доводиться зустрічатись із задачею порівнянь багато-розрядних двійкових кодів. Сьогодні промисловістю випускаються такі цифрові компаратори (рис. 7, а – серія 561, рис. 7, б – серія 555, рис. 7, в – серія 134) розроблені на ВАТ «Родон» - виготовляються за КМОН-технологією.

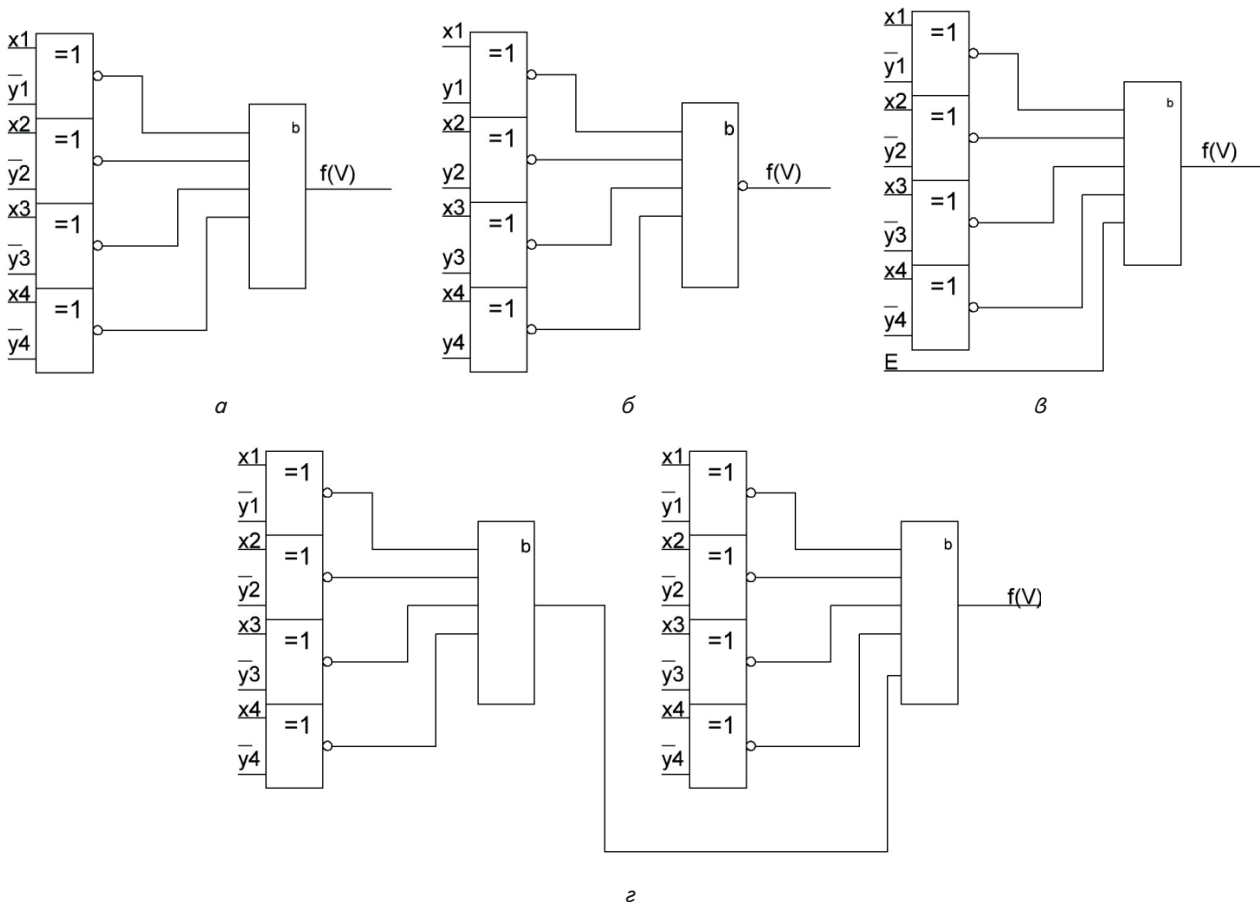


Рис. 4. Схематехнічна реалізація цифрових компараторів згідно рівняння стану (7): а, б – із сигналом керування Е; в – із сигналом блокування Е; г – стробовий n-розрядний компаратор

– 561 ИП2 – схема порівняння 4-розрядних двійкових чисел, яка реалізує такі функції алгебри логіки:  $F(A_4=B_4)$ ,  $F(A_4<B_4)$ ,  $F(A_4\leq B_4)$ ,  $F(A_4>B_4)$ , та  $F(A_4\geq B_4)$ .

– 555 СПИ – схема порівняння 4-розрядних двійкових чисел, яка реалізує такі функції алгебри логіки:  $(F=A_4B_4)$ ,  $F(A_4<B_4)$ ,  $(F(A_4\leq B_4)$ ,  $F(A_4>B_4)$ , та  $F(A_4\geq B_4)$ .

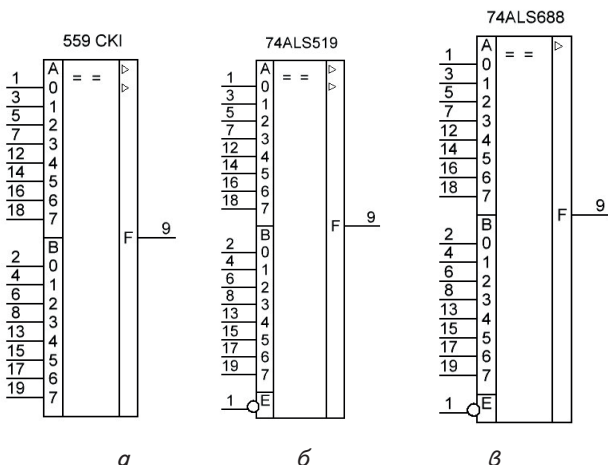


Рис. 5. Розрядні цифрові компаратори в 20-вивідному корпусі. а – модель 559СК1; б – модель 74ALS519; в – модель 74ALS688

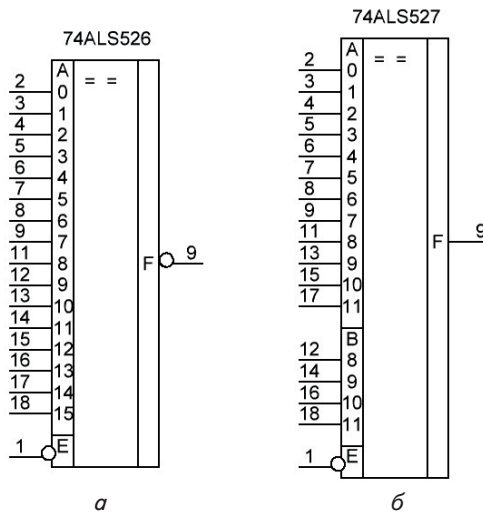


Рис. 6. Інтегральні програмні компаратори. а – 16-и та б – 12-и розрядні компаратор з програмуванням коду В

У зв'язку з тим, що в позиційних системах числення вага будь – якого старшого розряду є більшою за вагу молодшого розряду, співвідношення між числами досить просто можуть встановлені на основі послідовного порівняння їх одноїменних розрядів. Тоді порівняння чисел можна робити починаючи зі старшого або молодшого розрядів [12, 17].

– СД4063В – схема порівняння 4-розрядних двійкових чисел, яка реалізує наступні функції алгебри логіки:  $F(A_4 = B_4)$ ,  $F(A_4 < B_4)$  і  $F(A_4 > B_4)$ .

– 134СП1 (74L85) – схема порівняння 4-розрядних двійкових чисел, яка реалізує такі функції алгебри логіки:  $F(A_4 = B_4)$ ,  $F(A_4 < B_4)$ ,  $F(A_4 \leq B_4)$ ,  $F(A_4 > B_4)$ , та  $F(A_4 \geq B_4)$ .

На рис. 8. приведена 12-розрядна послідовність схеми порівняння двійкових чисел, яка побудована на трьох 4-розрядних ІС 561ІП2 (тут символ  $\emptyset$  вказує,  $I_{A>B}$  слід підімкнути або до корпусу або до джерела живлення). Каскадування ІС порівняння двійкових чисел можна виконувати і при паралельному їх включенні.

Івано-Франківською електронною промисловістю (ВАТ «Родон») випускається також 8-розрядний цифровий компаратори з тригерами Шмітта на входах А і В чисел, що порівнюються, та інвертуєним входом  $\bar{F}_{A>B}$  та  $F_{A>B}$ , а також схеми, які вміщують асинхронні регістри пам'яті.

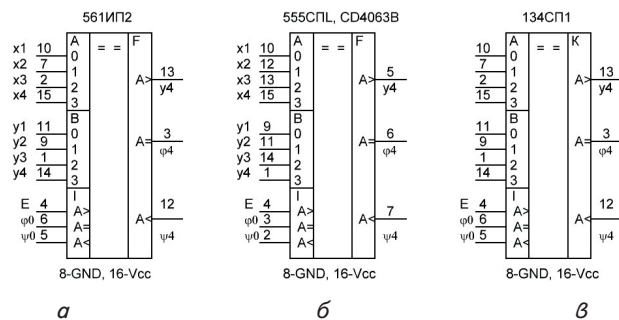


Рис. 7. Цифрові компаратори, що випускаються промисловістю України: моделі а – 561 ІП2; б – 555СПЛ; в – 134СП1

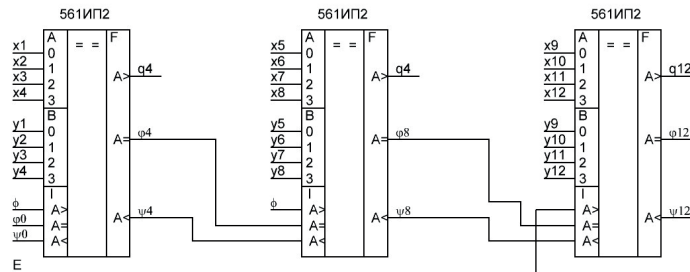


Рис. 8. Послідовне каскадування цифрових компараторів СКР561ІП2

## 5. Висновки

1. Визначено схемотехнічні, технологічні та топологічні особливості проектування інтегральних цифрових компараторів підвищеної швидкодії.

2. Реалізовані на конкретних прикладах шляхи підвищення швидкодії компараторів за рахунок:

– зменшення часу розсмоктування за рахунок скорочення часу життя неосновних носіїв заряду осадженням золота із водневого розчину золотохлористоводневої кислоти;

– формування транзисторів на субмікронних КМОН – структурах, що забезпечують споживання, в момент переключення високу швидкість та завадозахищеність в цифрових компараторах.

3. Удосконалено технології формування інтегральних компараторів з використанням операційних підсилювачів та логічних КМОН – схем в серійному виробництві ВАТ «Родон».

## Література

1. Коледов, Я. А. Конструированные и технология микросхем. Курсовое проектирование [Текст]: учеб. пос. для вузов / Я. А. Коледив, В. А. Волков, Н. К. Докучаев; под ред. П. А. Коледова. – М.: Высшая школа, 1992 – 231 с.
2. Чистяков, Ю. Д. Технология СБИС [Текст]: в 2-х кн. / под ред. С. Зи; пер. с англ. Ю. Д. Чистякова. – М.: Мир, 1986. – Кн. 2. – 455 с.
3. Айнспрук, Н. У. Арсенид галлия в микроэлектронике [Текст] / У. Уиссмен, У. Френсли, У. Дункан и др.; под ред. Н. Айнспрука, У. Уиссмена; пер. с англ. под ред. В. Н. Мордковича. – М.: Мир, 1988. – 554 с.
4. Ди Лоренцо, А. В. Полевые транзисторы на арсениде галлия. Принципы работы и технология изготовления [Текст] / под ред. А. В. Ди Лоренцо, Д. Д. Канделуола; пер с англ. под ред. Г. В. Петрова. – М.: Радио и связь, 1988. – 489 с.
5. Ватанаба, Н. Проектирование СБИС [Текст] / Н. Ватанаба, К. Асада, К. Кани, Т. Оцуки; пер с англ. под ред. Л. В. Поспелова. – М.: Мир, 1988. – 304 с.
6. Новосядлий, С. П. Суб-наномікрона технологія структур ВІС [Текст] / С. П. Новосядлий. – Івано-Франківськ: Місто НВ, 2010 – 456 с.
7. Новосядлий, С. П. Фізико-технологічні основи субмікронної технології ВІС [Текст] / С. П. Новосядлий. – Івано-Франківськ: Сімик, 2003. – С. 52–54.
8. Новосядлий, С. П. Радіаційна технологія при формуванні субмікронних структур ВІС [Текст] / С. П. Новосядлий // Металофізика і новітні технології. – 2002. – № 7. – С. 1003–1013.
9. Новосядлий, С. П. Формування кремнієвих епітаксійних структур для суміщених Ві – К – МОН і Д – МОН технологій ВІС [Текст] / С. П. Новосядлий // Металофізика і новітні технології. – 2002. – Т. 24, № 3. – С. 353–365.
10. Березин, А. С. Технология конструирования ИС [Текст] / А. С. Березин, О. Р. Могадкин. – М.: Дис. – 1992. – 254 с.
11. Алексеенко А. Г. Основы микросхемотехники [Текст] / А. Г. Алексеенко. – М.: Лаб. баз знаний. – 2002. – 286 с.
12. Павлов, В. М. Схемотехника аналогових схем [Текст] / В. М. Павлов, В. М. Ночин. – М.: Гор. мик-техника, 2001. – 320 с.