

ЭЛЕКТРОНИКА И ЭЛЕКТРОТЕХНИКА

УДК 621.3

Р.В. Бараненко

ТЕХНІЧНІ АСПЕКТИ ПРОЕКТУВАННЯ МІКРОПРОЦЕСОРІВ

Проведено аналіз мікропроцесорів, на підставі якого для усунення недоліків існуючих пристроїв розроблений швидкодіючий мікропроцесор з розширеними функціональними можливостями.

Вступ і постановка задачі. Постійний розвиток засобів вимірювання і контролю різних параметрів виробів і процесів є невід'ємною частиною науково-технічного прогресу. У даний час істотний вплив на методи побудови вимірювальних систем здійснює використання персональних комп'ютерів для обробки результатів вимірювання і керування різними процесами [1].

Однією з основних задач при розробці вимірювальних систем є постійне розширення функціональних можливостей їхніх компонентів шляхом підвищення точності, швидкодії та збільшення діапазону вимірюваних величин.

Аналіз останніх досліджень. Відомий пристрій для виконання операцій ділення [2], до складу якого входять два вхідних регістри (для дільника і діленого), суматор, входи якого з'єднані з виходами регістра дільника, блок керування, виходи якого з'єднані з суматором і регістрами. Також до складу пристрою входить блок інверсії цифр, вхід якого з'єднаний з виходом суматора, а другий вхід з'єднаний з виходом блока керування, вихід блока з'єднаний з входом регістра частки. Недоліком пристрою є мала швидкодія при виконанні операцій ділення.

Відомий пристрій для виконання арифметичних операцій додавання й віднімання [3], до складу якого входять два вхідних регістри, суматор, вентиль "додавання/віднімання", прапор переповнення, схема заперечення коду. При цьому вихід першого регістра з'єднаний з першим входом суматора, а вхід цього регістра з'єднаний з виходом суматора. А перший вихід другого регістра з'єднаний з входом вентиля "додавання/віднімання", другий вихід другого регістра з'єднаний з входом схеми заперечення коду, а вихід схеми з'єднаний з другим входом вентиля "додавання/віднімання", а вихід вентиля з'єднаний з другим входом суматора, а третій вхід суматора з'єднаний з виходом прапора переповнення. Результат виконання операції передається до одного з регістрів або до третього вихідного регістру. Основним недоліком цього пристрою є мала швидкодія при виконанні арифметичних операцій додавання й віднімання.

Відомий процесор для виконання арифметичних операцій множення, ділення, додавання й віднімання [4], до складу якого входять два вхідних регістри й один вихідний регістр, головні структурні компоненти процесора: арифметично-логічний пристрій (АЛП), пристрій керування (ПК) і синхронізації. АЛП виконує обчислення, тобто перетворення інформації, а ПК керує як потоком даних і команд, так і порядком виконання операцій в АЛП. Крім того, на схемі показана і внутрішня пам'ять процесора – блок регістрів. Для передачі даних і сигналів керування використовується внутрішня магістраль ЦП. Цією магістраллю дані передаються між регістрами і АЛП, оскільки АЛП може оперувати тільки з даними, що зберігаються в регістрах. Недоліком процесора є мала швидкодія при виконанні математичних операцій множення, ділення, додавання й віднімання, і яка залежить від АЛП.

Метою роботи є усунення недоліків існуючих пристроїв і розробка нового швидкодіючого арифметично-логічного мікропроцесора, конструктивні особливості якого забезпечили б можливість виконання арифметичних операцій множення, ділення, додавання й віднімання з великою швидкістю.

Основний матеріал. Для рішення поставленої задачі розроблений швидкодіючий арифметично-логічний мікропроцесор [5], що містить два вхідних регістри і один вихідний, внутрішню магістраль центрального процесора, блок синхронізації й керування, блок регістрів для передачі даних і сигналів керування, чотири шифратори, виходи яких з'єднані з виходом вихідного регістра, вихід якого з'єднаний з внутрішньою магістраллю центрального процесора, а вихід сумісного дешифратора з'єднаний з чотирма ключами шифратора. Ключі виконані на логічних елементах І, а виходи ключів з'єднані з керуючими входами чотирьох шифраторів. Також процесор містить демультіплексор на чотири входи, які з'єднані з іншими входами чотирьох ключів, а один з входів-виходів демультіплексора з'єднаний з внутрішньою магістраллю центрального процесора, а другий вхід-вихід демультіплексора з'єднаний з блоком синхронізації і керування.

На відміну від [4], введення до схеми запропонованого мікропроцесора чотирьох шифраторів і сумісного дешифратора забезпечує виконання арифметичних операцій значно з більшою швидкістю і практично в реальному масштабі часу.

Функціональна схема розробленого пристрою показана на рис. 1. До складу пристрою входять: 1 – набір регістрів для передачі даних і сигналів керування; 2 – блок синхронізації для керування потоком даних і команд; 3 – демультиплексор, що керує ключами шифраторів; 4, 5 – вхідні регістри для передачі даних сумісному дешифратору; 6 – сумісний дешифратор для перетворення кодів; 7 – чотири ключі шифраторів для комутації шифраторів; 8 – чотири шифратори (довгострокова пам'ять); 9 – вихідний регістр для передачі даних на внутрішню магістраль центрального процесора.

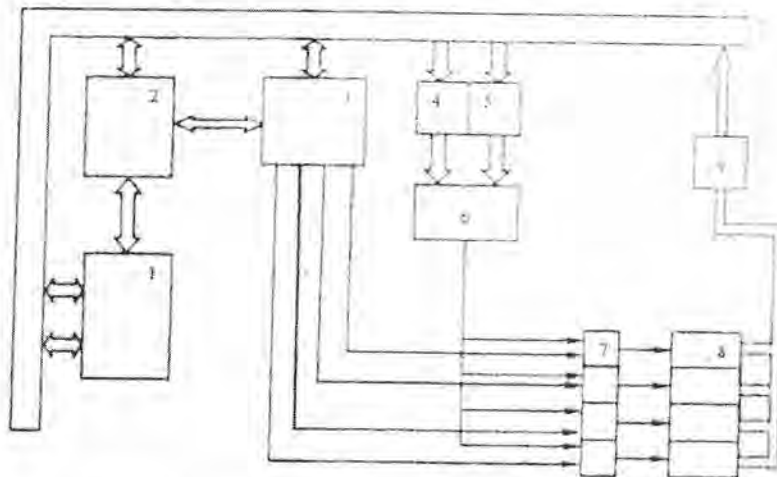


Рис. 1. Структурна схема розробленого пристрою [5]

Наперед будуть сумісний повний дешифратор, яким перетворюють p -розрядний сумісний двійковий код вхідних двох регістрів на всі його сполучення в k -розрядний одиничний код, де $p=m+n$, $k=2^p$, m і n – кількість розрядів вхідних двох регістрів, до яких заносяться вхідні дані множення, ділення, додавання й віднімання, повний сумісний дешифратор визначають за системою булевих функцій (1).

$$\left. \begin{aligned} Z_0 &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \\ Z_1 &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \\ Z_2 &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \\ &\vdots \\ Z_{k-3} &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \\ Z_{k-2} &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \\ Z_{k-1} &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \\ Z_k &= \overline{x_0 x_1 x_2 \dots x_{m-1} x_m y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \end{aligned} \right\} \quad (1)$$

Також наперед програмуються чотири шифратори для виконання арифметичних операцій: множення, ділення, додавання та віднімання.

При програмуванні шифратора для множення визначають добутки $A_1, A_2, A_3, \dots, A_{k-2}, A_{k-1}, A_k$ кожної комбінації двох чисел, що описуються системою функцій (2) і заносять добутки до шифратора за адресами відповідно до системи функцій (1) – $Z_1, Z_2, Z_3, \dots, Z_{k-2}, Z_{k-1}, Z_k$.

$$\left. \begin{aligned} (\overline{x_0 x_1 \dots x_{m-1} x_m}) \times (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= A_1 \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) \times (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= A_2 \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) \times (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= A_3 \\ \vdots & \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) \times (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= A_{k-2} \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) \times (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= A_{k-1} \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) \times (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= A_k \end{aligned} \right\} \quad (2)$$

При програмуванні шифратора для ділення визначають частки від ділення $B_1, B_2, B_3, \dots, B_{k-2}, B_{k-1}, B_k$ кожних комбінацій двох чисел, що описуються системою функцій (3) і заносять частки до шифратора за адресами відповідно до системи функцій (1) $Z_1, Z_2, Z_3, \dots, Z_{k-2}, Z_{k-1}, Z_k$.

$$\left. \begin{aligned} (\overline{x_0 x_1 \dots x_{m-1} x_m}) : (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= B_1 \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) : (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= B_2 \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) : (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= B_3 \\ \vdots & \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) : (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= B_{k-2} \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) : (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= B_{k-1} \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) : (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= B_k \end{aligned} \right\} \quad (3)$$

При програмуванні шифратора для виконання операції додавання визначають суми від додавання $C_1, C_2, C_3, \dots, C_{k-2}, C_{k-1}, C_k$ кожних комбінацій двох чисел, що описуються системою функцій (4) і заносять суми до шифратора за адресами відповідно до системи функцій (1) $Z_1, Z_2, Z_3, \dots, Z_{k-2}, Z_{k-1}, Z_k$.

$$\left. \begin{aligned} (\overline{x_0 x_1 \dots x_{m-1} x_m}) + (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= C_1 \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) + (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= C_2 \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) + (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= C_3 \\ \vdots & \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) + (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= C_{k-2} \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) + (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= C_{k-1} \\ (\overline{x_0 x_1 \dots x_{m-1} x_m}) + (\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n}) &= C_k \end{aligned} \right\} \quad (4)$$

При програмуванні шифратора для виконання операції віднімання визначають різниці віднімання $D_1, D_2, D_3, \dots, D_{k-2}, D_{k-1}, D_k$ кожних комбінацій двох чисел, що описуються системою функцій (5) і заносять різниці до шифратора за адресами відповідно до системи функцій (1) $Z_1, Z_2, Z_3, \dots, Z_{k-2}, Z_{k-1}, Z_k$.

$$\left. \begin{aligned} \left(\overline{x_0 x_1 \dots x_{m-1} x_m} \right) - \left(\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \right) &= D_1 \\ \left(\overline{x_0 x_1 \dots x_{m-1} x_m} \right) - \left(\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \right) &= D_2 \\ \left(\overline{x_0 x_1 \dots x_{m-1} x_m} \right) - \left(\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \right) &= D_3 \\ \vdots & \\ \left(\overline{x_0 x_1 \dots x_{m-1} x_m} \right) - \left(\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \right) &= D_{k-2} \\ \left(\overline{x_0 x_1 \dots x_{m-1} x_m} \right) - \left(\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \right) &= D_{k-1} \\ \left(\overline{x_0 x_1 \dots x_{m-1} x_m} \right) - \left(\overline{y_0 y_1 \dots y_{n-2} y_{n-1} y_n} \right) &= D_k \end{aligned} \right\} \quad (5)$$

При виконанні арифметичних операцій відповідні вихідні одиничні коди дешифратора, що описуються системою булевих функцій (1), комутують з входами відповідних шифраторів, що описуються системою функцій (2), ..., (5), і зчитують з відповідних виходів шифраторів результати виконання арифметичних операцій.

Швидкодії арифметичних пристроїв порівнюють при виконанні операції множення, яка забирає значно більше часу відносно інших арифметичних операцій і зустрічається приблизно в 10 раз частіше за інші арифметичні операції.

Для відомого способу згідно з [4] можна записати:

$$T_1 = n \cdot (\tau_1 + \tau_2),$$

де T_1 – час виконання операції відомого способу;

n – кількість розрядів вхідних даних;

τ_1 – час виконання однієї операції зсуву;

τ_2 – час виконання операції одного суматора; наприклад, при $n = 16$ розрядів і $\tau_1 = \tau_2 = \tau$, швидкодія способу $T_1 = 32\tau$.

В запропонованому пристрої кожна арифметична операція виконується за один такт τ , тобто $T_2 \approx \tau \leq T_1$, де T_2 – час виконання операції запропонованого пристрою.

Висновки. Автором розроблений швидкодіючий арифметично-логічний мікропроцесор, швидкодія якого в 32 рази перевищує швидкодію відомих пристроїв, що обумовлює його промислове застосування.

ЛІТЕРАТУРА:

1. Тверезовський В.С. Принцип здійснення гнучкого програмного керування елементами вимірювальних систем за аналізом їх експоненціальних параметрів / В.С. Тверезовський, Р.В. Бараненко // Вестник Херсонского государственного технического университета. – 2003. – № 2 (18). – С. 297-301.
2. Самофалов К.Г. Прикладная теория цифровых автоматов / К.Г. Самофалов, А.М. Романкевич, В.Н. Валуйский, и др. – К.: "Вища школа", 1987. – С. 110-111, рис. 4.13.
3. Столлингс Уильям, Структурная организация и архитектура компьютерных систем, 5-е издание; Перевод с англ. – Издательский дом "Вильямс", 2002. – С. 372-375.
4. Столлингс Уильям, Структурная организация и архитектура компьютерных систем, 5-е издание; Перевод с англ. – Издательский дом "Вильямс", 2002. – С. 517-520, рис.11.2.
5. Патент України на винахід №89676 «Швидкодіючий арифметично-логічний мікропроцесор». Автори: В.С. Тверезовский, Р.В. Бараненко. – МПК (2009). G06C15/00, G06F7/00. Опубл. 25.02.2010.

БАРАНЕНКО Роман Васильович – к.т.н., доцент кафедри інформаційних технологій Херсонського національного технічного університету.

Наукові інтереси:

– геоінформаційні та інформаційно-вимірювальні системи, захист інформації.