

КОМП'ЮТЕРНО-ІНТЕГРОВАНІ ТЕХНОЛОГІЇ, СИСТЕМИ ТА ЗАСОБИ АВТОМАТИЗАЦІЇ

УДК 681.5

РЕТРОСПЕКТИВНИЙ АНАЛІЗ РОЗВИТТЯ АРХИТЕКТУРИ ПЛК ПАРАЛЛЕЛЬНОГО ДЕЙСТВИЯ

Фурман И. А., Малиновский М. Л., Бовчалюк С. Я., Аллашев А. Ю.

Харьковский национальный технический университет сельского хозяйства имени Петра Василенко

Проведен ретроспективный анализ развития программируемых логических контроллеров параллельного действия от абстрактных моделей параллельного автомата Закревского до практической реализации систем критического применения на основе ПЛИС-технологий. Определены недостатки существующих решений и намечены перспективы дальнейших исследований технологии параллельного логического управления.

Постановка проблемы. В последние десятилетия проблеме построения программируемых управляющих устройств и систем с параллельной архитектурой уделяется достаточно большое внимание. Пройден значительный путь от формального определения абстрактной модели параллельного автомата до создания промышленных образцов ПЛК параллельного действия (ПД), ПЛИС-контроллеров ПД (ПЛИС – программируемая логическая интегральная схема), безопасных ПЛИС-контроллеров ПД, систем критического применения (СКП) ПД. Дальнейшее развитие указанных технологий требует проведения всестороннего анализа проведенной учеными разных стран работы, а также определения перспективных направлений развития технологии параллельного логического управления.

Анализ состояния вопроса. основополагающие принципы построения высокоэффективных вычислительных и управляющих устройств и систем на основе регулярных однородных микросистемных структур были сформулированы еще в начале 60-х годов прошлого столетия. В течение 60-70-х годов в ряде научных коллективов бывшего СССР под руководством В. М. Глушкова, Г. И. Марчука, И. В. Прангшвили, Э. А. Якубайтиса, Э. В. Евреинова и др. сформировалось самостоятельное научное направление по однородным вычислительным и управляющим системам. Начиная с 80-х годов, и по сегодняшнее время, проф. И. А. Фурманом и его учениками разработано и внедрено в промышленное производство целый ряд ПЛК, ПЛИС-контроллеров, СКП параллельного действия. Исследования в данном направлении продолжаются в настоящее время и требуют проведения анализа проделанной работы, и определения направлений для дальнейшего развития технологии.

Цель статьи. Провести анализ существующих на данный момент технологий и технических средств логического управления параллельного действия, определить возможные их недостатки и пути устранения, а также наметить общие направления для дальнейшего развития технологий данного класса.

Основные материалы. Одной из первых работ, положивших начало технологии параллельного логического управления можно считать предложенную в 1971 году А. Д. Закревским абстрактную модель параллельного автомата [1]. Идеи Закревского были реализованы при построении сверхбыстродействующего

логического автомата на основе регулярных микросистемных структур Э. А. Якубайтисом в 1975 году [2]. На базе указанных классических работ, в 1979 году И. А. Фурман предложил структуру параллельного программируемого логического контроллера (ППЛК), реализованную в промышленных контроллерах ПЛ-1, БЛ1-8, БЛ2-1 (рис. 1, 2) [3,4].

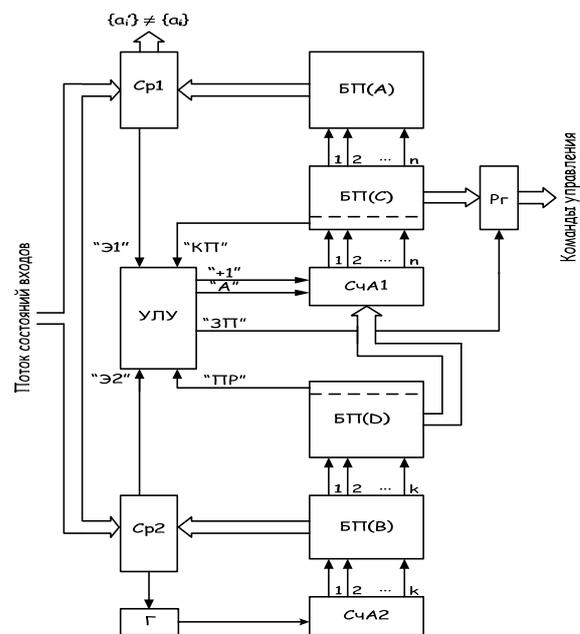


Рисунок 1 – Структура ПЛК параллельного действия

Основу универсального ППЛК составляют блоки памяти (БП), причем в БП(А) записывается матрица А ожидаемых состояний управляемого объекта, в БП(В) – матрица В ожидаемых состояний внешней среды (ВС), в БП(С) – матрица С управляющих команд, а в БП(Д) – матрица D адресов переходов.

Упрощенно ППЛК функционирует следующим образом. С помощью генератора Г и счетчика адресов СЧА2 обеспечивается последовательное чтение информации из БП(В), схема сравнения Ср2 при этом осуществляет параллельное логическое сравнение векторов запрограммированного и фактического состояний ВС. Если имеет место совпадение фактической комбинации с одной из запрограммированных, Ср2 выдает в узел логического управления (УЛУ)

сигнал "Э2", блокирует Г, СчА2 останавливается, а из БП(D) на адресные входы СчА1 выдается начальный адрес подпрограммы из БП(А) и БП(С). Если при этом выполнялась предыдущая подпрограмма, переход к новой произойдет только после выдачи в конце выполнения предыдущей сигнала "КП".

При наличии на входе УЛУ сигнала "КП" УЛУ сигналом "А" обеспечивает запись в СчА1 начального адреса выбранной подпрограммы и, как следствие, – адресацию соответствующей строки БП(А) и БП(С), а по сигналу из УЛУ "ЗП" и запись в выходной регистр Рг комбинации управляющих команд.

В результате выполнения команд срабатывают механизмы управляемого агрегата, что приводит к смене комбинации состояний на одном из входов Ср1, которая действует аналогично Ср2 и сравнивает комбинацию фактических состояний управляемого объекта с той, что должна была быть сформирована на данной строке программы в результате выполнения управляющих команд. При срабатывании Ср1 УЛУ увеличивает содержимое СчА1 на единицу, обеспечивая тем самым переадресацию БП(А) и БП(С) на следующую строку подпрограммы.

Опыт практического использования ППЛК и анализ указанной структуры показал, что она имеет существенные недостатки: в ней не учтена возможность автоматического обнаружения и запрета выдачи аварийных комбинаций выходных сигналов; кроме того, ограничены возможности логического анализа потока состояний входов.



Рисунок 2 – Образцы промышленных ППЛК

Указанные недостатки были учтены при разработке архитектуры логического управляющего автомата параллельного действия следующего поколения [5], показанная на рис. 3.

Управляющий автомат состоит из: блока индикации – БИ; схемы сравнения – СС; блока выбора операции – БВО; блока логического управления – БЛУ; счетчика адреса – СА; выходного регистра – ВР; а также блоков памяти состояний, команд, переходов и запрещенных состояний – БПС, БПК, БПП, БПЗК.

Основным принципиальным отличием от предыдущей архитектуры является наличие блоков выбора операции и памяти запрещенных комбинаций, назначение которых следующее:

- в блок выбора операций записываются логические уравнения: $I=\overline{ТО}$; $ИЛИ=\overline{ТО}$. Если на определенном шаге управляющей программы необходимо сравнивать фактическое состояние всех датчиков

цикла с их ожидаемыми значениями, то в последний столбец *i*-й строки, записанной в блок памяти состояний, записывается "0" и блок выбора операции формирует сигнал "И=1". Этот сигнал переключает схему сравнения на реализацию логической операции "И", т.е. сигнал эквивалентности Э на ее выходе появится лишь в случае совпадения всех фактических состояний датчиков цикла с их ожидаемыми значениями, записанными в *i*-й строке БПС. Если на *i*-м шаге выполнения управляющей программы для перехода к следующему шагу цикла достаточно наличия сигнала хотя бы от одного датчика среди множества датчиков, срабатывания которых можно ожидать на *i*-й строке, то в последний столбец *i*-й строки, записанной в БПС записывается "1" и блок выбора операции формирует сигнал "ИЛИ=1", переключающий схему сравнения на реализацию логической операции "ИЛИ";

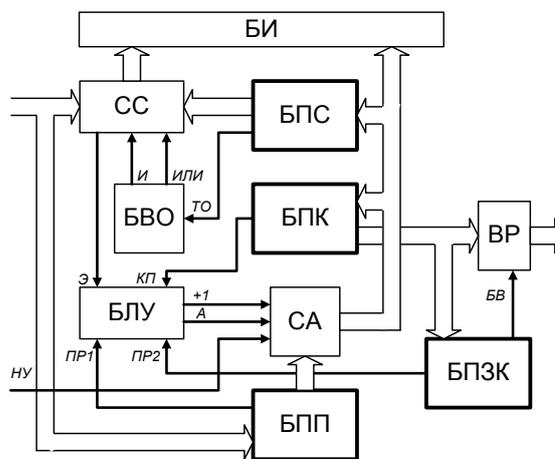


Рисунок 3 – Архитектура управляющего автомата ПД

- в случае возникновения отказа в работе контроллера и появлении на выходе БПК запрещенной комбинации управляющих сигналов, блок памяти запрещенных комбинаций сигналом "БВ" (блокировка выходов) запрещает выдачу этих команд на выход управляющего автомата. Одновременно БПЗК выдает на вход БЛУ сигнал признака прерывания "ПР2" (при этом истинно логическое уравнение $ПР2=A$), в результате СА переадресовывает блоки памяти состояний и команд на начальный адрес "подпрограммы прерывания 2".

На базе указанной архитектуры была разработана техническая документация и изготовлены промышленные образцы ПЛИС-контроллера параллельного действия на 16 дискретных входов и 16 дискретных выходов (рис. 4) [6].

В последние годы наблюдается развитие и всё более широкое применение методов и средств создания СКП на основе микроселекционных компонентов параллельного действия с применением ПЛИС. Их использование дало возможность повысить быстродействие, надежность, достоверность обработки информации в СКП, а также позволило повысить показатели безопасности за счет устранения рисков, связанных с применением операционных систем и программной реализацией алгоритмов управления ответственными технологическими процессами.

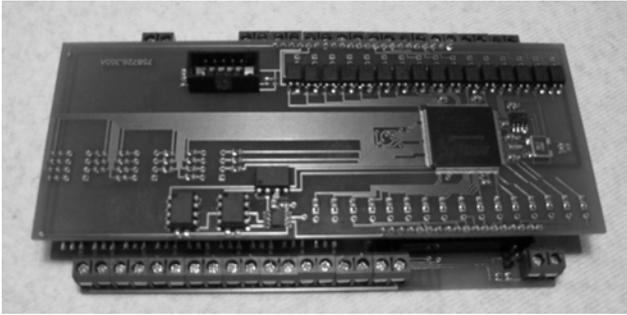


Рисунок 4 – Промышленный образец ПЛИС-контроллера ПД

Как известно, ПЛИС-технологии имеют ряд особенностей, которые препятствуют их быстрому распространению. Среди них сложность технологии проектирования и высокие требования к квалификации разработчиков. Для устранения этих недостатков проф. М. Л. Малиновским в период 2004-2010 годов были разработаны теоретические основы построения безопасных ПЛИС-контроллеров на основе ПЛИС, созданы экспериментальные и промышленные образцы, а также средства автоматизированного проектирования программного обеспечения для них.

Безопасный ПЛИС-контроллер, получивший наименование S4C, содержит 4 ядра логики (ЯЛ) и два концентратора связи (КСВ), которые устанавливаются в монтажную кассету (рис. 5).



Рисунок 5 – Безопасный ПЛИС-контроллер параллельного действия S4C

Интерфейс ПЛИС-контроллера S4C показан на рис. 6 и содержит 2 дублированных канала Ethernet для увязки с системами верхнего уровня и 16 дублированных каналов RS422 для обмена данными с устройствами нижнего уровня.



Рисунок 6 – Интерфейс ПЛИС-контроллера S4C

Диаграмма на рис. 7 описывает цикл работы ПЛИС-контроллера общей длительностью 100 мс. За это время выполняются следующие операции:

- синхронизация между 4-мя ядрами ПЛИС-контроллера;
- обмен данными по каналам Ethernet;
- обмен данными по каналам RS422;

- обработка информации;
- тестовая самодиагностика.

В случае обнаружения ошибки при выполнении операций ядро логики, в котором эта ошибка обнаружена, переходит в необратимое защитное состояние.

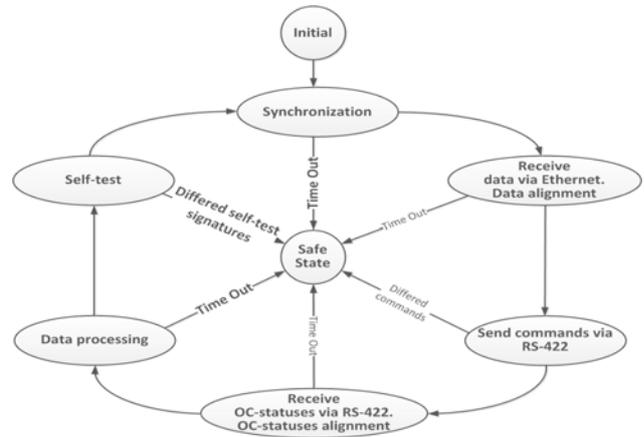


Рисунок 7 – Цикл работы ПЛИС-контроллера

Безопасность ПЛИС-контроллера S4C достигается за счет:

- применения архитектуры 1oo2D (два дублированных канала);
- тестовой самодиагностики аппаратной части и целостности конфигурации ПЛИС;
- функциональной диагностики во время формирования управляющих воздействий;
- использования защищенных протоколов обмена данными.

Архитектура ПЛИС-контроллера S4C приведена на рис. 8 и содержит два канала, каждый из которых имеет функциональный модуль и диагностическую систему, которая, при обнаружении ошибок, блокирует работу модуля.

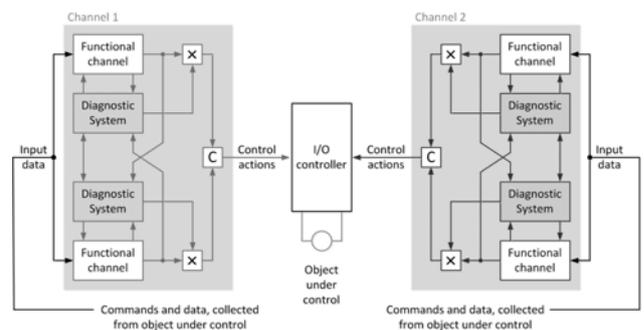


Рисунок 8 – Архитектура ПЛИС-контроллера S4C

Принцип тестового самодиагностирования, примененный в ПЛИС-контроллере S4C, иллюстрируется рис. 9. Диагностическая схема подключена к каждому отдельному компоненту цифрового автомата, реализованного на основе ПЛИС. Во время реализации штатных операций данные поступают к компоненту через вход мультиплексора "Workflow input" и передаются к другим компонентам схемы через выход демультиплексора "Workflow output". Во время выполнения тестового самодиагностирования мультиплек-

сор и демультиплексор подключают схему формирования тестовых воздействий и анализа результатов тестирования. Схема "Comparator" выполняет сравнение результатов самодиагностики двух соседних ядер (А и В) и принимает решение о наличии или отсутствии ошибок.

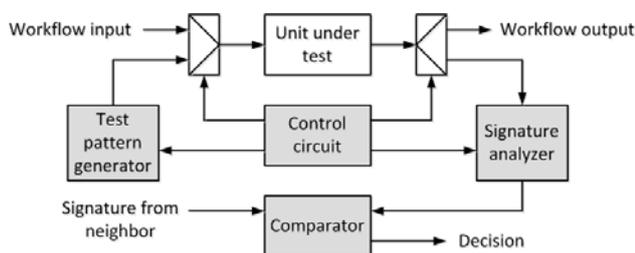


Рисунок 9 – Схема тестового самодиагностирования ПЛИС-контроллера

Схема функционального диагностирования приведена на рис. 10. При формировании телеграмм обмена данными со смежными устройствами ядра логики А и В осуществляют анализ корректности формируемых приказов смежным ядром и, при наличии ошибок, блокируют работу канала.

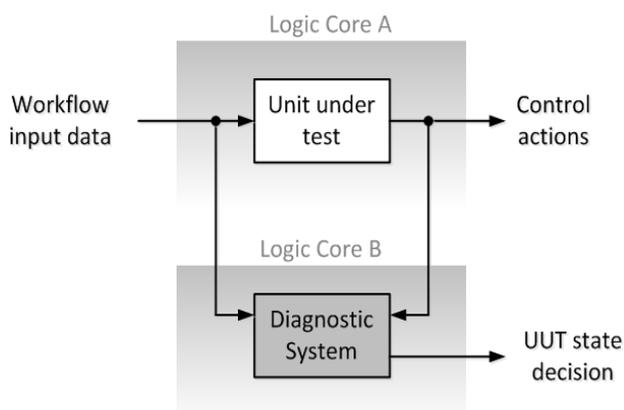


Рисунок 10 – Схема функционального диагностирования ПЛИС-контроллера

ПЛИС-контроллер S4C сертифицирован на соответствие требованиям безопасности в Украине и России и внедрен на нескольких объектах железнодорожного транспорта и метрополитенов:

- В Харьковском метрополитене в электродепо "Московское";

- на Российских железных дорогах, на станции Вырица (главный ход Москва - Санкт-Петербург);

- на Южной железной дороге, на станции Головашевка.

Выводы. Проведенный анализ показал, что технология параллельного логического управления позволяет не только повысить быстродействие и достоверность реализации функций логического управления промышленными объектами, но и рассматривать данное направление как очень перспективное для построения систем управления в метрополитене, железнодорожной автоматике и других объектах критического применения.

Список использованных источников

1. Закревский А. Д. Параллельный автомат /А. Д. Закревский // Доклады АН БССР. – 1984. – Т. 28. – № 8. – С. 717–719.

2. Якубайтис Э. А. Программируемый логический автомат / Э. А. Якубайтис // АВТ. – 1975. – № 5. – С. 1–5.

3. Фурман И. А. Научно-технические основы создания и промышленного применения параллельных логических контроллеров на программируемых БИС с матричной структурой: дис. ... докт. техн. наук: 05.13.05/ Фурман Ілля Олександрович. –К., 1989. – 197 с.

4. Фурман И. А. Концепция, методы и средства моделирования на ПЛИС контроллеров и процессоров с параллельной архитектурой / И. А. Фурман, В. А. Краснобаев, М. Л. Малиновский [и др.] // Автомобильный транспорт: Сб. научных трудов, вып. 16. – Харьков, 2005. – С. 338–341.

5. Фурман И. А. Совершенствование математической модели и архитектуры логических управляющих автоматов параллельного действия / И. А. Фурман, С. Я. Бовчалоук // Інформаційно-керуючі системи на залізничному транспорті. – 2006. –№3(59). – С. 72–76.

6. Фурман І. О. Технічна реалізація промислового зразка ПЛІС-контролера паралельної дії / І. О. Фурман, С. Я. Бовчалоук, М. С. Деренько [та ін.] // Проблеми енергозабезпечення та енергозбереження в АПК України: Вісник ХНТУСГ імені Петра Василенка, вип. 87. – Харків, 2009. – С. 126–127.

Анотація

РЕТРОСПЕКТИВНИЙ АНАЛІЗ РОЗВИТКУ АРХІТЕКТУРИ ПЛК ПАРАЛЕЛЬНОЇ ДІЇ

Фурман І. О., Малиновський М. Л., Бовчалоук С. Я., Алашев О. Ю.

Проведено ретроспективний аналіз розвитку програмованих логічних контролерів паралельної дії від абстрактних моделей паралельного автомата Закревського до практичної реалізації систем критичного застосування на основі ПЛІС-технологій. Визначено недоліки існуючих рішень і намічені перспективи подальших досліджень технології паралельного логічного керування.

Abstract

RETROSPECTIVE ANALYSIS OF ARCHITECTURE PLC OF PARALLEL ACTIONS

I. Furman, M. Malinovsky, S. Bovchaliuk, A. Allashev

A retrospective analysis of the development of programmable logic controllers of parallel action from abstract models of parallel machine Zakrevski to implementation of critical application systems based on FPGA technology. Identified shortcomings of existing solutions and outline prospects for further research technology of parallel logic control.