

## СПЕЦИАЛИЗИРОВАННЫЙ КОНТРОЛЛЕР ЛОКАЛЬНОЙ СЕТИ

В статье рассмотрена реализация контроллера локальной сети на базе программируемой логической интегральной схемы, в котором с помощью автоматов реализованы протоколы UDP и ARP. Благодаря этому, контроллер обеспечивает быстродействующую пересылку данных между персональным компьютером и сопроцессором, в который встроен этот контроллер.

The implementation of the LAN controller based on FPGA is proposed, in which the UDP and ARP protocols are implemented on the base of the finite state machines. Such implementation of the controller provides the high-speed communication between PC and coprocessor, in which the controller is built in.

### Введение

Благодаря своей высокой производительности, программируемые логические интегральные схемы (ПЛИС) часто используются в качестве сопроцессора к персональному компьютеру (ПК) для ускорения критических вычислений или как мощное периферийное устройство ввода, например, как процессор видеокамеры или аппарата УЗИ. Однако остается проблема организации быстрого ввода-вывода данных в/из ПЛИС.

Среди таких современных быстрых каналов ввода-вывода, как PCI Express, SATA, USB, Ethernet, последний обладает рядом преимуществ при подключении через него ПЛИС. Во-первых, при этом нет необходимости в разработке сложного специального драйвера, а дополнительное матобеспечение для PC – сравнительно простое и основано на стандартных файловых операциях ввода-вывода. Во-вторых, вычислительный модуль, устанавливаемый в ПЛИС для контроля шиной Ethernet, т.е. контроллер локальной сети, существенно проще в разработке, чем такой же модуль для PCI Express или SATA. В-третьих, шина Ethernet обеспечивает пропускную способность не ниже, чем у PCI Express или SATA, но существенно выше, чем у USB. Наконец, подключение сопроцессора через шину Ethernet дает возможность передавать данные на практически любую дистанцию и разделять сопроцессор между несколькими PC с различными операционными системами [1].

Для связи по интерфейсу Ethernet наиболее часто используется Интернет-протокол версии 4 (IPv4). Однако для соединения с большинством сопроцессоров достаточно применить более простой протокол передачи дейтаграмм UDP.

Благодаря меньшим накладным расходам на организацию и программирование протокола, UDP обеспечивает большую пропускную способность и меньшие затраты на внедрение, чем IPv4. Меньшая надежность соединения UDP теряет важность при непосредственном соединении сопроцессора и ПК. Чтобы упростить соединение с периферийным процессором через локальную сеть, он должен также иметь реализацию протокола определения сетевого адреса ARP [2,3].

Многие фирмы – поставщики ПЛИС предлагают также вычислительные модули контроллера доступа к шине Ethernet (Media Access Controller – MAC). Однако для полноценного доступа к сети через контроллер MAC необходим также модуль быстродействующего микроконтроллера с установленной программой стека TCP/IP, работающей в среде на основе ОС Linux [4]. Однако из-за невысокого быстродействия такого стека (порядка 5 Мбит в секунду), а также необходимости покупки дорогостоящих лицензий на модуль MAC, микроконтроллер и матобеспечение (20-40 тыс. долл.) такое техническое решение не годится для многих приложений сопроцессора на базе ПЛИС.

В статье описывается специализированный контроллер локальной сети, который, благодаря встроенной реализации протоколов UDP и ARP, обеспечивает при малых аппаратных затратах высокую пропускную способность при передаче данных между ПК и сопроцессором на базе ПЛИС.

### Архитектура контроллера локальной сети

Физический уровень интерфейса Ethernet реализуется на микросхеме приемопередатчика локальной сети (ППЛС) со стандартными функциями приема-передачи синхронных битовых последовательностей. При этом после установки синхронизма приема, ППЛС выдает непрерывный поток тетрад или байтов принятых данных. Для настройки режима работы ППЛС имеет стандартный последовательный интерфейс МП.

Каждый пакет Ethernet на физическом уровне начинается 8-байтовой преамбулой 55...55D5h, которая служит для нахождения начала пакета и заканчивается контрольным кодом FCS, служащим для проверки целостности пакета. Пакет UDP, кроме этого, содержит физические адреса приемника и передатчика, тип пакета, его заголовок, номер протокола, контрольную сумму заголовка IP, IP-адреса, UDP-адреса, длину пакета, его контрольную сумму и данные пакета.

Контроллер MAC должен запрограммировать режим ППЛС, принимать пакеты данных от него и подавать синхронно на вход ППЛС пакеты на передачу. При приеме контроллер должен выбрасывать из потока преамбулу и код FCS, а при передаче – их вычислить и добавить в поток.

Контрольные суммы IP, UDP рассчитываются как сумма полуслов с дополнением до 1 с инверсией результата. Код FCS определяется как циклическая свертка CRC путем двоичной свертки полинома с битами пакета, начиная с первого переданного бита MAC-адреса приемника и кончая последним битом последнего переданного данного. Сверточный полином задан кодом 04C11DB7h. Начальное значение свертки CRC равно FF...FFh. Результирующий код FCS – это двоичная инверсия кода CRC, а его передача в канал начинается с бита, отвечающего старшей степени полинома, т.е. разряды передаваемых тетрад или байтов кода FCS должны иметь двоично-инверсный порядок. Корректный принятый пакет вместе с контрольным кодом FCS должен дать после своей свертки результат CRC, равный C704DD7Bh [2,3,5].

### Проектирование контроллера

Для реализации логического уровня локальной сети были выбраны протоколы 10BASE-T и 100BASE-TX, пропускной способности которых достаточно для большинства приложений сопро-

цессора на базе ПЛИС. При этом прием и передача данных между ППЛС и контроллером MAC выполняются тетрадами. Причем используется только дуплексный режим работы контроллера, который обеспечивается практически во всех локальных сетях, оборудованных кабелями с витой парой.

Кроме протокола UDP, контроллер MAC реализует протокол ARP, что обеспечивает стыковку сопроцессора с ПК с использованием матобеспечения ОС ПК, благодаря чему существенно упрощается разработка и отладка приложений сопроцессора.

Контроллер MAC состоит из трех независимых блоков: блоков приема, передачи и управления ППЛС. Последний при начальной установке программирует необходимые настройки ППЛС и контролирует его работу.

Структура блока приема показана на рис.1.

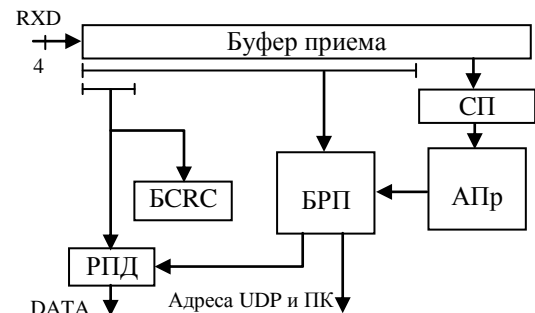


Рис.1. Блок приема контроллера MAC

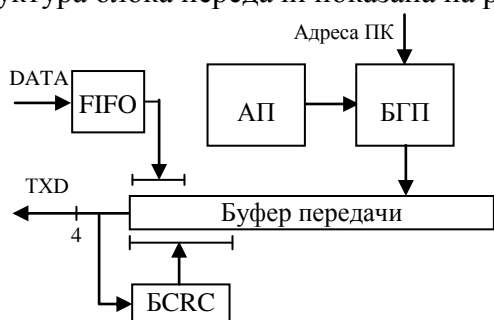
Входные данные RXD непрерывно поступают в буфер приема, представляющий собой восьмибайтовый сдвиговый регистр. Селектор преамбулы (СП) срабатывает, если в буфере оказывается код преамбулы пакета и запускает автомат приема (АПр). АПр, кроме состояния ожидания пакета, имеет также состояния загрузки заголовка, загрузки данных и проверки FCS. В момент нахождения преамбулы в АПр запускается счетчик принятых тетрад, состояние которого строго соответствует номеру тетрады заголовка пакета и передается в блок распаковки пакета БРП.

БРП управляет приемом пакетов с протоколами UDP и ARP. При этом в соответствующих тактах из буфера приема выделяются необходимые поля заголовка пакета, сравнение принятых адресов с адресами данного контроллера MAC, определяется тип протокола, число принимаемых данных. На выходы БРП в режиме ARP выдаются полученные Ethernet

адреса ПК. Если условия приема пакета совпали с заданными, то принятые байты данных пакета записываются в выходной буферный регистр РПД. Блок контроля циклической свертки (BCRC) выдает сигнал отмены принятых данных, если он обнаружил нарушение целостности пакета.

При приеме пакетов буферная память, кроме РПД, не требуется, так как устройства, подключаемые к контроллеру и реализованные в ПЛИС, всегда имеют быстродействие, достаточное, чтобы не допустить потери данных.

Структура блока передачи показана на рис.2.



**Рис.2. Блок передачи контроллера MAC**

Для передачи пакета UDP инициатор его передачи запускает автомат приема (АП) и подает поток передаваемых данных DATA в буфер FIFO. АП определяет основные фазы передачи пакета и ведет отсчет тактов для блока генерации пакета (БГП). БГП формирует и подает в сдвиговый регистр буфера передачи преамбулу и заголовки пакета. Также он вычисляет и передает в буфер контрольную сумму заголовка. Блок контроля циклической свертки (BCRC) вычисляет контрольный код FCS передаваемых тетрад TXD, подставляемый в конец пакета. После приема контроллером пакета ARP с запросом адреса, БГП обеспечивает передачу ответного пакета ARP.

### Экспериментальные результаты

Контроллер MAC был использован для соединения ПК и сопроцессора для решения задач линейной алгебры [6]. Также контроллер был использован в составе сопроцессора для ускорения выполнения криптографических алгоритмов.

Сопроцессор реализован на отладочной плате фирмы Avnet, содержащей ПЛИС XC4VSX-35 фирмы Xilinx и микросхему ППИС DP83847 фирмы National.

Испытания контроллера показали его работоспособность и надежность соединения. При

этом максимальная скорость пересылки пакетов (до 10 Мбайт в сек.) сдерживалась матобеспечением ПК. Результаты конфигурирования контроллера в ПЛИС Xilinx различных серий показаны в таблице.

Параметр	Spartan-3E	Virtex-4	Virtex-5
Аппаратные затраты, CLB's	810	956	408
Максимальная тактовая частота, МГц	200	330	390

Анализ данных в таблице показывает, что у схемы контроллера MAC есть большой запас быстродействия. Это означает, что после несложной доработки он может реализовать протокол 1000BASE-T, благодаря чему его пропускная способность увеличится вдесятеро. При этом следует лишь заменить формат данных в виде тетрад на байтовый формат.

Также планируется увеличение функциональности контроллера путем реализации протоколов стека TCP/IP. Чтобы упростить реализацию сложных протокольных алгоритмов, необходимо добавление программируемого микроконтроллера, такого как i8051. Микроконтроллер с такой архитектурой с быстродействием до 100 млн. команд в сек. описан в [7]. Авторами разрабатывается также специализированный микроконтроллер для реализации Интернет-протоколов, архитектура которого адаптирована к их реализации.

В дальнейшем планируется построение специализированного сетевого процессора для фильтрации опасных пакетов с использованием данного контроллера.

### Выводы

Для соединения быстродействующего сопроцессора с ПК наиболее эффективно применение шины Ethernet, которая обеспечивает как высокую скорость передачи данных на любые расстояния, так и малые затраты на доработку матобеспечения ПК. Однако широко распространенные технические решения (готовые блоки соединения с Ethernet, вычислительные модули для ПЛИС) обладают недостатками, такими как низкая скорость передачи данных или высокая стоимость, а также

большие затраты на доработку матобеспечения.

Реализация протоколов UDP и ARP в специализированном контроллере шины Ethernet обеспечивает стыковку сопроцессора с ПК с использованием матобеспечения ОС ПК, благодаря чему достигается не только высокая скорость передачи данных, но и существенно упрощается разработка и отладка приложений сопроцессора.

Сопроцессор на базе ПЛИС со встроенным специализированным контроллером локальной сети может найти широкое применение для решения большого круга задач, как например, обработка видеосигналов, ультразвуковая диагностика, защита локальных сетей, ускорение задач сортировки и поиска, реализация сложных криптоалгоритмов и многие другие.

### Список литературы

1. Alachiotis N., Berger S.A., Stamatakis A. Efficient PC-FPGA communication over Gigabit Ethernet // Proc. 7-th IEEE Int. Conf. on Embedded Software and Systems, ICCESS'10. Bradford, UK. –2010. –288-296.
2. Axelson J. Embedded Ethernet and Internet Complete. Designing and Programming Small Devices for Networking. – Madison: Lakeview Research LLC. –2003. –482p.
3. Held G. Ethernet Networks: Design, Implementation, Operation, Management. –John Wiley & Sons. – 2003. – 583p.
4. Каршенбойм И. Контроллеры Fast Ethernet для встроенных применений// Компоненты и технологии. –2003. –№ 5. –с.12-19.
5. Borrelli C. IEEE 802.3 Cyclic Redundancy Check // XAPP209 (v1.0) –2001. –March 23. –8 p. Available at <http://www.xilinx.com>
6. Sergiyenko A., Maslennikov O., Lepekha V., Tomas A., Wyrzykowski R. Parallel Implementation of Cholesky  $LL^T$  Algorithm in FPGA-Based Processor //Lecture Notes in Computer Science. –Berlin: Springer. –2008. –p. 137-147.
7. Сергієнко А.М., Лепеха В.Л. Деякі особливості проектування мікроконтролерів для СНК // Вісник НТУУ «КПІ», сер. Інформатика, управління та обчислювальна техніка. –Т.50. –2009. –с.70-73.