
УДК 681.325

Н.В. Белова, В.Г. Лобода, Р.Я. Умяров

Харьковский национальный университет радиоэлектроники, Харьков

О СХЕМОТЕХНИЧЕСКОМ СИНТЕЗЕ СПЕЦИАЛИЗИРОВАННОГО ПРОЦЕССОРА

На базе результатов системотехнического проектирования специализированного процессора выполняется процедура отображения его функциональных узлов на технические узлы структурной модели микропроцессора.

Ключевые слова: модель, микропроцессор, отображение, техническая модель, программная модель.

Введение

В соответствии со стадиями жизненного цикла средств вычислительной техники необходимо выполнить следующие виды работ по проектированию [1].

Это, прежде всего, внешнее и внутреннее проектирование, в результате реализации которых получают структурно-функциональные и принципиальные электрические схемы будущего изделия (объекта), а также его программное обеспечение.

В работе [2] были синтезированы схемы на структурном и функциональном уровнях для последующего аппаратно-программного проектирования специализированного процессора системы технического зрения.

Целью данной статьи является разработка технической модели и программного обеспечения процессора, начало проектирования которого изложено в работе [2].

1. Отображение функциональных структур на технические модули

1. Отображение функциональных структур на технические модули

Общую постановку задачи сформируем следующим образом. При полученных характеристиках

и параметрах функциональной структуры процессора необходимо получить характеристики и параметры технической структуры. Другими словами – при полученном перечне функциональных задач должно быть определено число технических ресурсов требуемого уровня, способы распределения функции между ресурсами, способы коммутации технических ресурсов (модулей) с учётом выбранных или заданных критериев оптимальности. Отображать функциональную структуру Ф процессора на его техническую структуру Т можно на любом уровне модульных средств вычислительной техники от БИС, до ИС малой и средней интеграции. Однако при этом необходимо соблюдать закон отображения α

$$\{\Phi\} \xrightarrow{\alpha} \{T\},$$

который может быть и нечётным [3].

На базе рассуждений, приведенных в [2, 3], примем в качестве исходного базового технического модуля БИС микропроцессора МП. Известно, что МП любого типа может быть представлен в виде конечного множества математических моделей различного применения [3] – алгоритмическая, аналитическая, древовидная (операторная), программистская, графовая, структурная. В данной работе выбрана программистская модель МП из-за её наглядности в аспекте программирования.

2. Разработка аппаратного обеспечения системы технического зрения

Для синтеза технической структуры Т необходимо поставить в соответствие элементы и узлы структурно-функциональных схем, полученных в [2], элементам и узлам МП-комплекта. Для этого воспользуемся программистской моделью средне-статистического МП [3]. Табл. 1 – 3 содержат перечни программно доступных узлов и их содержания с обозначениями, принятыми в [2].

Вариант соответствия приведён в табл. 1.

Таблица 1

Варианты соответствия

Переменные	Запоминающие узлы
$X_{ин}, Y_{ин}$	16-разрядный регистр РХУЦ (вх. порт)
$M(n)$	8-разрядный регистр РМ (вх. порт)
$r(p)$	8-разрядный регистр РР (вх. порт)
X, Y	16-разрядный регистр РХУ (вых. порт)
X_T, Y_T	16-разрядный РОН ВР
R_{min}	16-разрядные ячейки стека
$X_{ц}, Y_{ц}$	16-разрядные ячейки стека
K	8-разрядный РОН СН
L	8-разрядный РОН СЛ
J	8-разрядный РОН ВН
I	8-разрядный РОН ВЛ
$A_1(X'_T, Y'_T)$	16-разрядной РОН СИ
A_2	16-разрядной РОН ДИ
R	16-разрядной РОН ДХ
Q	16-разрядной РОН АХ
EW	1-разрядный регистр РЕУ (вх. порт)

Входные и выходные порты (регистры РХУЦ, РМ, РР, РХУ, РЕУ) программно доступны МП как устройства ввода – вывода. Адреса регистров приведены в табл. 2.

Таблица 2

Распределение адресов

Регистр	Условное обозначение	Адрес
РХУЦ	Port $X_{ц}$	00H
РМ	Port m	02H
РР	Port r	03H
РХУ	Port X	04H
РЕУ	Port EW	06H

Память изображения и эталонов – программно доступная со стороны процессора как память данных. Распределение главной памяти приведено в табл. 3.

Таблица 3

Распределение памяти

ОЗУИ	0000-3FFF
ИЗУ	4000-40FF
СТЕК	5000-50FF
Память программ	6000-6FFF

Координаты X и Y хранятся не в отдельных регистрах, а в одном 16 – разрядном регистре (ячейке памяти). Для адресации памяти достаточно 16 разрядов адреса. Регистры сегментов, кроме CS, перегружать после начальной установки не нужно.

Адреса, выдаваемые по мультиплексированной шине адреса данных, запоминаются буферными регистрами. Нагрузочная способность шины данных повышается шинными формирователями.

В рассматриваемом примере достаточно организовать работу МП в минимальном режиме. Структура ВУ на МП показана на рис. 1.

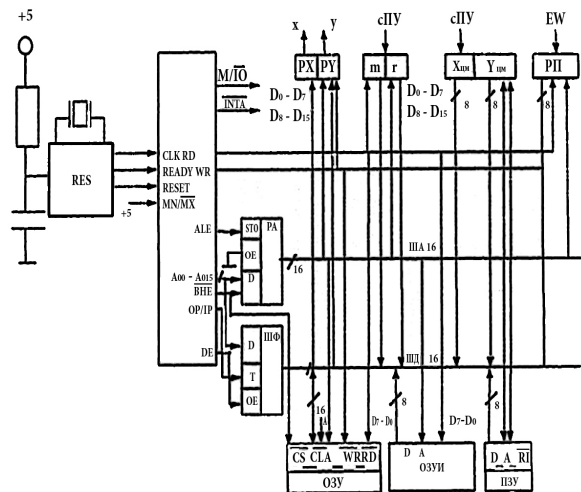


Рис. 1. Структура вычислительного устройства на МП

3. Разработка программного обеспечения

Программа разработана в соответствии с алгоритмом в [2]. На рис. 2 приведен текст программы на языке ассемблера и соответствие микрокоманд алгоритма.

MOV SP, ADR ST		DEC BL	y ₁₇	2
IN AX, PORT X _{цн}	y ₁ , y ₂	JNS L ₃	y ₁₂	8(4)
PUSH AX		SUB SI, 80 00H	y ₁₈	2
L ₁ : IN AL, PORT EW	8	IN AL, PORT m		8
AND AL, 01H	x ₁	CBW	y ₁₉	2
JZ J1	8(4)	ADD SI, AX		3
IN AL, PORT r	8	DEC BH	y ₂₀	2
MOV AH, AL	2	JNZ L ₄	x ₄	8(4)
-SAR AH, 1	2	POP AX		8
SAR AX, 1	2	DEC SP		2
MOV BP, AX	y ₁ , y ₂	DEC SP	y ₂₉	2
POP AX	8	CMP AX, DX		3
ADD BP, AX	3	JNBE L ₅	x ₂	8(4)
DEC SP	2	INC SP		2
DEC SP	2	INC SP		2
XOR AX, AX	3	INC SP	y ₂₁	2
NOT AX	y ₃	INC SP	y ₂₂	2
PUSH AX	11	PUSH BP	y ₃₀	11
IN AL, PORT r	y ₆	PUSH DX		11
MOV CH, AL	2	L ₅ : DEC BP	y ₂₁	2
L ₇ : IN AL, PORT r	y ₇	DEC CL	y ₂₄	2
MOV CL, AL	2	JNZ L ₆	x ₅	8(4)
L ₆ : IN AL, PORT m	8	SUB BP, 80 00H	y ₂₆	2
MOV AH, AL	2	IN AL, PORT r		8
SAR AH, 1	2	CBW	y ₂₅	2
SAR AX, 1	y ₈ , y ₉	ADD BP, AX		3
SAR AX, 1	2	DEC CH	y ₂₇	2
ADD AX, BP	3	JNZ L ₇	x ₆	8(4)
MOV SI, AX	2	INC SP		2
XOR AX, AX	y ₁₀	INC SP		2
MOV DI, ADDRROM	4	POP AX		8
IN AL, PORT m	y ₁₁	OUT AX, PORT X	y ₂₈	10
MOV BH, AL	2	DEC SP		2
L ₄ : IN AL, PORT m	8	DEC SP		2
MOV BL, AL	y ₁₂	JMP L ₁		15
L ₃ : MOV AX, O[SI]	13	ADR ST SET F0 5F H		
SUB AX, O[DI]	14	PORT X _{цн} SET 00 11		
JNS L ₂	y ₁₃ - y ₁₅	PORT r SET 02 11		
NEG AX	x ₂	PORT m SET 03 11		
ADD DX, AX	3	PORT X SET 04 11		
DEC DI	2	PORT EW SET 06 11		
DEC SI	y ₁₆	ADR ROM SET FF 40 H		

Рис. 2. Программа работы

4. Оценка времени работы программы

Зная время выполнения каждой команды, можно определить общее время выполнения программы:

$$T = [(((52m + 37)n + 97)r + 37)p + 74]t_{ц},$$

где $t_{ц}$ определяется тактовой частотой процессора, $t_{ц} = 200$ нс. Для $m = n = 16$ и $r = p = 5$; $T = 70$ мс.

Список литературы

1. Методы автоматизированного проектирования специализированных микропроцессорных устройств / В.А. Гулиус, В.Г. Лобода, В.П. Степанов, В.Ю. Цуканов; под ред. В.Г. Лободы. – Х.: ХНУРЭ, 2001. – 228 с.

2. Белова Н.В. О системотехническом синтезе специализированного процессора / Н.В. Белова, В.Г. Лобода, Р.Я. Умяров // Збірник наукових праць Харківського університету Повітряних Сил. – Х.: ХУПС, 2009. – Вип. 2 (20). – С. 70-73.

3. Белова Н.В. Функционально ориентированный процессорный модуль / Н.В. Белова, В.Г. Лобода, Д.А. Петросов // Системи обробки інформації. – Х.: ХУПС, 2005. – Вип. 3 (43). – С. 8-18.

Поступила в редколлегию 30.04.2010

Рецензент: д-р техн. наук, проф. И.В. Рубан, Харьковский университет Воздушных Сил им. И. Кожадуба, Харьков.

ПРО СХЕМОТЕХНІЧНИЙ СИНТЕЗ СПЕЦІАЛІЗОВАНОГО ПРОЦЕСОРА

Н.В. Белова, В.Г. Лобода, Р.Я. Умяров

На базі результатів системотехнічного проектування спеціалізованого процесора виконується процедура відображення його функціональних вузлів на технічні вузли структурної моделі мікропроцесора.

Ключові слова: Модель, мікропроцесор, відображення, технічна модель, програмна модель.

ABOUT CIRCUITRY-TECHNIC SYSTHESIS OF THE SPECIALIZED PROCESSOR

N.V. Belova, V.G. Loboda, R.J. Umyarov

Based on the results of system integrators designing specialized processor performs a procedure to display its functional units on the technical components of the microprocessor structural model.

Keywords: Model, microprocessor, display, technical model, programming model.