УДК 004(076.5)

Наталя Міхно

АНАЛІЗ НА НАДІЙНІСТЬ СХЕМ ПАМ'ЯТІ

Рассмотрены вопросы построения надежных элементарных схем автоматной памяти с точки зрения их надежности и способы организации определения их работоспособности.

Розглянуто питання побудови надійних елементарних схем автоматної пам'яті з точки зору їх надійності та способи організації, визначення їх працездатності.

Given work examined the methods of design reliable digital circuits of elementary memory, to determine working capacity and their applicability to build highly reliable reconfigurable of elementary memory

Ключові слова: елементарні схеми пам'яті, надійність, працездатність схем пам'яті.

Актуальність

Доктор технічних наук, професор О.П. Стахов пише в січні 2012 р. в статті [1], що недавно прийшло повідомлення про черговий аварійний запуск космічного апарата зв'язку «Меридіан». Вважається, що втрати від аварійного запуску цього космічного апарата можуть скласти до 2 млрд рублів. До цього подібні аварійні запуски відбувалися і раніше (при запуску супутників «Глобалстар»). Однією з можливих причин такого «збою» можуть бути «збої» в цифровій системі управління двигунами. За дивним збігом, аварії почалися після вдосконалення системи управління та її переведення на цифрову техніку. І ось в цьому, можливо, і «зарита собака». Справа в тому, що цифрові системи управління, засновані на сучасних мікропроцесорах, мають дуже низьку інформаційну надійність в порівнянні з аналоговими системами. Іноді достатньо збоїв одного електронного елемента пам'яті (тригера) в мікропроцесорі системи управління для того, щоб система почала виконувати помилкову команду, що може стати причиною аварії. Збій цифрової системи управління викликається як внутрішніми, так і зовнішніми чинниками. Збій може виникнути, наприклад, в результаті потужного зовнішнього електромагнітного впливу на ракету-носій в період запуску (електромагнітний тероризм).

На низьку інформаційну надійність сучасних мікропроцесорів (особливо іноземного виробництва) звертає увагу видатний російський учений академік

© Міхно Н. Л., 2012

Ярослав Хетагуров, який пише, що застосування мікропроцесорів, контролерів та програмного забезпечення обчислювальних засобів іноземного виробництва для вирішення завдань в системах реального часу військового, адміністративного та фінансового призначення таїть у собі великі проблеми. Це свого роду «троянський кінь», роль якого тільки почала проявлятися. Втрати і шкода від їх використання можуть істотно вплинути на національну безпеку Росії, України та інших країн [2]

О.П. Стахов в статті [3], розвиваючи думки академіка Я.А.Хетагурова, зробив, на перший погляд парадоксальне, твердження:

«Таким чином, людство стає заручником класичної двійкової системи числення, яка лежить в основі сучасних мікропроцесорів і інформаційних технологій. Тому подальший розвиток мікропроцесорної техніки і заснованої на ній інформаційної технології на основі класичної двійкової системи числення слід визнати тупиковим напрямком. Двійкова система не може служити інформаційною та арифметичною основою спеціалізованих комп'ютерних та вимірювальних систем (космос, управління транспортом і складними технологічними об'єктами, нанотехнології), а також наноелектроннних систем, де проблеми надійності, завадостійкості, контролеспроможності, стабільності, живучості систем виходять на передній план».

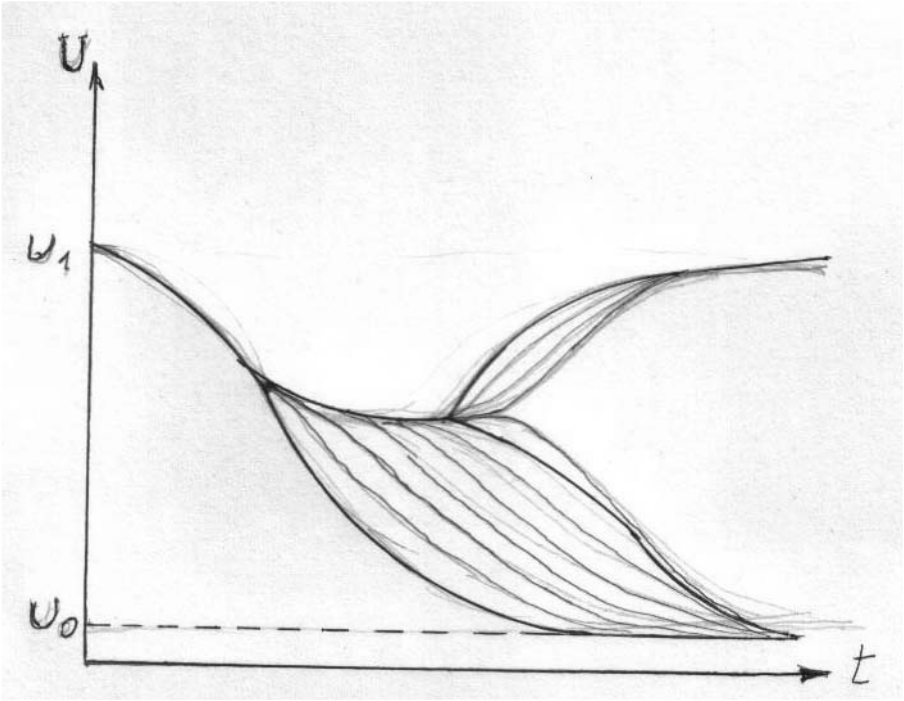

Рис. 1. **Діаграма переходу *RS* – тригера при знижені значення джерела живлення**

Можна назвати основні вимоги, що висуваються до комп'ютерних пристроїв і систем управління, які використовуються в цих технологіях, для атомних станцій, ракетної техніки, літакової техніки, залізничного транспорту тощо., в яких «збої»

двійкової пам'яті призводять до великих катастроф. Такими вимогами можуть бути: надійність, і живучість пристроїв при виході з ладу одного або декількох елементів.

Людство стає заложником сучасної комп'ютерної технології, що основана на «Неймановських принципах». «Неймановські комп'ютери», що використовують двійкову систему, є принципово ненадійними і не можуть ефективно використовуватися у багатьох важливих додатках, в частості, для управління складними технологічними об'єктами, де проблема надійності комп'ютерів виступає на перший план.

Дослідження,що проводилися в Інституті кібернетики АН України у 1964 році у відділі В.М. Глушкова молодими вченими Л.Мараховським і Є. Комухаєвим, довели, що *RS* – тригера при знижені значення джерела живлення має таку діаграму ймовірного переходу замість детермінованого з одного стану в інший (рис. 1). Крім того, вихід з ладу одного із логічних елементів у *RS* – тригері приводить до катастрофічної відмови працювати як схема пам'яті. Ці дослідження яскраво підтверджують ствердження д.т.н., професора О.П. Стахова і академіка Я.А.Хетагурова що двійковий *RS* – тригер є принципово ненадійним і не може ефективно використовуватися у багатьох важливих додатках.

Питання підвищення живучості елементарних схем пам'яті

В даний час надвеликі інтегральні схеми (НВІС) будуються з розрахунком на 100% придатність всіх компонентів схеми. Збільшення кількості компонентів і самої площі кристала НВІС, збільшення довжини шин і зменшення ширини їх розмірів природно збільшують ймовірність виходу з ладу компонентів і появи обривів в їх зв'язках. Це призводить до значного браку НВІС і до катастрофічного виходу з ладу їх в процесі експлуатації.

З метою підвищення надійності роботи систем з ненадійних елементів роблять багаторазове резервування, розподілені мережеві системи і т. ін., в яких виходи цілого блоку або пристрою з ладу визначається діагностичними програмами і не відображаються катастрофічно на роботі всієї системи в цілому. Крім цього, відзначається ненадійність роботи основної елементарної двійковій схеми пам'яті, яка використовується майже у всіх цифрових НВІС [1 -3].

Використання дворівневих пристроїв пам'яті дозволяє будувати припущення, що рішення проблеми підвищення надійності роботи пам'яті і побудова НВІС без 100% придатності всіх компонентів схеми можливо. Таке припущення ґрунтується на властивості багаторівневої структури пам'яті з багатофункціональною системою організації працювати в одному з підмножин π_j своїх станів при відповідних зберігачів $e_j(\Delta)$ вхідних сигналах.

За певної несправності в елементах БФСП [4] або у зв'язках їх з іншими елементами можна припустити, що деякі з елементів, виходять з ладу і, тим самим, звужують область функціонування БРСП (рис. 2) [5; 6]. Однак, вони не виводить його повністю з ладу, як елемент пам'яті. У цьому випадку БРСП здатне функціонувати в обмежених підмножинах всієї множини Q своїх станів. Використання частково працездатної пам'яті підвищує життєздатність пристрої пам'яті, а, отже, і його надійність. У БРСП закладені потенційні можливості функціонувати в обмежених підмножинах своїх станів при часткових пошкодженнях в елементах.

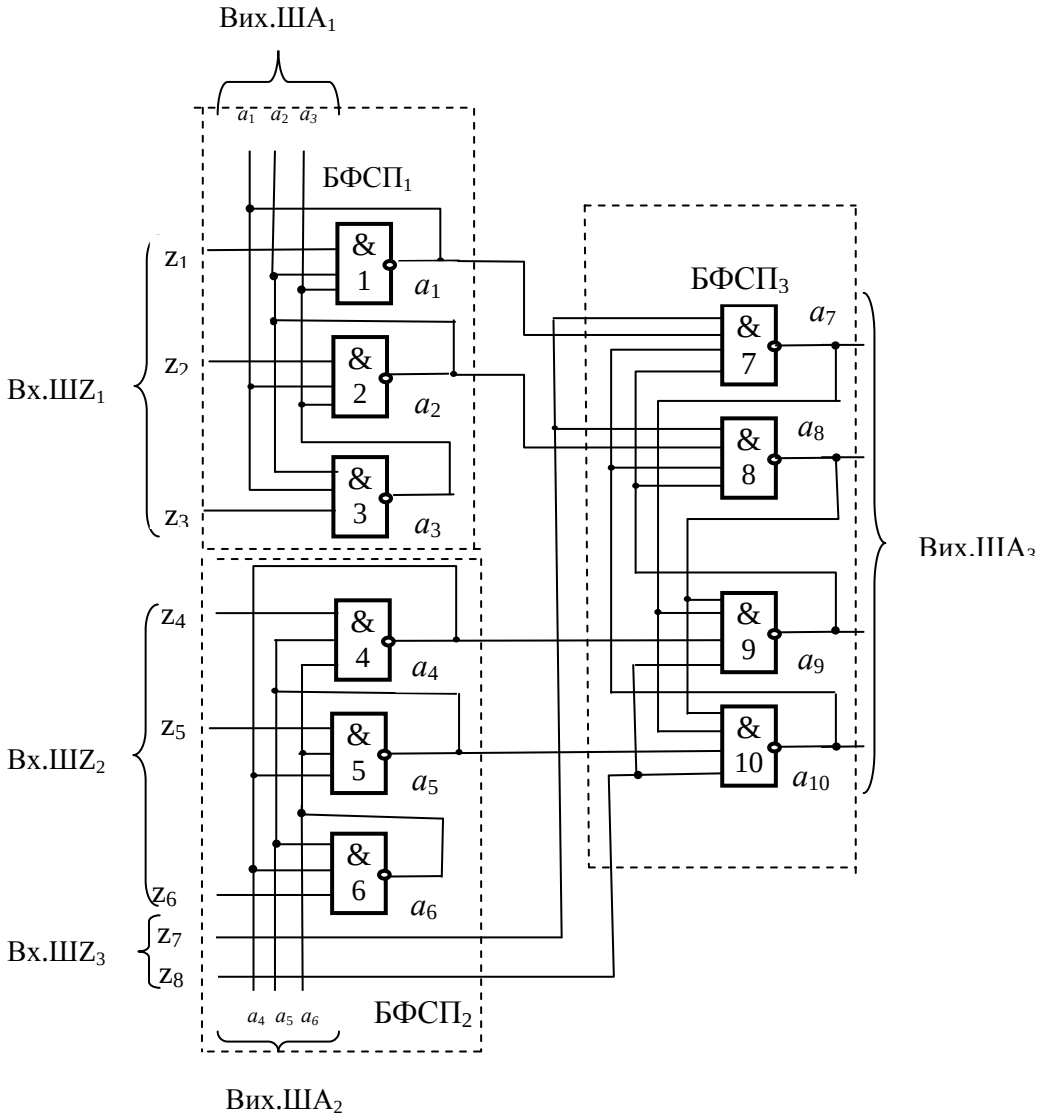

Рис. 2. **Багаторівнева схема пам'яті класу** L_N^B

У БФСП використовуються елементи, поодинокі вихідні сигнали яких є активними сигналами для інших груп. Припустимо, що основною несправністю елементів є появою на вихідних вузлах постійного значення рівного логічному нулю. Таке припущення цілком правдоподібне, якщо врахувати, що при обриві вхідного вузла в логічних елементах інтегральних схем значення вхідного сигналу сприймається рівним логічної одиниці. Отже, вихідний сигнал елемента, що має обірваний вхід, набуває постійне значення рівне логічному нулю. У цьому випадку такий елемент просто не буде брати участь у запам'ятовуванні станів даної групи БФСП і характеристична функція *i*-ї групи ($K_i = 2^{R_i} - 1$) зменшить своє значення на одиницю, тобто стане рівною $K_i = 2^{R_i - 1} - 1$, де R_i – кількість елементів у *i*-ї групи.

При несправності в цілій групі базових елементів, схема пам'яті буде працювати як запам'ятовуючий пристрій, якщо число працездатних груп буде не менше 2 (тобто $m \geq 2$) і в кожній групі хоча б по одному базовому елементу.

Із закону функціонування БРСП [5-6] зрозуміло, що БФСП здатна функціонувати при різних зберігачах $e_j(\Delta)$ вхідних сигналах, що надходять з автомата стратегії A_M, в певних підмножинах π_j своїх станів. При некатастрофічних несправностях БФСП звужує область своїх станів, в яких вона ще здатна працювати. Несправності в елементах можуть бути і катастрофічними в тому випадку, якщо на виході елемента встановлюється активний вихідний сигнал, значення якого дорівнює логічній одиниці. У цьому випадку вся БФСП виходить з ладу.

Таким чином, при синтезі БРСП можна заздалегідь враховувати питання надійного синтезу, якщо відомі характерні несправності НВІС. Використання керованих БФСП $A_У$ спільно з керуючим автоматом стратегії A_M створює передумови для побудови, виготовлення і використання частково справних пристроїв, що застосуються при обробці інформації.

Розглянемо для прикладу дворівневу пам'ять, до складу якої входять керована БФСП$_3$ $A_У$ (рис. 2) і автомати стратегії A_M для кожної групи БФСП$_1$ і БФСП$_2$ (рис.2), і оцінимо працездатності здатність БРСП як пристрої пам'яті, здатного запам'ятовувати мінімальне число визначених станів при часткових пошкодженнях схеми.

Припустимо, що елементи при несправності мають на виході постійні значення логічного нуля. У цьому випадку БФСП $A_У$ ще здатна функціонувати як елементарний автомат з пам'яттю при відмові довільного елемента в будь-якій групі, що становить 25% апаратури, і ще одного елемента в іншій групі. В даному випадку БФСП $A_У$ здатна функціонувати при 50% несправних елементів і 100% вихід з ладу автомата стратегії A_M, який складається з двох БФСП (рис. 2). Таким чином, при виході з ладу 8 елементів з 10, що складає 80%, дворівневого пристрою пам'яті ще здатне функціонувати як елементарна двійкова пам'ять (тригер). Це оцінка максимальної живучості дворівневого пристрою пам'яті при часткових несправності елементів в БРСП.

При виході з ладу по одному елементу в автоматі стратегії A_M пристрій пам'яті зменшує свою область функціонування на одну підмножину своїх станів, тобто приблизно на 16,7%.

При катастрофічному виході з ладу одного елемента в автоматі стратегії A_M для однієї групи елементів БФСП $A_У$, коли на його виході значення постійно дорівнює логічної одиниці і автомат A_M знаходиться постійно тільки в одному стані, БФСП $A_У$ звужує свою область функціонування. При катастрофічному виході з ладу довільного елемента у довільній групі БФСП $A_У$ дворівневий пристрій пам'яті перетворюється на багатостабільну схему пам'яті [7], яка здатна функціонувати самостійно за законами автомата стратегії A_M. Тільки при катастрофічних виходах елементів в БФСП $A_У$ і A_M дворівневий пристрій пам'яті повністю виходить з ладу як елемент пам'яті.

Таким чином, можливі три випадки працездатності дворівневого пристрою пам'яті:

1) 100% працездатність всіх компонентів і пристроїв пам'яті;

2) звуження областей станів пристрої пам'яті, в яких воно може працювати при часткових несправності своїх компонентів;

3) вихід з ладу працездатності пристрою пам’яті при катастрофічних несправності компонентів.

Розглянемо принципи побудови елементарних БРСП з підвищеною живучістю.

Принципи побудови БРСП з підвищеною живучістю полягають в такому:

1. Визначаються характерні несправності схем, які не є катастрофічними при роботі БРСП.

2. Технологія виготовлення пристроїв пам’яті коригуються для ліквідації катастрофічних несправностей, з метою зменшення некатастрофічного.

3. Визначається відсоток виходу 100% придатних і частково придатних пристроїв щодо відсотка повністю негідних пристроїв пам’яті.

Якщо цей відсоток повністю непридатних пристроїв і 100% придатних пристроїв задовольняє виробників, то з’являється можливість використовувати ще частково придатні пристрої па’'яті.

Контроль працездатності багаторівневих схем пам’яті

Контроль працездатності БРСП здійснюється при перевірці відсутності катастрофічних відмов схеми пам’яті у час подачі установчого $x_p(t)$ вхідного сигналу, при якому на всі вхідні вузли схеми пам'яті подається активна логічна одиниця, яка однозначно встановлює на всіх вихідних вузлах схеми пам’яті логічний нулю. При всіх інших установчих $x_i(t)$ вхідних сигналах однозначно встановлюються на вихідних вузлах схеми пам’яті хоча б одна логічна одиниця.

Дослідження багаторівневої схеми пам'яті класу L_N^B за допомогою Multisim може здійснюватись таким чином: спочатку визначаємо функціональну схему пам'яті і підключаємо до неї Word Generator (Генератор Слів), Logic Analyzer (Логічний аналізатор) (рис. 3).

Для більшої наочності і переконливості правильності функціонування дворівневої схеми пам’яті класу L_N^B формуємо тести вхідних слів $p(T)$, що складаються з елементарних наборів установчих $x_i(t)$ вхідних сигналів (табл. 1) і одного набору зберігача $e(\Delta)$ вхідного сигналу, який має на всіх вхідних вузлах z_i значення 1.

Будуємо тести вхідних слів $p = x, e$ для перевірки роботи побудованої функціональної схеми в Word Generator XWG1 (Генератор слів). Аналіз роботи схеми пам’яті на елементах І-НІ за допомогою імітаційного моделювання «NI Multisim 9» здійснюється так:

- запускаємо програму «NI Multisim9» на ПК.
- за допомогою меню "Place Misc Digital" викликаємо на робоче поле необхідні логічні елементи і будуємо функціональну схему;
- проводимо дослідження схеми віртуальними приладами Multisim 9- Word Generator (Генератор Слів), в якому розміщуємо розроблені тести (табл. 1); Logic Analyzer (Логічний аналізатор), на якому висвітлюються діаграми вхідних і вихідних сигналів (рис. 4).

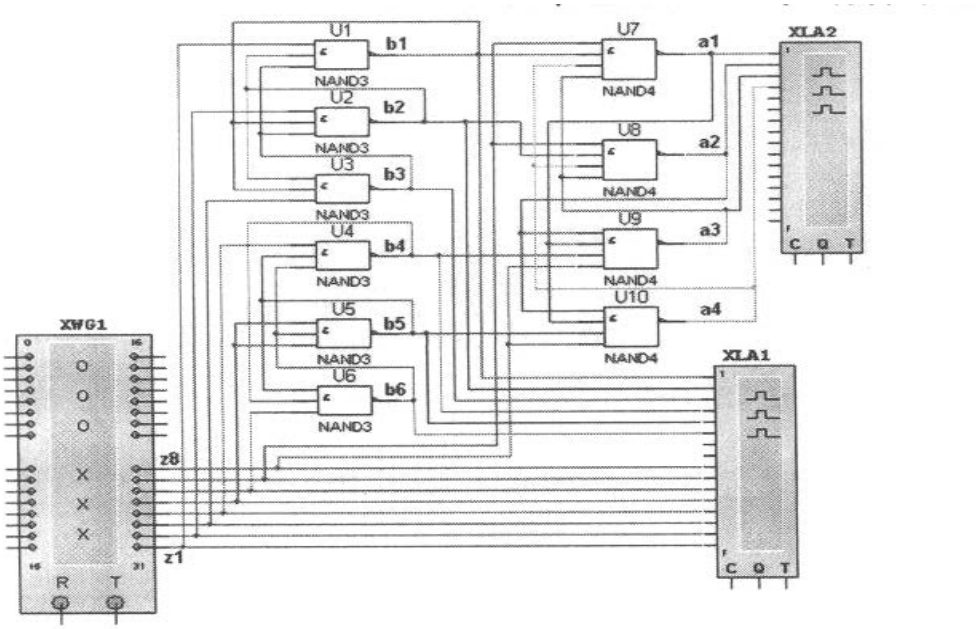

Рис. 3. **Дослідження багаторівневої схеми пам'яті класу** L_N^B

На рис. 4 показаний вигляд з генератором слів і логічним аналізатором після виконання покрокової послідовності наборів установчих $x(t)$ вхідних сигналів і набору зберігача $e(\Delta)$ вхідного сигналу після виконання 18 тестів. Дослідження показали коректність використання елементарних $p(T)$ вхідних слів (табл. 1), які відобразили відповідне функціонування їх в детермінованому режимі.

Таким чином, дана методологія визначення детермінованих вхідних слів елементарних багаторівневих схем пам'яті і перевірка роботи цих схем пам'яті за допомогою імітаційного моделювання Electronics Workbench (MultiSim 9) [8] переконливо довела їхню працездатність.

Таблиця 1

Тести для перевірки працездатності БРСП класу L_N^B.

Установчі вхідні сигнали	Структурні вхідні сигнали			Структурні вихідні сигнали			Стан БФСП
	Номери виходів генератора слів			–			
	31 30 29	28 27 26	25 24				
x_i	$z_1\, z_2\, z_3$	$z_4\, z_5\, z_6$	$z_7\, z_8$	$b_1 b_2\, b_3$	$b_q\, b_2\, b_3$	$a_1\, a_2\, a_3\, a_4$	A_i
x_1	1 0 0	1 0 0	1 0	0 1 1	0 1 1	1 0 1 1	A_1
x_2	1 0 0	1 0 0	0 1	0 1 1	0 1 1	1 1 1 0	A_2
x_3	1 0 0	0 1 0	1 0	0 1 1	1 1 0	1 0 1 1	A_3
x_4	1 0 0	0 1 0	0 1	0 1 1	1 1 0	1 1 0 1	A_4
x_5	1 0 0	0 0 1	1 0	0 1 1	1 1 0	1 0 1 1	A_5
x_6	1 0 0	0 0 1	0 1	0 1 1	1 1 0	1 1 0 0	A_6
x_7	0 1 0	1 0 0	1 0	1 0 1	0 1 1	0 1 1 1	A_7
x_8	0 1 0	1 0 0	0 1	1 0 1	0 1 1	1 1 1 0	A_8
x_9	0 1 0	0 1 0	1 0	1 0 1	1 1 0	0 1 1 1	A_9
x_{10}	0 1 0	0 1 0	0 1	1 0 1	1 1 0	1 1 0 1	A_{10}
x_{11}	0 1 0	0 0 1	1 0	1 0 1	1 1 0	0 1 1 1	A_{11}
x_{12}	0 1 0	0 0 1	0 1	1 0 1	1 1 0	1 1 0 0	A_{12}
x_{13}	0 0 1	1 0 0	1 0	1 1 0	0 1 1	0 0 1 1	A_{13}
x_{14}	0 0 1	1 0 0	0 1	1 1 0	0 1 1	1 1 1 0	A_{14}
x_{15}	0 0 1	0 1 0	1 0	1 1 0	1 1 0	0 0 1 1	A_{15}
x_{16}	0 0 1	0 1 0	0 1	1 1 0	1 1 0	1 1 0 1	A_{16}
x_{17}	0 0 1	0 0 1	1 0	1 1 0	1 1 0	0 0 1 1	A_{17}
x_{18}	0 0 1	0 0 1	0 1	1 1 0	1 1 0	1 1 0 0	A_{18}

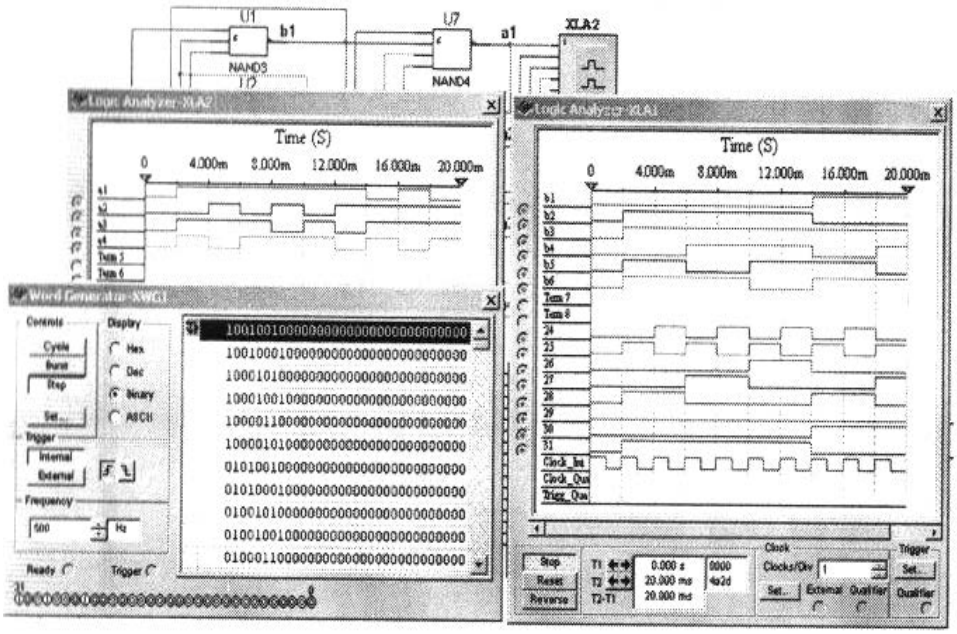

Рис. 4. **Аналіз роботи схеми пам'яті**

Висновки

З аналізу БФСП і БРСП з точки зору надійності можна зробити зі всієї визначеністю висновок, що вони значно збільшують надійність багатостабільних схем пам'яті за рахунок введення резервування елементів в групах БФСП. З іншого боку, існує можливість на їх основі проектувати багатофункціональні вузли, пристрої й комп'ютерні системи із змінною архітектурою [8]. Запропоновані БФСП і БРСП розширюють можливості елементної бази комп'ютерних систем за рахунок можливості функціонування їх в різних підмножинах π станів. Вони також здатні скоротити час перебудови роботи комп'ютера з одного алгоритму на інший, скоротити апаратні витрати в схемах пам'яті на один стан, який запам'ятовується, і істотно прискорити вирішення проблеми створення працездатних пристроїв при часткових несправностей їх компонент.

ЛІТЕРАТУРА

1. *Стахов А.П.* О возможной причине участившихся аварий при выводе российских спутников // «Академия тринитаризма».– М., Эл. № 77-6567, публ.17146, 26.12.2011

2. *Хетагуров Я.А.* Обеспечение национальной безопасности систем реального времени. – М.: ВС/NW 2009; №2 (15):11.1

3. *Стахов А.П* Микропроцессоры Фибоначчи – как одна из базисных инноваций будущего технологического уклада, изменяющих уровень информационной безопасности систем. /http://www.trinitas.ru/rus/doc/0232/009a/1212-sth.pdf