

## **КОНЦЕПТУАЛЬНІ ЗАСАДИ МЕТОДУ ДІАГНОСТУВАННЯ СУЧАСНИХ ЦИФРОВИХ ТИПОВИХ ЕЛЕМЕНТІВ ЗАМІНИ ПО ФОРМАТНИМ ЧАСТОТАМ ПЕРЕХІДНОГО ПРОЦЕСУ В ШИНІ ЖИВЛЕННЯ**

*У статті пропонується необхідність вирішення наукової задачі, що полягає в обґрунтуванні можливості застосування нового методу діагностування цифрових типових елементів заміни з використанням перехідних процесів в шині живлення. Перевагою цього методу є можливість використовувати спектр енергодинамічних імпульсів, що виникають у шині живлення цифрових пристроїв для перевірки їх працездатності. Для цього наводиться класифікація сучасних цифрових інтегральних мікросхем, аналіз існуючих методів діагностування цифрових типових елементів заміни, їхні основні переваги та недоліки, рішення задач контролю працездатності цифрових типових елементів заміни.*

*Ключові слова: типові елементи заміни, інтегральні мікросхеми, цифрові пристрої, перехідний процес в шині живлення.*

**Вступ та постановка проблеми.** Сучасні радіоелектронні засоби озброєння (РЕЗО), що знаходяться на озброєнні в ЗС України, характеризуються багатофункціональністю і складністю, зумовленими обсягом і характером задач, які вони вирішують. Особливістю цих РЕЗО є наявність великої кількості цифрових типових елементів заміни (ТЕЗ), надійність яких значною мірою визначає надійність об'єкта РЕЗО в цілому.

Цифровим пристроям сучасних РЕЗО, як об'єктам контролю, притаманні наступні особливості: висока інтеграція логічних елементів на кристали, підвищена прихованість процесів деградації, виникнення та розвитку дефектів. При рішенні задач технічного діагностування цифрових пристроїв ці особливості знижують їх ефективність при використанні існуючих методів технічного діагностування, а в деяких випадках роблять їх непридатними з точки зору одержання відповідних параметрів діагностування (вірогідність прийняття рішення, час діагностування і т.і.).

Своєчасне виявлення й усунення причин відмов радіоелектронної техніки на місці експлуатації приводить до підвищення кількісних характеристик надійності і зниженню витрат на їх експлуатацію. Проведення їх якісного діагностування покладається на вбудовані системи технічного діагностування.

**Метою статті** є підтвердження необхідності вдосконалювати існуючі та розробляти нові методи діагностування цифрових пристроїв, побудованих на новій елементній базі – інтегральних мікросхемах (ІМС).

**Виклад основного матеріалу.** На етапі проектування ТЕЗ РЕЗО задача введення контрольних точок і визначення їх кількості з метою діагностики цілком вирішується. З іншого боку, збільшення числа діагностичних параметрів і контрольних точок, які використовуються для забезпечення достовірності контролю ускладнює апаратуру і збільшує загальний час пошуку і локалізації несправних ТЕЗ. Для пристроїв РЕЗО, виконаних на цифровій елементній базі третього і четвертого поколінь, частка цього часу ще більш зростає, що обумовлюється специфічними особливостями побудови і фізико-хімічними властивостями їх елементної бази. Очевидно, що виникає потреба в розробці і використанні методів технічного контролю, а на їх основі пристроїв, які дозволяють скоротити число контрольних точок і діагностичних параметрів (при виконанні умови забезпечення необхідної достовірності контролю), з метою зменшення часу на пошук і локалізацію несправних цифрових ТЕЗ і спрощення апаратури контролю. Таким чином, актуальність теми визначається жорсткістю вимог до часових і економічних показників працездатності пристроїв РЕЗО, виконаних на цифровій елементній базі. Раціональним є випадок, коли об'єкт діагностування (ОД) містить тільки одну контрольну точку, у якій вимірюється один діагностичний параметр, проаналізувавши який, можна зробити висновок про працездатність

об'єкта. Таким чином, задача мінімізації кількості контрольних точок і діагностичних параметрів, які забезпечать діагностування ТЕЗ з необхідною якістю, є важливою науково-технічною задачею[1].

Складність електронних виробів, що випускаються промисловістю, а також їх кількість зростає так стрімко, що важко уявити розробників засобів, які впоралися б із своїми задачами, маючи на озброєнні лише напівавтоматизовані й інтуїтивні методи виявлення та пошуку несправностей. При цьому, нерідко, вимоги до процесів діагностування входять в протиріччя з фізичними можливостями сучасних цифрових пристроїв, які обмежені як за швидкодією, так і за використанням машинної пам'яті. Вихід із цього положення – удосконалення й розроблення нових нестандартних методів розв'язання задач діагностування з подальшою автоматизацією на базі сучасної вимірювальної й обчислювальної техніки[2].

У процесі виробництва, експлуатації й збереження об'єктів у них можуть з'являтися й накопичуватися несправності. Деякі з них приводять до того, що об'єкт перестає відповідати технічним вимогам, які до нього висуваються.

Перед використанням об'єкта за призначенням необхідно знати, чи є в ньому несправності, що можуть бути причиною порушення його нормальної роботи. З відповіддю на це питання пов'язаний процес виявлення несправності. Він деталізується в залежності від режиму й особливостей використання об'єкта і, відповідно до цього, виділяються такі задачі виявлення несправності:

- перевірка справності, метою якої є розбракування, що дозволяє відокремити справні вироби від несправних. Од справний, якщо він задовольняє всі технічні вимоги;
- перевірка працездатності, метою якої є з'ясування, чи буде об'єкт виконувати ті функції, для реалізації яких він створений;
- перевірка правильності функціонування, метою якої є виявлення несправностей, що порушують правильну роботу об'єкта, застосовуваного за призначенням, у даний момент часу[2].

Класифікація ІС до кінця не устаткувалась, що зумовлено, насамперед, високою динамікою розвитку цифрової електроніки, постійним розширенням номенклатури ІС, їх багатофункціональністю, появою нових і трансформацією наявних різновидів ІС. Це призводить до певних різночитань і суб'єктивізму у виборі критеріїв класифікації, трактуваннях їх наповнення і т.п.

Першим комерційно успішним КМОП-сімейством були КМОП-схеми серії 4000 (4000-series CMOS). Перевагою схем серії 4000 була мала розсіює потужність, але вони були досить повільними і їх було не просто зістикувати з найбільш популярним в той час логічним сімейством - біполярними ТТЛ-схемами. Перші два КМОН 1-сімейства серії 74 - це сімейства НС (швидкодіючі КМОН-схеми: High-speed CMOS) і НСТ (сумісні з ТТЛ швидкодіючі КМОН-схеми: High-speed CMOS, TTL compatible). У порівнянні з вихідним сімейством 4000, схеми сімейств НС і НСТ володіють більш великою швидкодією і мають кращі значення токів. Схеми сімейства НСТ працюють з напругою живлення і їх можна використовувати спільно з ТТЛ-схемами, які також працюють з 5-вольтовою напругою живлення[4].

Сімейство НС призначене для застосування в системах, що використовують тільки КМОН-логіку; схеми цього сімейства можуть працювати з будь-яким напругою живлення від 2 до 6 В. При більш високій напрузі підвищується швидкодія, а при більш низькому - знижується споживана потужність [4].

У 80-і і 90-і роки з'явилося кілька нових сімейств КМОП-схем. Двома останніми і, ймовірно, найбільш універсальними родинами є VHC (КМОП-схеми з підвищеною швидкодією; Very High-speed CMOS) і VHCT (сумісні з ТТЛ КМОП-схеми з підвищеною швидкодією; Very High-speed CMOS, TTL compatible). Схеми цих родин працюють приблизно вдвічі швидше, ніж схеми сімейств НС/НСТ при збереженні сумісності зі своїми попередниками.

Подібно сімейств НС і НСТ, сімейства VHC і VHCT відрізняються одне від іншого тільки допустимими вхідними рівнями; вихідні характеристики у них збігаються[9].

Одною з характеристик ВІС є енергетичні характеристики. Оцінюючи ці характеристики для типових напівпровідникових ВІС можна зробити висновок, якщо припустима потужність, яка розсіюється кристалом ІС, ВІС чи НВІС складає  $P_{кр}$ , а площа кристала дорівнює  $A_{кр}$ , то обмеження на споживану потужність  $P_{ел}$  і площа окремих елементів  $A_{ел}$  виражаються рівняннями [8]:

$$P_{ел} \leq P_{кр} / N_{ел},$$

$$A_{ел} \leq \gamma A_{кр} / N_{ел},$$

де  $N_{ел}$  – число елементів в кристалі;

$\gamma$  – доля зайнятої ними площі кристалу.

Сучасний етап розвитку мікросхемотехніки характеризується вимогами, що зростають до зменшення споживаної потужності  $P_{ел}$  і площі  $A_{ел}$  елементів.

Електричні перешкоди, що діють на елементи всередині ВІС, НВІС, МП ВІС (далі просто ВІС), мають відносно невелику величину внаслідок малої довжини з'єднань, на яких вони індукуються. Більшість елементів у ВІС має невелике число навантажень  $n \leq N = 4 - 5$ , де  $N$  – коефіцієнт розгалуження елемента, і малу ємність навантаження  $C_H = 1 \dots 5$  пФ і менше. Таким чином, всередині ВІС можна використовувати елементи з пониженими значеннями логічного перепаду  $U_{л}$ , якщо при цьому забезпечуються малі споживана потужність  $P_{ел}$ , площа  $A_{ел}$  і середня затримка  $t_3$  при відносно невеликій ємності навантаження  $C_H$  [3].

Одним з перспективних способів підвищення швидкодії і зниження потужності елементів ВІС є зменшення перепаду логічного сигналу  $U_{л}$  і напруги живлення  $E$  [3]. Однак це знижує завадостійкість мікросхем. Тому доцільно використовувати сигнали з підвищеним перепадом  $U_{л}$  в елементах на вході і виході ВІС, а в середині ВІС – з малим перепадом, де перешкоди відносно малі. Для реалізації двох значень логічного перепаду у ВІС використовуються елементи трьох видів: елементи з малим логічним перепадом  $U'_{л}$  у внутрішній структурі ВІС, вхідні буферні елементи (вхідні транслятори) з відносно високим порогом переключення, які забезпечують необхідну завадостійкість стосовно перешкод у зовнішніх електричних колах і потужні вихідні буферні елементи (вихідні транслятори), які формують у зовнішніх електричних колах досить великий перепад  $U_{л}$ . При використанні двох значень логічного перепаду  $U_{л}$  і  $U'_{л}$  узагальнена структура ВІС має вид, показаний на рис.1.[3].

Всередині ВІС використовуються різні варіанти схем елементів ТТЛ, І<sup>2</sup>Л, ЕЗЛ з малим логічним перепадом  $U'_{л}$ , що задовольняють заданим обмеженнями на значення  $P_{ел}$  і  $A_{ел}$ . Мінімальне значення логічного перепаду складає  $U_{л\min} = 150 - 200$  мВ [3]. Для зменшення величини споживаної потужності ці елементи мають знижену напругу живлення:  $E' = 2 - 3$  В.

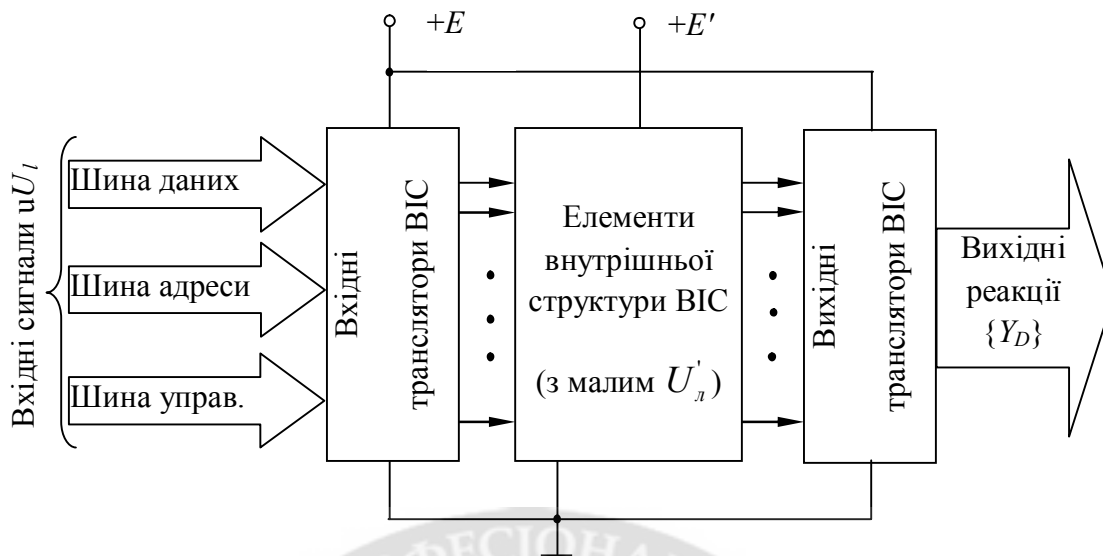


Рис. 1. Узагальнена структурна схема напівпровідникової ВІС

Величина перепаду  $U_{л}$  в зовнішніх електричних колах визначається необхідними значеннями завадостійкості  $U_{п}^+$ ,  $U_{п}^-$  [3, 8]:

$$U_{п}^+ = V_{п}^0 - U^0,$$

$$U_{п}^- = U^1 - V_{п}^1,$$

$$U_{п}^+ + U_{п}^- = U_{л} - \Delta U_{п}.$$

де  $U_{л} = U^1 - U^0$  – логічний перепад;

$\Delta V_{п} = V_{п}^0 - V_{п}^1$  – зона безпосередності елемента;

$V_{п}^0$ ,  $V_{п}^1$  – рівні переключення елементів;

$U_{п}^+$ ,  $U_{п}^-$  – припустимі значення завади при напругах високого і низького рівнях на вході.

Вхідні сигнали з перепадом  $U_{л}$  надходять на вхідні буферні елементи, поріг переключення яких має величину, достатню для забезпечення необхідних значень  $U_{п}^+$ ,  $U_{п}^-$ .

На їх виходах формуються сигнали, які мають рівні  $U^1$ ,  $U^0$  і перепад  $U_{л}$  такі самі, як у елементів внутрішньої структури. Таким чином, вхідні буферні елементи передають логічний сигнал зі зміною його перепаду і тому називаються вхідними трансляторами.

Вихідні буферні елементи (транслятори) повинні перетворювати логічні сигнали з малим перепадом  $U_{л}'$ , що надходять від елементів внутрішньої структури ВІС, у вихідні сигнали з перепадом  $U_{л}$ . Крім того, вихідні транслятори повинні забезпечити досить великі вихідні струми  $I_{н}^0$  і  $I_{н}^1$ , які необхідні для забезпечення нормальної роботи пристроїв, які є навантаженнями мікросхеми. Щоб не відбувалося істотної затримки вихідного сигналу, вихідні транслятори повинні мати досить високу швидкодію при значному ємнісному навантаженні. Схеми вхідних і вихідних трансляторів за структурою і параметрами відрізняються від схем елементів всередині ВІС. Для їх живлення частіше використовується напруга  $E = 4,5 \dots 5,0$  В.

В мікросхемах ТТЛ структури в якості вхідних трансляторів використовуються схеми

зі складним інвертором (рис. 2, а) або його варіанти [3]. В якості вихідних трансляторів, в мікросхемах ТТЛ структури, найчастіше використовують схеми зі складним інвертором (рис. 2, а), а в разі потреби підключення виходів декількох мікросхем ТТЛ до загальної магістралі – схеми з трьома станами виходу (рис. 2, б).

У мікросхемах на елементах МОН і КМОН структур можливість зниження напруги живлення, для зменшення споживаної потужності обмежується значеннями граничної напруги  $V_{\Pi}^0$  [3]:

$$E \geq (2...3)V_{\Pi}^0.$$

В цих мікросхемах зниження  $E$  і відповідно перепаду  $U_{\Pi}$  не призводить до підвищення швидкодії, тому що поряд зі зменшенням перепаду напруги  $U_{\Pi} \approx E$ , на паразитної ємності -  $C_{\Pi}$  зростає постійна часу її перезаряду  $\tau$  [3]:

$$\tau \sim 1/b(E - V_{\Pi}^0),$$

де  $b$  – питома крутизна МОН - транзисторів. Тому в ВІС на МОН-транзисторах усі елементи звичайно мають однакову напругу живлення  $E$ .

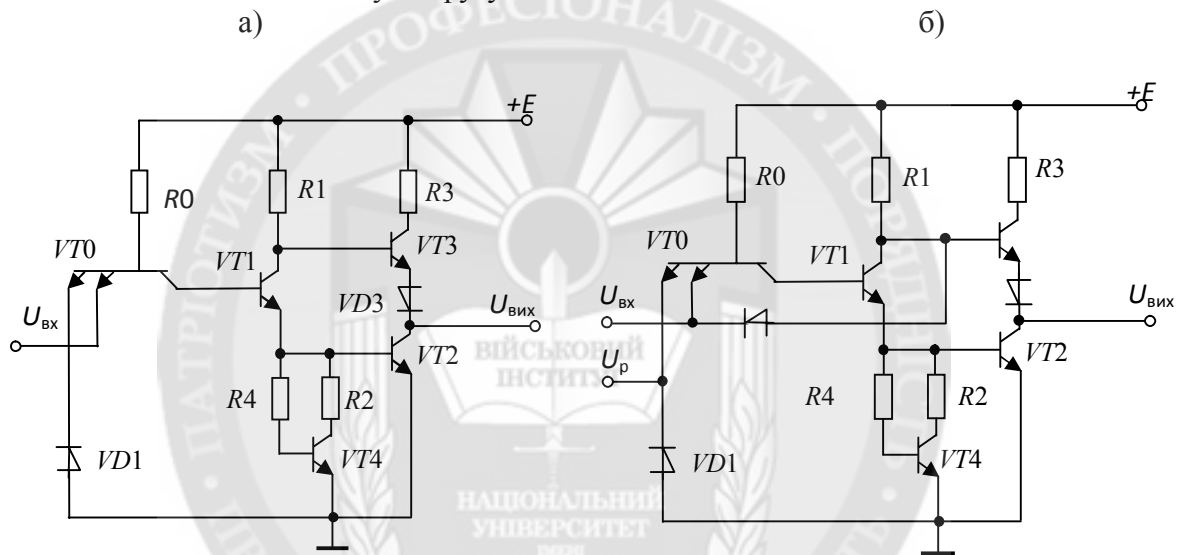


Рис. 2. Схеми трансляторів ВІС ТТЛ структури:  
а) вхідних; б) вихідних

В якості вихідних елементів, які повинні перезаряджати значну ємність навантаження, використовуються складні інвертори (рис. 3, 4.) принцип дії яких аналогічний принципу дії складних інверторів ТТЛ [3]. Оскільки  $b \sim (Z_k / L_k)$ , де  $Z_k$  і  $L_k$  – відповідно ширина і довжина каналу МОН-транзисторів, то для збільшення швидкодії при значному ємнісному навантаженні, МОН-транзистори у вихідних елементах мікросхем МОН і КМОН структур, створюють підвищене відношення  $Z_k / L_k$ , тобто вони виготовляються зі значно більшою шириною каналу  $Z_k$ , на відміну від транзисторів у внутрішній структурі ВІС. У результаті чого вихідні елементи мають у кілька разів більшу площу і споживану потужність [3,8].

Таким чином, найбільш енергонасиченими елементами напівпровідникових ВІС є: для ТТЛ структур елементи вхідних і вихідних трансляторів на базі схем зі складним інвертором; для МОН і КМОН структур елементи вихідних трансляторів на базі складного інвертора.

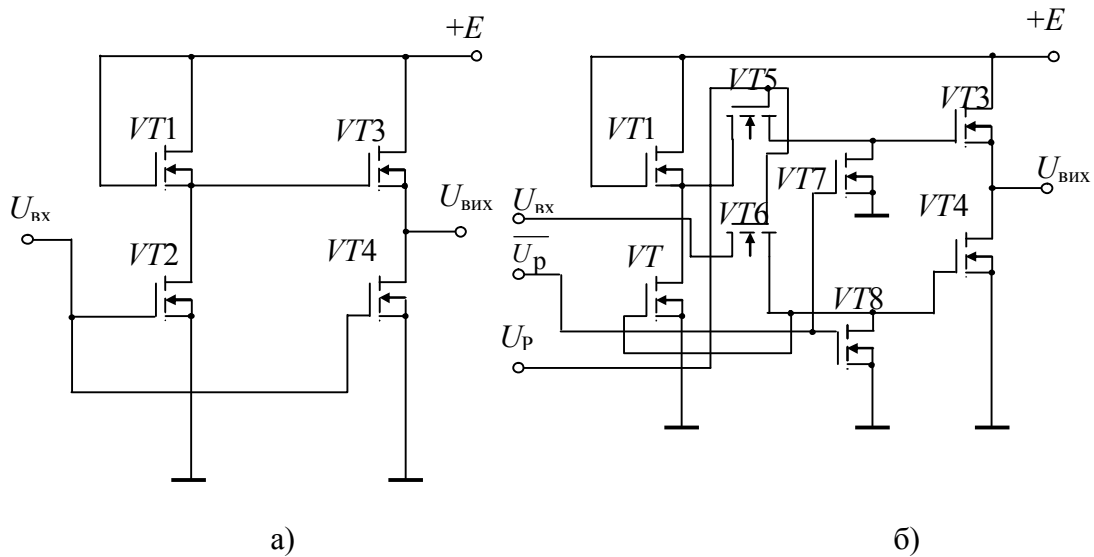


Рис. 3. Схеми базових вихідних трансляторів ВІС *n*-МОП структури:  
а) на інверторах; б) з трьома станами виходів

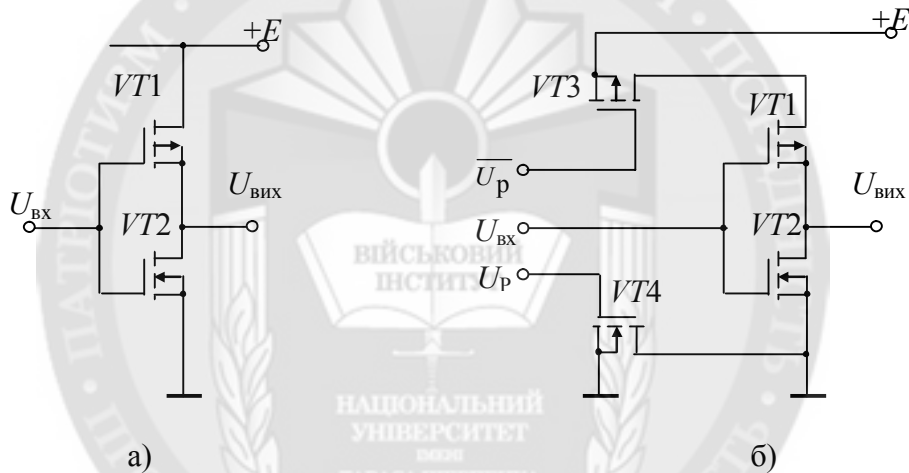


Рис. 4. Схеми базових вихідних трансляторів ВІС КМОП структури:  
а) на комплементарних парах транзисторів; б) з трьома станами виходів

При контролі технічного стану цифрових ВІС, перевіряти значення сигналів на виходах необхідно в строго визначені проміжки часу, коли на виходах встановиться визначений рівень або логічного „0” або логічної „1”. Виходячи з цього, варто розглядати енергетичні процеси, що протікають у ВІС, тільки в сталому режимі.

Базовим логічним елементом вхідних і вихідних трансляторів напівпровідникових ВІС ТТЛ структури є схема І-НІ зі складним інвертором (рис. 5). Схема складається з вхідного каскаду (багатоємітєрний транзистор *VT0*), вихідного каскаду (транзистори *VT2*, *VT3*, резистор *R3*, діод *VD3*) та каскаду, що розчіплює фазу (транзистори *VT1*, *VT4*, резистори *R1*, *R2*, *R4*). Каскад, що розчіплює фазу, забезпечує управляючі сигнали для протифазного переключення вихідних транзисторів. Вихідний каскад формує струми навантаження  $I_H$  в станах логічного „0” або „1”, а при необхідності забезпечує високий вихідний опір - третій стан (рис. 2.2, б).

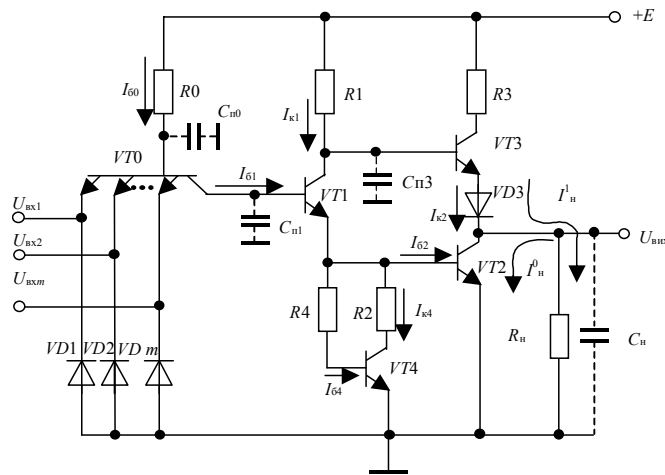


Рис. 5. Схема базового елемента І-ІІ зі складним інвертором

Резистор  $R3$  служить для обмеження струму у вихідному каскаді під час перемикання схеми, коли транзистор  $VT2$  ще перебуває в режимі насичення, а транзистор  $VT3$  уже відкрився. Діод  $VD3$  призначений для зсуву рівня, що забезпечує надійне запирання транзистора  $VT3$ .

Аналіз фізичних процесів в елементі І-ІІ в сталому режимі показав:

1. При подачі на його  $m_0$  входів низького потенціалу  $U_{вх}=U^0$ , а на інші  $(m-m_0)$  входів високого потенціалу  $U^1 > V_{п}$ , де  $m$  – кількість входів, а  $V_{п}$  – поріг перемикання складного інвертора. Відкриті  $m_0$  емітерних переходів і колекторний перехід транзистора  $VT0$ . Потенціал на базі транзистора  $VT0$  дорівнює  $U_{61}=(U_{вх}+U^*)$ , а на базі транзистора  $VT1$   $U_{61}=(U_{вх}+U_{зал.0}) < U^*$ , де  $U_{зал.0}$  - залишкова напруга на насиченому транзисторі  $VT0$ , а  $U^*$  - величина спадання напруги на відкритому  $p-n$  переході транзистора і діода  $VD3$ . Транзистори  $VT1$ ,  $VT2$ ,  $VT4$  закриті, а транзистор  $VT3$  відкритий, на виході підтримується високий потенціал  $U^1$ , значення якого визначається виразом [3]:

$$U^1 = E - 2U^* - I_{н}^1 R3 \approx E - 2U^*, \quad (1)$$

де  $I_{н}^1$  - вихідний струм елемента, що тече в навантаження.

2. При збільшенні значення  $U_{вх}=U^0$  на  $m_0$  його входах - потенціали  $U_{60}$  і  $U_{61}$  зростають, поки  $U_{вх}$  не досягне значення  $V_{п}$ , що визначається виразом [3]:

$$V_{п} = 2U^* - U_{зал.0}.$$

При цьому  $U_{60}=3U^*$ ,  $U_{61}=2U^*$ ,  $U_{62}=U_{63}=U^*$ , і транзистори  $VT1$ ,  $VT2$ ,  $VT4$  відкриваються. Починає протікати колекторний струм транзистора  $VT1$ , внаслідок чого потенціали  $U_{к1}$  і  $U_{вих}=(U_{к1}-2U^*)$  зменшуються. При подальшому збільшенні  $U_{вх}$  потенціали  $U_{60}$ ,  $U_{61}$ ,  $U_{62}$ ,  $U_{64}$  зберігають досягнуті значення, емітерні переходи  $VT0$  заціпаються. Транзистор  $VT1$  входить у режим насичення. В цьому випадку струми транзистора, згідно [3], визначаються виразом:

$$I_{61} = I_{6н1} = I_{6н0}(1 + m\beta_I') = \frac{(1 + m\beta_I')(E - 3U^*)}{R0}, \quad (2)$$

$$I_{к1} = I_{кн1} = \frac{E - U_{к1}}{R1} \approx \frac{E - U^*}{R1}, \quad (3)$$

де  $\beta_I'$  - інверсний коефіцієнт підсилення струму для кожного з емітерів транзистора  $VT0$ ;

$m$  – кількість входів транзистора  $VT0$ .

Потенціал  $U_{к1}$  встановлюється на рівні  $(U^* + U_{зал.1}) \approx U^*$ . В базу  $VT2$  надходить струм

$I_{\text{бн}2}$ , що викликає його насичення [3]:

$$I_{\text{бн}2} = I_{\text{бн}1} + I_{\text{кн}1} - (I_{\text{бн}4} + I_{\text{кн}4}) \approx I_{\text{бн}1} + I_{\text{кн}1} - \frac{U^*}{R_2}. \quad (4)$$

На виході елемента встановлюється низький потенціал  $U^0$ , і згідно [3], визначається виразом:

$$U_{\text{вих}}^0 = U_{\text{зал}2} = U_{\text{ке}2} + I_{\text{кн}2} r_{\text{кк}}, \quad (5)$$

де  $r_{\text{кк}}$  - об'ємний опір колекторного шару;

$$U_{\text{ке}2} = p\phi_T \ln \frac{\beta'_I + 1}{\beta'_I};$$

$p$  - фактор, величина, що характеризує відмінність реального струму від ідеального;

$\phi_T$  - температурний потенціал;

$I_{\text{кн}2} r_{\text{кк}} \approx 0$  (тому, що транзистор  $VT2$  знаходиться у відсічці).

Різниця потенціалів між колектором  $VT1$  і виходом елемента недостатня для відмикання послідовно включених  $VT3$  і  $VD3$ :

$U_{\text{к}1} - U_{\text{вих}} = U^* + U_{\text{зал}1} - U_{\text{зал}2} \approx U^* < 2U^*$ . Тому  $VT3$  і  $VD3$  закриті і колекторний струм дорівнює:

$$I_{\text{кн}2} = I_{\text{н}}^0, \quad (6)$$

де  $I_{\text{н}}^0$  - вихідний струм, що надходить від навантаження.

В розрив корпусної шини логічного елемента додамо опір  $R_{\text{контр}}$ . Тоді схема базового елемента І-НІ зі складним інвертором буде мати вигляд, як показано на рис. 6.

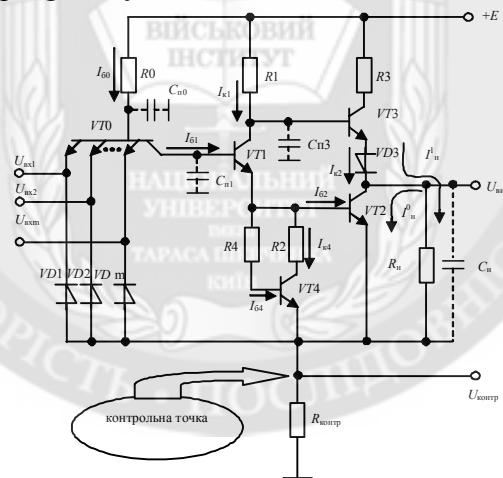


Рис. 6. Схема базового елемента І-НІ з додатковим опором

Аналіз фізичних процесів в елементі І-НІ з додатковим опором показав:

1. У випадку, коли на виході складного інвертора підтримується рівень  $U^1$ , транзистори  $VT1$ ,  $VT2$ ,  $VT4$  закриті, а транзистор  $VT3$  відкритий. Через  $R_{\text{контр}}$  протікають струми витоку транзисторів  $VT2$ ,  $VT4$ , струми  $I_{\text{к}1}$  і  $I_{\text{н}}^1$ . Струмом  $I_{\text{к}1}$ , що надходить у базу  $VT3$ , можна зневажити тому що  $R1 \gg R3$ . Струми витоку розраховуються по формулі [7]:

$$I_{\text{вит}} = I_{\text{к від}} \frac{1 - \alpha_N}{1 - \alpha_N \alpha_I} + I_{g0\text{із}},$$

де  $I_{\text{к від}}$  - струм відсічення колектора;

$\alpha_N$  - коефіцієнт передачі струму емітера транзистора в нормальному активному



режимі ( $\alpha_N \approx 0,95 \dots 0,98$ );

$\alpha_I$  – коефіцієнт передачі струму колектора транзистора в нормальному активному режимі,

$I_{g0iz}$  – струм генерації в ізолюючому переході [7]. Струми витoku транзисторів, які перебувають у відсіченні, дуже малі, тому ними також можна зневажити. Значення струму  $I_H^1$  визначається [3]:

$$I_H^1 = \frac{\beta'_I (E - U^*)}{R_0}. \quad (7)$$

Таким чином, з урахуванням (7), величина спадання напруги на опорі  $R_{контр}$  визначається

$$U_{контр}^1 = (I_{вит2} + I_{вит4} + I_H^1) R_{контр} + I_H^1 R_{контр} \approx \frac{\beta'_I (E - U^*)}{R_0} R_{контр}. \quad (8)$$

2. У випадку, коли на виході складного інвертора підтримується рівень –  $U^0$ , транзистори  $VT1$ ,  $VT2$ ,  $VT4$  відкриті, а транзистор  $VT3$  закритий. Через  $R_{контр}$  протікають наступні струми:  $I_{бн2}$ ,  $I_{кн4}$ ,  $I_{бн4}$  які визначається згідно (4), і струм  $I_{кн2}$ , що визначається виразом (6). Сумарний струм  $I_{контр}$  дорівнює:

$$I_{контр} = I_{бн2} + I_{кн4} + I_{бн4} + I_{кн2}.$$

Використовуючи вираз (4), величина спадання напруги на опорі  $R_{контр}$  дорівнює:

$$U_{контр}^0 = (I_{бн1} + I_{кн1} + I_H^0) R_{контр}.$$

Користуючись виразами (2, 3, 6) одержимо значення напруги в контрольній точці, коли на виході ЛЕ підтримується значення  $U^0$ , яке дорівнює

$$U_{контр}^0 = \left( \frac{(1 + m\beta'_I)(E - 3U^*)}{R_0} + \frac{E - U^*}{R_1} + I_H^0 \right) R_{контр}. \quad (9)$$

На підставі розглянутих фізичних процесів можна визначити енергетичні характеристики вихідного каскаду на виході і в контрольній точці  $R_{контр}$  базового логічного елемента транслятора ВІС ТТЛ структури. Логічні рівні вихідного каскаду на підставі (1, 5) визначаються наступним виразом

$$\begin{cases} U_{вих}^0 = U_{кк2} + I_H^0 r_{кк}, \\ U_{вих}^1 = E - 2U^*. \end{cases} \quad (10)$$

Значення напруги в контрольній точці, на підставі (8, 9), які відповідають логічним рівням на виході ЛЕ дорівнюють:

$$\begin{cases} U_{контр}^0 = \left( \frac{(1 + m\beta'_I)(E - 3U^*)}{R_0} + \frac{E - U^*}{R_1} + I_H^0 \right) R_{контр}, \\ U_{контр}^1 = \frac{\beta'_I (E - U^*)}{R_0} R_{контр}. \end{cases} \quad (11)$$

Коли вихід базового елемента навантажений на декілька навантажень (рис. 7), (вихід приєднаний до декількох елементів – навантажень  $DD1 - DDn$ , де  $n$  - кількість навантажень) то, коли на виході елемента сигнал низького рівня  $U^0$  в схему логічного елемента надходять струми  $I_H^0$  від усіх  $n$  елементів – навантажень, (рис. 7 а), тоді

$$I_{H\Sigma}^0 = \sum_{i=1}^n I_{H.i.}^0 = \sum_{i=1}^n I_{Вх.i.}^0, \quad (12)$$

де  $I_{Вх}^0$  – значення вхідного струму, що витікає з навантаження при  $U_{Вх} = U^0$  [1].

Значення  $I_{\text{ВХ}}^0$ , згідно [3], визначається

$$I_{\text{ВХ}}^0 = \frac{[1 + (m - m_0)\beta'_I](E - U^*)}{m_0 R_0}. \quad (13)$$

Коли на виході логічного елемента присутній рівень сигналу високого рівня  $U^1$ , (рис. 7 б), з схеми витікає струм високого рівня  $I_{\text{Н}\Sigma}^1$ , що надходить на  $n$  входів елементів – навантажень, Таким чином,

$$I_{\text{Н}\Sigma}^1 = \sum_{i=1}^n I_{\text{Н}.i.}^1 = \sum_{i=1}^n I_{\text{ВХ}.i.}^1, \quad (14)$$

де  $I_{\text{ВХ}}^1$  – значення вхідного струму, що втікає в навантаження при  $U_{\text{ВХ}} = U^1$  [1]. Значення  $I_{\text{ВХ}}^1 = I_{\text{Н}}^1$  визначається згідно (7) [3].

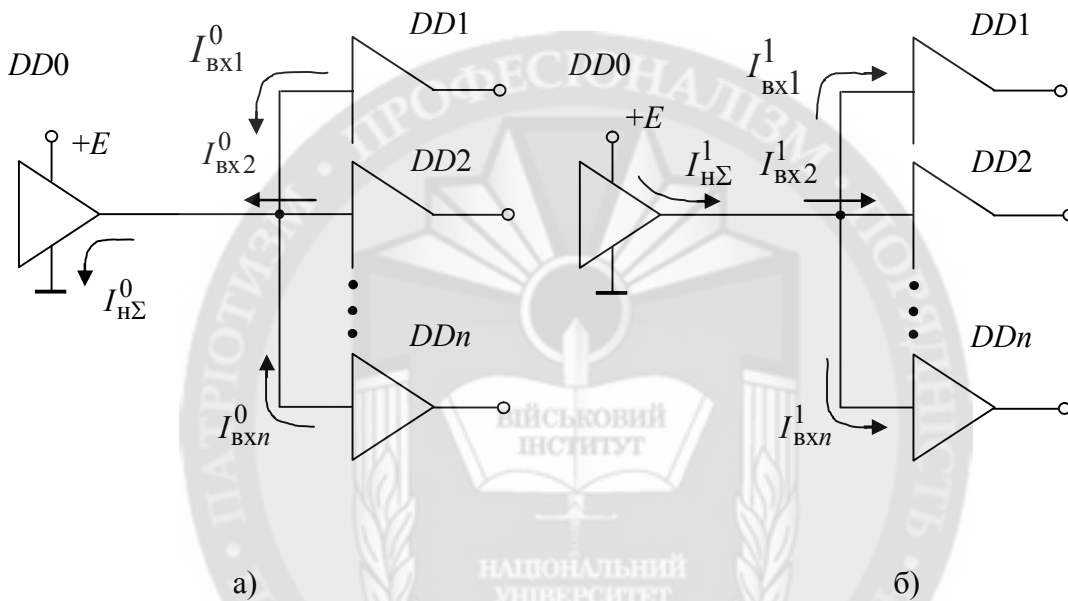


Рис. 7. Розподіл струмів на виході транслятора:

а) при низькому вихідному логічному рівні; б) при високому логічному рівні

На підставі (11, 12, 13, 14) отримаємо значення напруги в контрольній точці:

$$\begin{cases} U_{\text{контр}}^0 = \left( \frac{(1 + m\beta'_I)(E - 3U^*)}{R_0} + \frac{E - U^*}{R_1} + \sum_{i=1}^n \frac{[1 + (m_i - m_{0i})\beta'_{Ii}](E - U^*)}{m_{0i} R_{0i}} \right) R_{\text{контр}}; \\ U_{\text{контр}}^1 = \left( \sum_{i=1}^n \frac{\beta'_{Ii}(E - U^*)}{R_{0i}} \right) R_{\text{контр}}. \end{cases} \quad (15)$$

Таким чином, вирази (10, 11) являють собою діагностичну модель базового логічного елемента транслятора ВІС ТТЛ структури в сталому режимі, що навантажений на одне навантаження.

Вирази (10, 15) є діагностичною моделлю базового логічного елемента транслятора ВІС ТТЛ структури в сталому режимі, навантаженого на  $n$  елементів (навантажень).

Дані ДМ описують взаємозв'язок рівнів сигналів на виході ЛЕ і рівня сигналу в КТ залежно від кількості навантажень з яким з'єднаний даний логічний елемент [5, 6].

Таким чином дослідження перехідних процесів шини живлення ІС дозволяє автоматизувати процес діагностування і істотно зменшити час локалізації відмовившого елемента. При цьому аналізуються сигнали в шині живлення, що виникають при переключенні логічних елементів з одного стану в інший. Одним із шляхів підвищення достовірності системи технічного діагностування є перетворення діагностичної інформації від звичайної, просторово-часової форми її подання до частотно-спектральної форми, в якій інформація зберігається, передається по лініях зв'язку і обробляється. Сутність дослідження полягає в тому, що при переключенні вхідних або вихідних каскадах ІС, які являють собою найбільш енергонасиченими у шині живлення протікають перехідні процеси, які за своїми параметрами співпадають за часом з параметрами вхідних сигналів, а аналіз цих сигналів в частотній області за допомогою математичного апарату вейвлет-аналізу одночасно з вихідними реакціями дозволяє досягти високої достовірності прийняття рішення щодо технічного стану й локалізації дефекту.

Проведений аналіз спектрів сигналів, які виникають у ланцюзі живлення при перемиканні логічних елементів цифрових пристроїв для різних технологій, показав, що спектр сигналу є достовірним джерелом діагностичної інформації.

**Висновок.** Таким чином, запропонований новий метод технічного діагностування цифрових типових елементів заміни з використанням перехідних процесів шини живлення ІС в частотній області забезпечить діагностування цифрових ТЕЗ РЕЗО з високою достовірністю при мінімальних матеріальних і часових витратах.

#### ЛІТЕРАТУРА:

1. Діагностика цифрових та аналогових пристроїв радіоелектронної техніки: Монографія / В.В. Вишнівський, М.К. Жердев, С.В. Ленков, В.О. Проценко; за редакцією М.К. Жердева, С.В. Ленкова. – К.:Знання України, 2009. – 220 с.
2. Азаров О. Д., Перевозніков С. І., Біліченко Н. О., Озеранський В. С. Д44 Діагностування цифрових пристроїв. Навчальний посібник. – Вінниця: УНІВЕРСУМ-Вінниця, 2009. – 74 с.
3. Алексеенко А.Г., Шагурин И.И. Микросхемотехника: Учеб. пособие для вузов. – М.: Радио и связь, 1982. – 416 с.
4. Уейкерли Дж. Ф. Проектирование цифровых устройств: Пер. с англ. – М.: Постмаркет, 2002. – 544 с.
5. Жиров Г.Б. Математична модель вихідного транслятора ВІС ТТЛ структури у статичному режимі // Матеріали ІІ науково-практичної конференції “Пріоритетні напрямки розвитку телекомунікаційних систем спеціального призначення”. – К.:ВІТІ НТУУ “КПІ”, 2005. – С.110.
6. Жиров Г.Б. Математична модель базового логічного елемента транслятора напівпровідникової ВІС ТТЛ – структури в статичному режимі // Вісник Київського національного університету імені Тараса Шевченка. – К.: “Київський університет”, 2005. – Сер. Військово-спеціальні науки, Вип. 9.– С. 62–65.
7. Скаржепа В.А., Луценко А.Н. Электроника и микросхемотехника: Учебник. – К.: Высшая школа, 1989. – 431 с.
8. Маллер Р., Кейминс Т. Элементы интегральных схем: Пер. с англ. – М.: Мир, 1989. – 630 с.
9. Угрюмов Е.П. Цифр. схемотехника. СПб.: БВХ /Петербург, 2002 г. – 432 с.

#### REFERENCES:

1. Diahnostyka tsyfrovyykh ta analogovykh prystroiv radioelektronnoi tekhniki: Monohrafiia / V.V. Vyshnivskiy, M.K. Zherdiev, S.V. Lienkov, V.O. Protsenko; za redaktsiieiu M.K. Zherdieva, S.V. Lienkova. – K.:Znannia Ukrainy, 2009. – 220 s.
2. Azarov O. D., Perevoznikov S. I., Bilichenko N. O., Ozeranskyi V. S. D44 Diahnostuvannia tsyfrovyykh prystroiv. Navchalnyi posibnyk. – Vinnytsia: UNIVERSUM-Vinnytsia, 2009. – 74 s.
3. Alekseenko A.G., Shagurin I.I. Mikroschemotekhnika: Ucheb. posobie dlya vuzov. – M.: Radio i svyaz, 1982. – 416 s.
4. Ueykerli Dzh. F. Proektirovanie tsyfrovyyh ustroystv: Per. s angl. – M.: Postmarket, 2002. – 544 s.
5. Zhyrov H.B. Matematychna model vykhidnoho transliatora VIS TTL struktury u statychnomu rezhymi // Materialy II naukovo-praktychnoi konferentsii “Priorytetni napriamky rozvytku telekomunikatsiinykh system spetsialnoho pryznachennia”. – K.:VITI NTUU “KPI”, 2005. – S.110.

6. Zhyrov H.B. Matematychna model bazovoho lohichnoho elementa translatora napivprovodnykovoї VIS TTL – struktury v statychnomu rezhymy // Visnyk Kyivskoho natsionalnoho universytetu imeni Tarasa Shevchenka. – K.: “Kyivskiy universytet”, 2005. – Ser. Viiskovo-spetsialni nauky, Vyp. 9.– S. 62–65.

7. Skarzhepa V.A., Lutsenko A.N. Elektronika i mikroshemotehnika: Uchebnyk. – K.: Vyisshaya shkola, 1989. – 431 s.

8. Maller R., Keymins T. Elementy integralnykh shem: Per. s angl. – M.: Mir, 1989. – 630 s.

9. Ugryumov E.P. Tsifr. shemotehnika. SPb.: BVH /Peterburg, 2002 g. – 432 s.

**Рецензент:** д.т.н., проф. Ленков С.В., начальник науково-дослідного центру Військового інституту Київського національного університету імені Тараса Шевченка

д.т.н., проф. Жердев Н.К., Савран В.А.

**КОНЦЕПТУАЛЬНЫЕ ОСНОВЫ МЕТОДА ДИАГНОСТИРОВАНИЯ СОВРЕМЕННЫХ ЦИФРОВЫХ ТИПОВЫХ ЭЛЕМЕНТОВ ЗАМЕНЫ ПО ФОРМАТНЫМ ЧАСТОТАМ ПЕРЕХОДНОГО ПРОЦЕССА В ШИНЕ ПИТАНИЯ**

*В статье предлагается необходимость решения научной задачи, которая заключается в обосновании возможности применения нового метода диагностирования цифровых типовых элементов замены с использованием переходных процессов в шине питания. Преимуществом этого метода является возможность использовать спектр энергодинамичных импульсов, возникающих в шине питания цифровых устройств для проверки их работоспособности. Для этого приводится классификация современных цифровых интегральных микросхем, анализ существующих методов диагностирования цифровых типовых элементов замены, их основные преимущества и недостатки, решения задач контроля работоспособности цифровых типовых элементов замены.*

*Ключевые слова:* типовые элементы замены, интегральные микросхемы, цифровые устройства, переходный процесс в шине питания.

Prof. Zherdev N.K., Savran V.A.

**CONCEPTUAL BASES METHODS OF DIAGNOSING A MODERN DIGITAL STANDARD ELEMENTS OF FORMAT REPLACEMENT FREQUENCY TRANSIENTS IN POWER BUS**

*The article suggests the need to address scientific problem, is to substantiate the possibility of a new method of diagnosing digital typical elements of replacement using transients tire supply. The advantage of this method is to use a range of enerhodynamichnyh impulses arising in the tire supply digital devices to test their efficiency. For this classification provides a modern digital integrated circuits, analysis of existing methods for diagnosing digital typical elements of replacement, their main advantages and disadvantages, problem solving efficiency control digital typical elements of replacement.*

*Keywords:* typical elements of replacement, integrated circuits, digital devices, the transition process in the tire supply.