

МОДЕЛІ ДИНАМІЧНИХ НЕСПРАВНОСТЕЙ ДИСКРЕТНИХ ІНТЕГРАЛЬНИХ КОМПОНЕНТІВ КОМПЛЕМЕНТАРНОЇ ЛОГІКИ

Проведений аналіз тенденцій розвитку цифрових інтегральних компонентів та засобів їх діагностування показує, що тривалий час основна увага приділялася технологіям на біполярних транзисторах і найбільш актуальною вважалася транзисторно-транзисторна логіка з діодами Шоттки, а елементи комплементарної логіки були на другорядних позиціях. В роботі розглянуто умови актуалізації комплементарної технології виготовлення дискретних інтегральних компонентів та наслідки зміни тенденцій для технічної діагностики цифрових пристроїв і систем, вказані причини збільшення питомої ваги несправностей динамічного типу, надано класифікацію зазначених несправностей компонентів комплементарної логіки та опис характерних ознак їх прояву, запропоновано математичні моделі типових несправностей динамічного типу. Математичні моделі базуються на урахуванні чотирьох можливих станів контрольованих сигналів (логічний 0 і 1, Z-стан і невизначений стан) та часових параметрів їх зміни, призначені для застосування при формуванні множини та моделей несправних станів комплементарних компонентів і побудованих з їх використанням цифрових об'єктів діагностування, розробки методів та алгоритмів діагностування, визначення вимог до технічних засобів діагностування.

Ключові слова: тестова діагностика, цифрові пристрої, комплементарна логіка, математична модель.

Вступ. Поява базових технологій виготовлення дискретних інтегральних компонентів датується відносно невеликим періодом часу з 60-х і до початку 70-х років минулого сторіччя, але історія розвитку і застосування зазначених технологій суттєво відрізняється, що мало відповідний вплив на розвиток методів та засобів діагностування зазначених компонентів цифрової електроніки та побудованих на них пристроїв і систем.

Елементи резисторно-транзисторної (Resistor-Transistor Logic - RTL) і діодно-транзисторної логіки (Diode-Transistor Logic – DTL) досить швидко втратили свої позиції в конкуренції з транзисторно-транзисторною логікою (Transistor-Transistor Logic - TTL), яка, в свою чергу, вже на початку 70-х років почала поступатися новій технології - транзисторно-транзисторній логіці з діодами Шоттки (Schottky TTL - TTLS), що іноді розглядається як діодно-транзисторна логіка з діодами Шоттки.

Елементи емітерно-зв'язаної логіки (Emitter Coupled Logic - ECL), незважаючи на високі показники швидкодії вже в перших зразках, не знайшли широкого самостійного застосування через суттєві недоліки (високе енергоспоживання, потреба використання двох джерел живлення для вхідного та вихідного каскадів окремо тощо).

Розроблена на початку 70-х років інтегрально-інжекційна логіка (Integrated Injection Logic - IIL, I²L, I²L) відрізнялася економічністю як в енергоспоживанні, так і у вартості виготовлення, але також не набула розповсюдження через малу швидкодію порівняно з елементами TTLS.

Спільною рисою всіх перелічених технологій є їх схемна реалізація на біполярних транзисторах.

Одночасно з технологіями виготовлення дискретних інтегральних компонентів на біполярних транзисторах створюються і розвиваються аналогічні технології на уніполярних транзисторах.

Виготовлені на основі структур метал-оксид-напівпровідник (Metal-Oxide-Semiconductor - MOS) транзистори р-типу і n-типу дають основу двом технологіям

виготовлення мікросхем - р-MOS і n-MOS, а також комбінованій комплементарній технології (Complementary MOS - CMOS). Хоча швидкодія виготовлених за цими технологіями інтегральних компонентів була невисокою, значно менший розмір і спрощена технологія виготовлення уніполярних транзисторів надавали їм переваги і дозволили розробити та реалізувати із їх застосуванням перші зразки мікропроцесорів на одному кристалі: р-MOS процесор Intel8008 та n-MOS процесори Intel8080 і Motorola 6800. При виборі технології виготовлення перших однокристальних мікропроцесорів нищівної критики від фірми Intel зазнає технологія CMOS як така, що відрізняється від р-MOS і n-MOS складнішою технологією виготовлення через потребу формування на одному кристалі транзисторів р-типу і n-типу та забезпечує менший ступінь інтеграції елементів. Лише завдяки надзвичайно малому енергоспоживанню, CMOS-логіка надовго стала лідером застосувань в цифровій електроніці з автономним живленням (калькулятори, годинники тощо).

Наявні обмеження в швидкодії дискретних інтегральних компонентів р-MOS, n-MOS і CMOS протягом тривалого часу зумовлювали їх ігнорування як можливих конкурентів TTLS-елементам. Ситуація починає докорінно змінюватися на межі 1990 року, коли, з підвищенням ступеня інтеграції мікросхем, гостро постала проблема розсіювання енергії на елементах TTLS. Оскільки RTL, DTL і TTL не могли конкурувати з TTLS і були визнані застарілими, а ECL та PL, через специфічні недоліки, були непридатними для масового застосування, з 90-років спостерігається тенденція до конкуренції і намагань вдосконалення двох технологій виготовлення цифрових елементів:

- транзисторно-транзисторної з діодами Шоттки на зменшення енергоспоживання;
- комплементарної логіки на збільшення швидкодії.

Якщо суттєвих успіхів в зменшенні енергоспоживання TTLS без втрат в швидкодії досягти не вдалося, то прогрес CMOS-логіки був разючим - вже з появою надшвидкісних серій мікросхем CMOS-логіки 74VHC і 74VHCT швидкодія TTL-елементів стає досяжною для комплементарної логіки, а після випуску супер-надшвидкісної серії 74G робочі частоти переходять межі гігагерц і стають недосяжними для TTL-елементів.

Таким чином, наприкінці 20-го сторіччя відбувається перелам в поглядах на перспективи застосування технологій на біполярних і польових транзисторах. Визнана раніше основною технологія TTLS стрімко втрачає позиції, а другорядна до цього технологія CMOS стає основною. Це зумовило в 2009р. відмову фірми Texas Instruments від продовження випуску серій мікросхем з модифікаціями TTL-логіки та TTLS-логіки 54/74 і остаточний вихід в лідери комплементарних технологій.

Такий різкий перехід став суттєвим ударом по технічній діагностиці дискретних компонентів, пристроїв та систем.

З урахуванням описаних пріоритетів, основна увага в 20-му сторіччі приділялася методам діагностики цифрових схем на біполярних транзисторах, які, через малі робочі частоти комплементарних схем, були досить ефективними і для тестування останніх. Специфічних методів і засобів для діагностування комплементарних схем практично не розроблялося.

Стрімкий стрибок на декілька порядків в швидкодії комплементарних цифрових компонентів з декількох мегагерц до гігагерц докорінно змінив ситуацію – в побудованих за комплементарною технологією інтегральних компонентах на перші позиції вийшли несправності, зумовлені специфічними властивостями польових транзисторів. Оскільки розроблені у великій кількості методи діагностування елементів на біполярних транзисторах були малоефективними щодо комплементарних технологій, технічна діагностика виявилась не готовою до подібної революції.

Постановка задачі. Стрімке зростання швидкодії дискретних інтегральних компонентів комплементарної логіки (ДККЛ) на структурах метал-оксид-напівпровідник та метал-діелектрик-напівпровідник призвело до загострення проблем виявлення і локалізації несправностей, характерних для цього класу об'єктів діагностування (ОД) і високочастотних

режимів їх роботи.

Переведення ДККЛ на високі робочі частоти зумовило збільшення питомої ваги несправностей динамічного типу[1]. Аналіз передумов виникнення і характерних особливостей прояву зазначених несправностей свідчить, що одним із основних факторів є значно більший вплив паразитної ємності ДККЛ[2], ніж у елементів на біполярних транзисторах, що і зумовлювало протягом багатьох років обмеження швидкодії елементів на уніполярних транзисторах. Хоча робочі частоти ДККЛ вдалося багатократно підвищити, від паразитної ємності уніполярних транзисторів і її впливу на роботу цифрових схем позбавитися не вдалося. По мірі старіння або при тимчасових переходах ДККЛ в нестандартні режими роботи вплив паразитної ємності може ставати вирішальним і призводити до збоїв в їх роботі[3,4]. Окрім впливу паразитної ємності збої можуть бути зумовлені проявом інших несправностей динамічного типу (затримками, гонками тощо).

Складність виявлення несправностей динамічного типу визначається нестабільністю їх прояву і виникнення зумовлених цим збоїв в роботі пристроїв і систем з ДККЛ. Для збільшення ймовірності виявлення несправностей динамічного типу пристроїв і систем з ДККЛ повинні бути виконані умови ефективної реалізації діагностичних випробувань [1,5]:

- тестові випробування ОД мають проводитися на максимальних робочих частотах;
- наявні математичні моделі повинні адекватно відображувати справний і несправні стани ОД, а також особливості прояву несправностей динамічного типу в ході проведення тестових випробувань;
- використовувані технічні засоби діагностування повинні відповідати вимогам реалізовуваних методів і алгоритмів діагностування.

Першочерговою задачею для ефективної реалізації діагностичних випробувань пристроїв і систем з ДККЛ є визначення класів і моделей можливих несправностей досліджуваного типу ОД.

Основна частина. Для опису цифрових пристроїв з ДККЛ запропоновано різноманітні моделі, а саме [1, 6-9]: вентиляльні, транзисторні, струмові, нейронні, мережі Петрі, перемикальні.

Наявність згаданої сукупності моделей свідчить як про наявні проблеми моделювання цих пристроїв як ОД, так і про актуальність вибору адекватної поставленим задачам математичної моделі і відсутність єдиного універсального варіанту.

Першочергово відзначимо, що модель має бути орієнтована на діагностування цифрових пристроїв ДККЛ з локалізацією несправностей динамічного типу, що є неklasичними для інших технологій виготовлення мікросхем. Некласичні несправності цифрових пристроїв з ДККЛ можуть бути адекватно відображені тільки на транзисторному рівні [6]. В [1, 6] доводиться, що найбільш адекватними для відображення несправностей динамічного типу ДККЛ є перемикальні моделі.

Будь-яка модель цифрового пристрою як ОД першочергово базується на визначенні різновидів сигналів, що мають враховуватись. Традиційні варіанти з урахуванням лише двох булевих значень контрольованого сигналу 0 та 1 не можуть бути достатніми хоча б через неможливість ідентифікації стану високого імпедансу (Z-стану). Крім того, слід враховувати, що несправності динамічного типу частіше проявляються не зміною булевих значень контрольованих сигналів, а затуванням та спотворенням процесів зміни чи утримання вказаних значень. Через це для відображення ознак прояву несправностей динамічного типу важливо мати засоби опису перехідних процесів затування та спотворення зміни та утримання значень контрольованих сигналів. Для запобігання надмірної деталізації опису перехідних процесів, що зумовлює ускладнення моделі і інструментарію для роботи з нею, а також призводить до значного підвищення вимог до використовуваних засобів діагностування, введемо поняття невизначеного стану контрольованого сигналу, рівень напруги якого не відповідає жодному з характерних значень для ДККЛ відповідного класу.

Виходячи з цього, опис сигналів ДІККЛ як ОД задамо у вигляді мінімальної множини значень сигналів V :

$$V = \{ 0, 1, Z, U \}, \quad (1)$$

де 0 - логічний нуль, який описує сигнали, що належать області низьких значень напруги; 1 - логічна одиниця, яка описує сигнали, що належать області високих значень напруги; Z - значення, яке відповідає стану виходу ДІККЛ, в якому він має високий вихідний опір; U - невизначене значення, яке належить розподільчій області між областями низьких і високих значень напруги та відображує перехідні процеси при зміні рівнів напруги булевих значень контрольованого сигналу.

Оберемо за прототип математичні моделі КМДН-схем [1, 6] як ОД та уточнимо їх з урахуванням обраної системи кодування можливих значень контрольованих сигналів. При цьому будемо спиратись на класифікацію несправностей динамічного типу ДІККЛ (рис. 1).

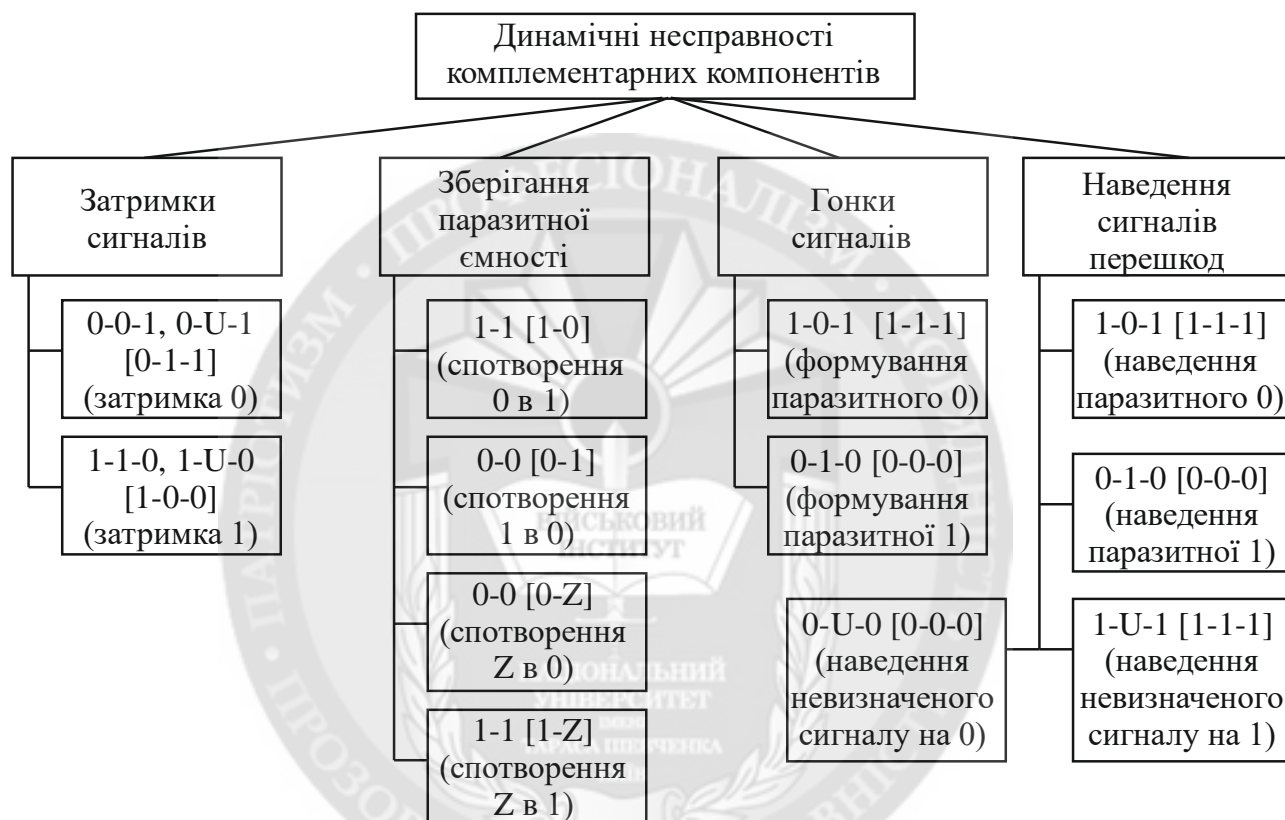


Рис. 1. Узагальнена класифікація несправностей динамічного типу ДІККЛ

У наведеній класифікації наведені чотири класи несправностей: зберігання паразитної ємності, затримки сигналів, гонки сигналів та наведення сигналів перешкод. Для кожного класу несправностей визначено типові варіанти їх прояву, надано характер спотворення сигналу в часі для кожного варіанту (спотворений варіант надано без дужок, правильний – в квадратних дужках) та короткий опис характеру спотворення.

Для усунення неоднозначності дамо визначення класів динамічних несправностей, що розглядаються, на основі яких сформуємо математичні описи моделей несправностей.

Розглянемо динамічну несправність, яка пов'язана із зберіганням паразитної ємності. Через паразитну ємність вихідний сигнал зберігає свій попередній стан s на протязі невизначеного часу. При спробі зміни значення виходу вентиля вхід наступного вентиля приймає не правильне значення, а значення заряду паразитної ємності.

Отже, зберігання паразитної ємності - динамічна несправність, яка полягає у «запам'ятовуванні» значення виходу вентиля внаслідок дії паразитної ємності, що призводить до утримання невірних значень на виході схеми.

Класичними переходами, при яких може проявлятися негативний вплив паразитної ємності (наявного її заряду) є перехід зі стану 0 в 1 або Z стан, а також зі стану 1 в 0 або Z стан. Ємнісна властивість в схемі відображується накопичувачем.

Відобразимо динамічну несправність, пов'язану із зберіганням паразитної ємності накопичувачем.

Нехай $x \in X$ – вхідна змінна накопичувача; $y \in Y$ – внутрішня змінна накопичувача, що відображує поточний стан вихідного сигналу. Тоді прояв динамічної несправності, пов'язаної із зберіганням паразитної ємності, буде відображатись значенням вихідної змінної q накопичувача, які визначаються за функцією (в квадратних дужка вказані зафіксоване значення вихідного сигналу і час його реєстрації, в круглих - умови):

$$q_c(t) = f_c(x, y) = [0][t = \tau_{01}](x = 1 \wedge y = 0) \vee [1][t = \tau_{10}](x = 0 \wedge y = 1) \vee [0][t = \tau_{0Z}](x = Z \wedge y = 0) \vee [1][t = \tau_{1Z}](x = Z \wedge y = 1), \quad (2)$$

де τ_{01} – номінальний час переключення виходу ДІККЛ зі стану 0 в стан 1; τ_{10} – номінальний час переключення виходу ДІККЛ зі стану 1 в стан 0; τ_{0Z} – номінальний час переключення виходу ДІККЛ зі стану 0 в стан Z; τ_{1Z} – номінальний час переключення виходу ДІККЛ зі стану 1 в стан Z.

Розглянемо динамічну несправність, яка пов'язана із затримкою сигналу.

Затримка - динамічна несправність, яка полягає у збільшенні часу перетворення сигналів і проявляється при створенні умов зміни логічного рівня вихідного сигналу збереженням його початкового значення або встановленням невизначеного рівня на надлишковий період часу, що може призводити до сприйняття наступними елементами невірних значень.

Відобразимо динамічну несправність, яка пов'язана із затримкою сигналу, математичним описом моделі несправності.

Нехай $X_3 \in X$ – послідовність значень вхідної змінної, яка повинна забезпечити певну зміну $\{q_1 - q_2\}$ вихідного сигналу q відповідно до функції $f_3(X_3)$ перетворення вхідних сигналів на протязі часового інтервалу від t_1 до t_2 , $T_3 = \{t_1, t_2\}$. Відповідне призначення послідовності значень вхідної змінної будемо позначати як $X_3 = \{q_1 - q_2\}$. Тоді прояв динамічної несправності класу «затримки» буде відображатись динамікою зміни значень вихідних змінних q_3 в часі:

$$q_3(t) = f_3(X_3) = [\{0 - 0\}][T_3 = \{t_1, t_1 + \tau_{01}\}](X_3 = \{0 - 1\}) \vee [\{0 - U\}][T_3 = \{t_1, t_1 + \tau_{01}\}](X_3 = \{0 - 1\}) \vee [\{1 - 1\}][T_3 = \{t_1, t_1 + \tau_{10}\}](X_3 = \{1 - 0\}) \vee [\{1 - U\}][T_3 = \{t_1, t_1 + \tau_{10}\}](X_3 = \{1 - 0\}) \vee \dots \quad (3)$$

Розглянемо динамічну несправність, яка пов'язана із взаємовпливом сигналів у сусідніх провідниках, наслідком яких є виникнення перешкод.

Перешкода - динамічна несправність, яка полягає в індукуванні непередбаченого імпульсу в провідниках компонентів або друкованої плати пристрою за рахунок індуктивних взаємодій між сусідніми провідниками.

Індукування перехресних наводок небезпечно у двох випадках:

1) коли в провіднику, який перебуває в стані 0, формується хибна зміна значень сигналів, яка може сприйматися як послідовність сигналів 0-1-0;

2) коли в провіднику, який перебуває в стані 1, формується хибна зміна значень сигналів, яка може сприйматися як послідовність сигналів 1-0-1.

Перешкоди можуть призводити до формування хибних рівнів логічних сигналів (чіткі перешкоди) і невизначеного рівня, що не відповідає вимогам до 0 та 1 і реакцію на який інших вузлів передбачити важко (нечіткі перешкоди).

При цьому можливі два варіанти чітких перешкод:

- «0-перешкода» - динамічна несправність типу «перешкода», яка полягає в індукуванні послідовності значень сигналів 1-0-1 у провіднику, що перебуває в стані 1;

- «1-перешкода» - динамічна несправність типу «перешкода», яка полягає в індукуванні послідовності значень сигналів 0-1-0 у провіднику, що перебуває в стані 0.

Крім того, можливі два варіанти нечітких перешкод:

- «U₀-перешкода» - динамічна несправність типу «перешкода», яка полягає в індукуванні послідовності значень сигналів 1-U-1 у провіднику, який перебуває в стані 1, що може призвести до сприйняття зазначеної зміни сигналу іншими вузлами як послідовності 1-0-1;

- «U₁-перешкода» - динамічна несправність типу «перешкода», яка полягає в індукуванні послідовності значень сигналів 0-U-0 у провіднику, який перебуває в стані 0, що може призвести до сприйняття зазначеної зміни сигналу іншими вузлами як послідовності 0-1-0.

Як видно з опису, перешкода відображується трьома моментами часу $T_{II}=\{t_1, t_2, t_3\}$ для фіксації її наявності (t_1 – початково-стабільний стан сигналу; t_2 – час фіксації спотворення сигналу під дією перешкоди; t_3 - час повернення сигналу до початкового стану) і впливом на сигнал процесу зміни значень сигналу $X_{II} = x_1-x_2$ в сусідньому провіднику.

Нехай $x \in X$ – вхідна змінна (стан) сигналу лінії, яка діагностується, $X_{II} \in X$ – множина значень змінюваних сигналів сусідньої лінії, яка наводить перешкоду, $X_{II}=\{x_1, x_2\}$, $x_1 \neq x_2$. Тоді прояв «перешкоди» буде відображатись наступною функцією:

$$q_{II}(t) = f_{II}(x, X_{II}) = [\{0-1-0\}][T_{II} = \{t_1, t_2, t_3\}](x = 0 \wedge X_{II} = \{0-1\}) \vee \\ \vee [\{0-U-0\}][T_{II} = \{t_1, t_2, t_3\}](x = 0 \wedge X_{II} = \{0-1\}) \vee \\ \vee [\{1-0-1\}][T_{II} = \{t_1, t_2, t_3\}](x = 1 \wedge X_{II} = \{1-0\}) \vee \\ \vee [\{1-U-1\}][T_{II} = \{t_1, t_2, t_3\}](x = 1 \wedge X_{II} = \{1-0\}), \quad (4)$$

де $T = \{t_1, t_2, t_3\}$ - множина часових параметрів послідовності q_{II} вихідного сигналу, який контролюється на прояв «перешкоди»; $Q_{II} = \{q_1, q_2, q_3\}$ - послідовність значень вихідного сигналу лінії, який контролюється на прояв «перешкоди»; $X_{II} = \{x_1, x_2\}$, $x_1 \neq x_2$ - множина значень сигналу сусідньої лінії, яка наводить перешкоду.

Розглянемо динамічну несправність, яка пов'язана із гонками сигналів.

Під гонками будемо розуміти динамічну несправність, яка полягає у виникненні на виході вузла непередбаченого імпульсу за рахунок розбіжності в тривалості обробки сигналів в ланках з різним часом спрацьовування.

Зовні прояв гонок схожий на прояв перешкод, але виникнення хибних значень сигналів зумовлюється не індукуванням перехресних наводок між провідниками, а неузгодженістю спрацьовування елементів ОД в часі. Наслідком може бути два варіанти прояву гонок:

- коли на контрольованому виході, який за логікою роботи при зміні вхідних сигналів повинен перебувати в стані 0, в ході обробки зазначених вхідних сигналів тимчасово формується хибне значення вихідного сигналу 1, тобто, виникає послідовність сигналів 0-1-0;

- коли на контрольованому виході, який за логікою роботи при зміні вхідних сигналів повинен перебувати в стані 1, в ході обробки зазначених вхідних сигналів тимчасово формується хибне значення вихідного сигналу 0, тобто, виникає послідовність сигналів 1-0-1.

Таким чином, в залежності від полярності невірної імпульсу будемо розрізняти «0-гонки» і «1-гонки»:

- «0-гонки» - «гонки», які полягають у виникненні вихідного сигналу у вигляді послідовності значень 1-0-1;

- «1-гонками» - «гонки», які полягають у виникненні вихідного сигналу у вигляді послідовності значень 0-1-0.

Нехай відносно початку такту правильний стан сигналу зберігається на протязі часу t_1 . Час наявності неправильного значення - t_2 . Наступне правильне значення сигналу на лінії до

кінця такту наявне з часу t_3 . Нехай X_G^1 - множина з n значень вхідних сигналів для фрагменту схеми, який діагностується, що встановлює умови прояву контрольованої несправності, $X_G^1 = \{x_1^1, x_2^1, \dots, x_n^1\}$; X_G^2 - множина з n значень вхідних сигналів для цього ж фрагменту схеми, що забезпечує умови прояву вказаної несправності після X_G^1 , $X_G^2 = \{x_1^2, x_2^2, \dots, x_n^2\}$. Тоді прояв динамічної несправності класу «гонок» буде відображатись значеннями вихідних змінних q , які знімаються з виходу фрагмента, що діагностується, і визначаються за функцією:

$$q_G(t) = f_G(X_G^1, X_G^2) = \\ = [\{0-1-0\}][T_G = \{t_1, t_2, t_3\}][X_G^1 = \{x_1^1, x_2^1, \dots, x_n^1\} \wedge X_G^2 = \{x_1^2, x_2^2, \dots, x_n^2\}] \vee \\ \vee [\{1-0-1\}][T_G = \{t_1, t_2, t_3\}][X_G^1 = \{x_1^1, x_2^1, \dots, x_n^1\} \wedge X_G^2 = \{x_1^2, x_2^2, \dots, x_n^2\}] \quad (5)$$

де $T_G = \{t_1, t_2, t_3\}$ - множина значень часових параметрів «гонок»; $Q_G = \{q_1, q_2, q_3\}$ - послідовність вихідних значень ОД, яка змінена за рахунок прояву динамічної несправності класу «гонок».

Висновки. Запропоновані моделі несправностей динамічного типу враховують характерні особливості цифрових пристроїв з комплементарними інтегральними компонентами як об'єктів діагностування, дозволяють враховувати часові параметри зміни контрольованих сигналів та можливість набуття ними традиційних і невизначеного станів, можуть бути застосовані для формування множин і описів несправних технічних станів зазначеного класу об'єктів діагностування, розробки методів і алгоритмів діагностування, визначення вимог щодо функціональних можливостей застосовуваних технічних засобів діагностування, організації діагностичних експериментів.

ЛІТЕРАТУРА:

1. Глушак С.В. Метод і засоби тестового діагностування цифрових та мікропроцесорних пристроїв з компонентами, побудованими за КМДН-технологією: автореф. дис. на здобуття наук. ступеня канд. техн. наук: спец. 05.13.05 "Елементи та пристрої обчислювальної техніки та систем керування" / С.В. Глушак. – Вінниця, 2002. – 19 с.
2. Жердев М.К. Концептуальні засади методу діагностування сучасних цифрових типових елементів заміни по форматним перехідного процесу в шині живлення / М.К. Жердев, В.О. Савран // Збірник наукових праць Військового інституту Київського національного університету імені Тараса Шевченка. – К.: ВІКНУ, 2016. – Вип. №52. – С. 20-31.
3. Гаврилов С.В. Статический временной анализ КМОП-схем с учетом дестабилизирующих факторов / С.В. Гаврилов, Г.А. Пирютина, А.Н. Щелоков // Известия ЮФУ. Технические науки, 2013. – №7 – С.65-70.
4. Гаврилов С.В. Методы логико-временного анализа цифровых СБИС с учетом эффектов деградации транзисторов / С.В. Гаврилов, О. Гудкова, Э.Р. Каграманян // Известия ВУЗов. Электроника, 2008. – № 6. – С. 30-40.
5. Глухов С.І. Аналіз існуючих методів діагностування типових елементів заміни радіоелектронних засобів озброєння та обґрунтування необхідності використання інформаційних технологій при їх застосуванні // Збірник наукових праць Військового інституту Київського національного університету імені Тараса Шевченка. – К.: ВІКНУ, 2016. – Вип. №52. – С. 12-19.
6. Андрюхин А.И. Метод параллельной генерации тестов на переключательном уровне для МОП-схем / А.И. Андрюхин // Электронное моделирование, 2011. – Т. 33. – № 1. – С. 91-98.
7. Чорненький В.І. Динамічна зміна вагових коефіцієнтів як спосіб підвищення функціональних можливостей засобів діагностування, побудованих на базі теорії штучних нейронних мереж / В.І. Чорненький // Вісник ТУП, Хмельницький, 2002. – Том1. – №3. – С.103-108.
8. Діагностичні моделі трансляторів n-МОН та КМОН структур виготовлення / М.К. Жердев, В.В. Вишнівський, Г.Б. Жиров, С.І. Глухов // Збірник наукових праць ВІПІ НТУУ "КПІ". – К., 2006. – №3. – С.9-12.

9. Жиров Г.Б. Узагальнена діагностична модель цифрової ВІС для енергостатичного методу діагностування /Г.Б. Жиров //Вісник КНУ ім. Т. Шевченка. – К.: Київ. ун-т, 2005. – Сер. Військово-спеціальні науки, Вип. 11. – С. 54-60.

REFERENCES:

1. Hlushchak S.V. Metod i zasoby testovoho diahnostuvannia tsyfrovyykh ta mikroprotsesornykh prystroiv z komponentamy, pobudovanymy za KMDN-tekhnohohiieu: avtoref. dys. na zdobuttia nauk. stupenia kand. tekhn. nauk: spets. 05.13.05 “Elementy ta prystroi obchysliuvalnoi tekhniki ta system keruvannia” /S.V. Hlushchak – Vinnytsia, 2002. – 19s.

2. Zherdiev M.K. Kontseptualni zasady metodu diahnostuvannia suchasnykh tsyfrovyykh typovykh elementiv zaminy po formatnym perekhidnoho protsesu v shyni zhyvlennia / M.K. Zherdiev, V.O. Savran //Zbirnyk naukovykh prats Viiskovoho instytutu Kyivskoho natsionalnogo universytetu imeni Tarasa Shevchenka. – K.: VIKNU, 2016. – Vyp. №52. – S. 20-31.

3. Gavrilo S.V. Stachieskiy vremennoy analiz KMOP-shem s uchetom destabiliziruyuschih faktorov / S.V. Gavrilo, G.A. Piryutina, A.N. Schelokov // Izvestiya YuFU. Tehnicheskie nauki. – 2013. – №7 – S.65-70

4. Gavrilo S.V. Metody logiko-vremennogo analiza tsyfrovyykh SBIS s uchetom effektov degradatsii tranzistorov / S.V. Gavrilo, O. Gudkova, E.R. Kagramanyan // Izvestiya VUZov. Elektronika. – 2008. – №6. – S. 30-40.

5. Hlukhov S.I. Analiz isnuichykh metodiv diahnostuvannia typovykh elementiv zaminy radioelektronnykh zasobiv ozbroiennia ta obruntuvannia neobkhidnosti vykorystannia informatsiinykh tekhnologii pry yikh zastosuvanni //Zbirnyk naukovykh prats Viiskovoho instytutu Kyivskoho natsionalnogo universytetu imeni Tarasa Shevchenka. – K.: VIKNU, 2016. – Vyp. №52. – S. 12-19.

6. Andryuhin A.I. Metod parallelnoy generatsii testov na pereklyuchatelnom urovne dlya MOP-shem / A.I. Andryuhin // Elektronnoe modelirovanie. – 2011 – T. 33, № 1. – S. 91-98.

7. Chornenkyi V.I. Dynamichna zmina vahovykh koefitsientiv yak sposib pidvyshchennia funktsionalnykh mozhlyvostei zasobiv diahnostuvannia, pobudovanykh na bazi teorii shtuchnykh neuronnykh merezh /V.I. Chornenkyi // Visnyk TUP, Khmelnytskyi. – 2002. – tom1, №3. – S.103-108.

8. Diahnostychni modeli translitoriv n-MON ta KMON struktur vyhotovlennia / M.K. Zherdiev, V.V. Vyshnivskiy, H.B. Zhyrov, S.I. Hlukhov //Zbirnyk naukovykh prats VITI NTUU “KPI”. – K., 2006. – №3 – S.9-12.

9. Zhyrov H.B. Uzahalnena diahnostychna model tsyfrovoy VIS dlia enerhostatychnoho metodu diahnostuvannia /H.B. Zhyrov //Visnyk KNU im. T. Shevchenka. – K.: Kyiv. un-t, 2005. – Ser. Viiskovo-spetsialni nauky, Vyp. 11. – S. 54-60.

Рецензент: д.т.н., проф. Мясіщев О.А., завідувач кафедри кібербезпеки та комп’ютерних систем і мереж Хмельницького національного університету

к.т.н. Чешун В.Н., д.т.н., проф. Ленков С.В., Прокопчук С.О.,
к.т.н., с.н.с. Охрамович М.Н., Шевченко В.В.

МОДЕЛИ ДИНАМИЧЕСКИХ НЕИСПРАВНОСТЕЙ ДИСКРЕТНЫХ ИНТЕГРАЛЬНЫХ КОМПОНЕНТОВ КОМПЛЕМЕНТАРНОЙ ЛОГИКИ

Проведенный анализ тенденций развития цифровых интегральных компонентов и средств их диагностики показывает, что длительное время основное внимание уделялось технологиям на биполярных транзисторах и наиболее актуальной считалась транзисторно-транзисторная логика с диодами Шоттки, а элементы комплементарной логики были на второстепенных позициях. В работе рассмотрены условия актуализации комплементарной технологии изготовления дискретных интегральных компонентов и последствия изменения тенденций для диагностики цифровых устройств и систем, указаны причины увеличения удельного веса неисправностей динамического типа, предоставлено классификацию указанных неисправностей компонентов комплементарной логики и описание характерных признаков их проявления, предложены математические модели типовых неисправностей динамического типа. Математические модели базируются на учете четырех возможных состояний контролируемых сигналов (логический 0 и 1, Z-состояние и неопределенное состояние) и

временных параметров их изменения, предназначены для применения при формировании множества и моделей неисправных состояний комплементарных компонентов и построенных с их использованием цифровых объектов диагностирования, разработки методов и алгоритмов диагностирования, определения требований к техническим средствам диагностики.

Ключевые слова: тестовая диагностика, цифровые устройства, комплементарная логика, математическая модель.

Ph.D. Cheshun V.M., Ph.D. Lyenkov S.V., Prokopchuk S.O.,
Ph.D. Ohranovych M.M., Shevchenko V.V.

DISCRETE MODEL OF DYNAMIC FAULT INTEGRAL COMPONENT COMPLEMENTARY LOGIC

The analysis of trends in digital integrated components development and means of diagnostics shows, that for a long time the focus has been given to technologies based on bipolar transistors and the transistor-transistor logic with Schottky diodes was most actual, elements with complementary logic were in secondary positions. The article contains analysis of conditions of popularization complementary technology in manufacturing of discrete integrated components and effects of changes in trends for diagnostics of digital devices and systems, describes the reasons for increasing the share of dynamic type faults, includes classification of these faults for components with complementary logic and description of the characteristic features of their display, mathematical models of typical dynamic type faults. The mathematical models are based on considering four possible states of controlled signals (logic 0 and 1, Z-state and the uncertain state) and their change time parameters, proposed for use in the formation of sets and models for states of complementary components and digital objects of diagnostics with faults, for development of diagnostics methods and algorithms, for determine the technical requirements to diagnostic systems.

Keywords: test diagnostics, digital devices, complementary logic, mathematical model.

