

РАЗВИТИЕ АРХИТЕКТУРЫ ПЛК ПАРАЛЛЕЛЬНОГО ДЕЙСТВИЯ: ОТ АБСТРАКТНОЙ МОДЕЛИ ПАРАЛЛЕЛЬНОГО АВТОМАТА, ДО ИНЖЕНЕРНОЙ РЕАЛИЗАЦИИ БЕЗОПАСНОГО ПЛИС-КОНТРОЛЛЕРА

Фурман И. А., Бовчалюк С. Я., Малиновский М. Л.

Харьковский национальный технический университет сельского хозяйства имени Петра Василенко

Проведен ретроспективный анализ развития программируемых логических контроллеров параллельного действия от абстрактных моделей параллельного автомата Закревского и структур универсальных автоматов Юдицкого до практической реализации систем критического применения на основе ПЛИС-технологий. Определены недостатки существующих решений и намечены перспективы дальнейших исследований технологии параллельного логического управления.

Постановка проблемы. В последние десятилетия проблеме построения программируемых управляющих устройств и систем с параллельной архитектурой уделяется достаточно большое внимание. Пройден значительный путь от формального определения абстрактной модели параллельного автомата до создания промышленных образцов ПЛК параллельного действия (ПД), ПЛИС-контроллеров ПД (ПЛИС – программируемая логическая интегральная схема), безопасных ПЛИС-контроллеров ПД, систем критического применения (СКП) ПД. Дальнейшее развитие указанных технологий требует проведения всестороннего анализа проведенной различными учеными работы, а также определения перспективных направлений развития технологии параллельного логического управления.

Анализ состояния вопроса. основополагающие принципы построения высокоэффективных вычислительных и управляющих устройств и систем на основе регулярных однородных микронных структур были сформулированы еще в начале 60-х годов прошлого столетия. В течение 60-70-х годов в ряде научных коллективов бывшего СССР под руководством В. М. Глушкова, Г. И. Марчука, И. В. Прангишвили, Э. А. Якубайтиса, А. А. Таля, В. А. Юдицкого, Э. В. Евреинова и др. сформировалось самостоятельное научное направление по однородным вычислительным и управляющим системам. Начиная с 80-х годов, и по сегодняшнее время, проф. И. А. Фурманом и его учениками разработан, и внедрен в промышленное производство целый ряд ПЛК, ПЛИС-контроллеров, СКП параллельного действия. Исследования в данном направлении продолжают в настоящее время и требуют проведения анализа проделанной работы, и определения направлений для дальнейшего развития технологии.

Цель статьи. Провести анализ существующих на данный момент технологий и технических средств логического управления параллельного действия, определить их недостатки и пути устранения, а также наметить общие направления для дальнейшего развития технологий данного класса.

Основные материалы. Одним из первых упоминаний автоматов в контексте построения систем управления ПД можно считать работу [1] С. А. Юдицкого. В указанной работе термин "параллельный" автомат еще не введен, а фигурирует иное название –

универсальный автомат, именно универсальный автомат второго рода и можно рассматривать в качестве прообраза всех современных систем управления с параллельной архитектурой. Кроме того, в этой же работе очень удачно произведена привязка автоматов рассматриваемого класса к процессам циклического типа и выполнено описание алгоритма функционирования объекта с помощью таблицы-ленты или циклограммы.

На рис. 1 и рис. 2 представлены структуры универсальных автоматов второго рода, предложенные С. А. Юдицким.

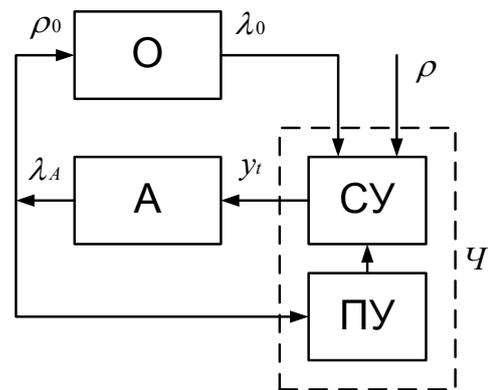


Рисунок 1 – Структура универсального автомата второго рода

Коротко рассмотрим описание работы указанных структур в терминах предложенных Юдицким в 1965 году. Автомат А (рис. 1) организован таким образом, чтобы путем перекоммутации его входных и выходных шин объекта (О) может реализовать любую ленту последнего. Обладающий такими особенностями автомат предложено называть универсальным (в промышленности за ним укрепилось название командо-аппарат). Он вырабатывает выходную последовательность

$$\lambda_A^1 \dots \lambda_A^p \dots \lambda_A^T,$$

которая генерирует любую входную последовательность объекта ρ_0 ($p=1, \dots, T$ – номер такта). Входная последовательность автомата А представляет собой чередование единичного и нулевого сигналов на

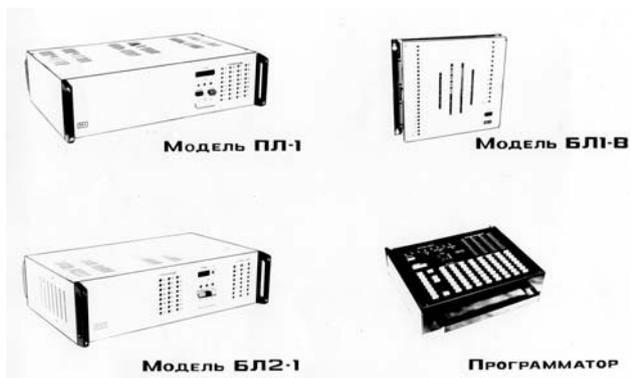


Рисунок 4 – Образцы промышленных ППЛК

В результате выполнения команд срабатывают механизмы управляемого агрегата, что приводит к смене комбинации состояний на одном из входов Ср1, которая действует аналогично Ср2 и сравнивает комбинацию фактических состояний управляемого объекта с той, что должна была быть сформирована на данной строке программы в результате выполнения управляющих команд. При срабатывании Ср1 УЛУ увеличивает содержимое СчА1 на единицу, обеспечивая тем самым переадресацию БП(А) и БП(С) на следующую строку подпрограммы.

Опыт практического использования ППЛК и анализ указанной структуры показал, что она имеет существенные недостатки: в ней не учтена возможность автоматического обнаружения и запрета выдачи аварийных комбинаций выходных сигналов; кроме того, ограничены возможности логического анализа потока состояний входов.

Указанные недостатки были учтены при разработке архитектуры логического управляющего автомата параллельного действия следующего поколения [6], показанная на рис. 5.

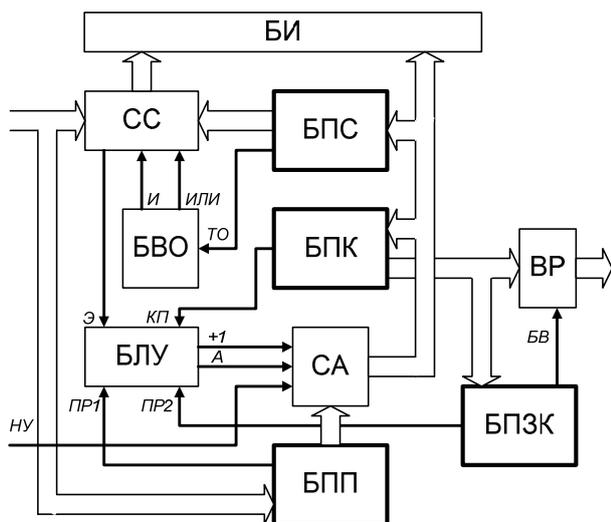


Рисунок 5 – Архитектура управляющего автомата ПД

Управляющий автомат состоит из: блока индикации – БИ; схемы сравнения – СС; блока выбора операции – БВО; блока логического управления – БЛУ; счетчика адреса – СА; выходного регистра – ВР; а также блоков памяти состояний, команд, переходов и

запрещенных состояний – БПС, БПК, БПП, БПЗК.

Основным принципиальным отличием от предыдущей архитектуры является наличие блоков выбора операции и памяти запрещенных комбинаций, назначение которых следующее:

- в блок выбора операций записываются логические уравнения: $I=TO$; $ИЛИ=TO$. Если на определенном шаге управляющей программы необходимо сравнить фактическое состояние всех датчиков цикла с их ожидаемыми значениями, то в последний столбец i -й строки, записанной в блок памяти состояний, записывается "0" и блок выбора операции формирует сигнал "И=1". Этот сигнал переключает схему сравнения на реализацию логической операции "И", т.е. сигнал эквивалентности Э на ее выходе появится лишь в случае совпадения всех фактических состояний датчиков цикла с их ожидаемыми значениями, записанными в i -й строке БПС. Если на i -м шаге выполнения управляющей программы для перехода к следующему шагу цикла достаточно наличия сигнала хотя бы от одного датчика среди множества датчиков, срабатывания которых можно ожидать на i -й строке, то в последний столбец i -й строки, записанной в БПС записывается "1" и блок выбора операции формирует сигнал "ИЛИ=1", переключающий схему сравнения на реализацию логической операции "ИЛИ";

- в случае возникновения отказа в работе контроллера и появлении на выходе БПК запрещенной комбинации управляющих сигналов, блок памяти запрещенных комбинаций сигналом "БВ" (блокировка выходов) запрещает выдачу этих команд на выход управляющего автомата. Одновременно БПЗК выдает на вход БЛУ сигнал признака прерывания "ПР2" (при этом истинно логическое уравнение $ПР2=A$), в результате СА переадресовывает блоки памяти состояний и команд на начальный адрес "подпрограммы прерывания 2".

На базе указанной архитектуры была разработана техническая документация и изготовлены промышленные образцы ПЛИС-контроллера параллельного действия на 16 дискретных входов и 16 дискретных выходов (рис. 6) [7].

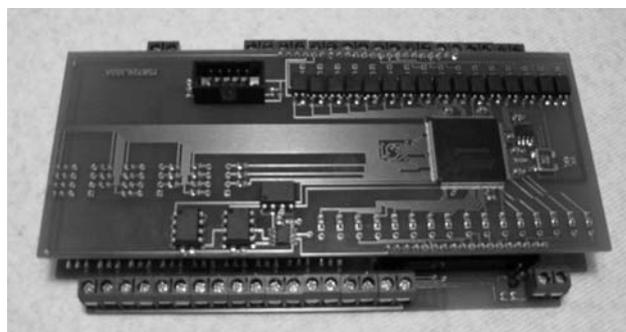


Рисунок 6 – Промышленный образец ПЛИС-контроллера ПД

В последние годы наблюдается развитие и всё более широкое применение методов и средств создания СКП на основе микроселектронных компонентов параллельного действия с применением ПЛИС. Их использование дало возможность повысить быстродей-

ствии, надежность, достоверность обработки информации в СКП, а также позволило повысить показатели безопасности за счет устранения рисков, связанных с применением операционных систем и программной реализацией алгоритмов управления ответственными технологическими процессами.

Как известно, ПЛИС-технологии имеют ряд особенностей, которые препятствуют их быстрому распространению. Среди них сложность технологии проектирования и высокие требования к квалификации разработчиков. Для устранения этих недостатков проф. М. Л. Малиновским в период 2004-2010 годов были разработаны теоретические основы построения безопасных ПЛИС-контроллеров на основе ПЛИС, созданы экспериментальные и промышленные образцы, а также средства автоматизированного проектирования программного обеспечения для них.

Безопасный ПЛИС-контроллер, получивший наименование S4C, содержит 4 ядра логики (ЯЛ) и два концентратора связи (КСв), которые устанавливаются в монтажную cassette (рис. 7).



Рисунок 7 – Безопасный ПЛИС-контроллер параллельного действия S4C

Интерфейс ПЛИС-контроллера S4C показан на рис. 8 и содержит 2 дублированных канала Ethernet для увязки с системами верхнего уровня и 16 дублированных каналов RS422 для обмена данными с устройствами нижнего уровня.



Рисунок 8 – Интерфейс ПЛИС-контроллера S4C

Диаграмма на рис. 9 описывает цикл работы ПЛИС-контроллера общей длительностью 100 мс. За это время выполняются следующие операции:

- синхронизация между 4-мя ядрами ПЛИС-контроллера;
- обмен данными по каналам Ethernet;
- обмен данными по каналам RS422;
- обработка информации;
- тестовая самодиагностика.

В случае обнаружения ошибки при выполнении операций ядро логики, в котором эта ошибка обнаружена, переходит в необратимое защитное состояние.

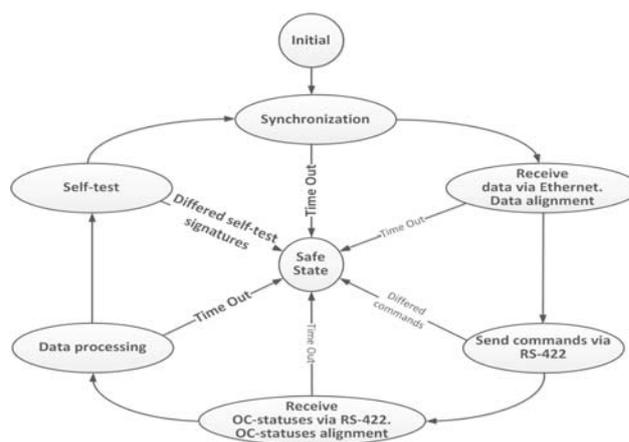


Рисунок 9 – Цикл работы ПЛИС-контроллера

Безопасность ПЛИС-контроллера S4C достигается за счет:

- применения архитектуры 1oo2D (два дублированных канала);
- тестовой самодиагностики аппаратной части и целостности конфигурации ПЛИС;
- функциональной диагностики во время формирования управляющих воздействий;
- использования защищенных протоколов обмена данными.

Архитектура ПЛИС-контроллера S4C приведена на рис. 10 и содержит два канала, каждый из которых имеет функциональный модуль и диагностическую систему, которая, при обнаружении ошибок, блокирует работу модуля.

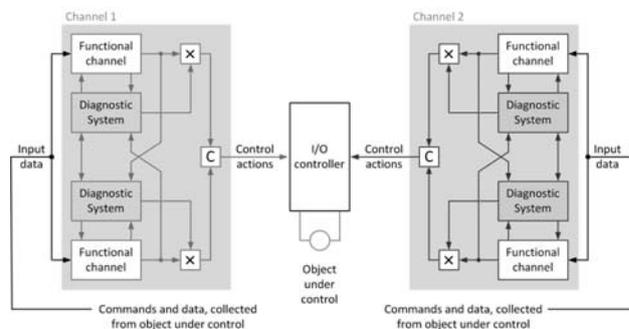


Рисунок 10 – Архитектура ПЛИС-контроллера S4C

Принцип тестового самодиагностирования, примененный в ПЛИС-контроллере S4C, иллюстрируется рис. 11. Диагностическая схема подключена к каждому отдельному компоненту цифрового автомата, реализованного на основе ПЛИС. Во время реализации штатных операций данные поступают к компоненту через вход мультиплексора "Workflow input" и передаются к другим компонентам схемы через выход демультиплексора "Workflow output". Во время выполнения тестового самодиагностирования мультиплексор и демультиплексор подключают схему формирования тестовых воздействий и анализа результатов тестирования. Схема "Comparator" выполняет сравнение результатов самодиагностики двух соседних ядер (А и В) и принимает решение о наличии или отсутствии ошибок.

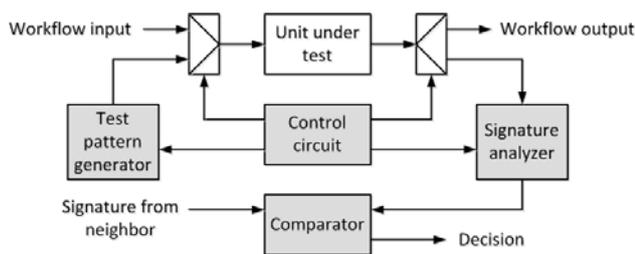


Рисунок 11 – Схема тестового самодиагностирования ПЛИС-контроллера

Схема функционального диагностирования приведена на рис. 12. При формировании телеграмм обмена данными со смежными устройствами ядра логики А и В осуществляют анализ корректности формируемых приказов смежным ядром и, при наличии ошибок, блокируют работу канала.

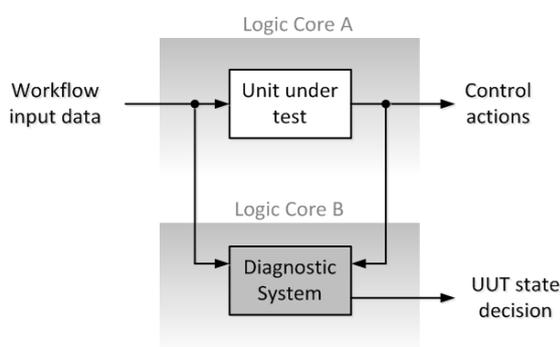


Рисунок 12 – Схема функционального диагностирования ПЛИС-контроллера

ПЛИС-контроллер S4C сертифицирован на соответствие требованиям безопасности в Украине и России и внедрен на нескольких объектах железнодорожного транспорта и метрополитенов:

- В Харьковском метрополитене в электродепо "Московское";
- на Российских железных дорогах, на станции Вырица (главный ход Москва - Санкт-Петербург);
- на Южной железной дороге, на станции Головашевка.

Выводы. Проведенный анализ показал, что технология параллельного логического управления позволяет не только повысить быстродействие и достоверность реализации функций логического управления промышленными объектами, но и рассматривать данное направление как очень перспективное для построения систем управления в метрополитене, железнодорожной автоматике и других объектах критического применения.

Список использованных источников

1. Юдицкий С. А. Привод технологических машин и универсальные автоматы для управления им / С. А. Юдицкий // Машиноведение. – 1965. – № 3. – С. 21–30.
2. Закревский А. Д. Параллельный автомат / А. Д. Закревский // Доклады АН БССР. – 1984. – Т. 28. – № 8. – С. 717–719.

3. Якубайтис Э. А. Программируемый логический автомат / Э. А. Якубайтис // АВТ. – 1975. – № 5. – С. 1–5.

4. Фурман И. А. Научно-технические основы создания и промышленного применения параллельных логических контроллеров на программируемых БИС с матричной структурой: дис. докт. техн. наук: 05.13.05 / Фурман Илья Александрович. – К., 1989. – 197 с.

5. Концепция, методы и средства моделирования на ПЛИС контроллеров и процессоров с параллельной архитектурой / И. А. Фурман [и др.] // Автомобильный транспорт: Сб. научных трудов, вып. 16. – Харьков, 2005. – С. 338–341.

6. Фурман И. А. Совершенствование математической модели и архитектуры логических управляющих автоматов параллельного действия / И. А. Фурман, С. Я. Бовчалюк // Інформаційно-керуючі системи на залізничному транспорті. – 2006. – №3(59). – С. 72–76.

7. Технічна реалізація промислового зразка ПЛИС-контроллера паралельної дії / І. О. Фурман [та ін.] // Проблеми енергозабезпечення та енергозбереження в АПК України: Вісник ХНТУСГ імені Петра Василенка, вип. 87. – Харків, 2009. – С. 126–127.

Анотація

РОЗВИТОК АРХІТЕКТУРИ ПЛК ПАРАЛЕЛЬНОЇ ДІЇ: ВІД АБСТРАКТНОЇ МОДЕЛІ ПАРАЛЕЛЬНОГО АВТОМАТА, ДО ІНЖЕНЕРНОЇ РЕАЛІЗАЦІЇ БЕЗПЕЧНОГО ПЛІС-КОНТРОЛЕРА

Фурман І. О., Бовчалюк С. Я., Малиновський М. Л.

Проведено ретроспективний аналіз розвитку програмованих логічних контролерів паралельної дії від абстрактних моделей паралельного автомата Закревського і структур універсальних автоматів Юдицького до практичної реалізації систем критичного застосування на основі ПЛІС-технологій. Визначено недоліки існуючих рішень і намічені перспективи подальших досліджень технології паралельного логічного керування.

Abstract

DEVELOPMENT OF ARCHITECTURE OF PARALLEL PLC: FROM ABSTRACT MODELS OF PARALLEL MACHINES, TO ENGINEERING IMPLEMENTATION OF SAFE FPGA CONTROLLER

I. Furman, S. Bovchaliuk, M. Malinovsky

A retrospective analysis of the development of programmable logic controllers of parallel action from abstract models of parallel machine Zakrevski and Yudytski universal machines structure to implementation of critical application systems based on FPGA technology. Identified shortcomings of existing solutions and outline prospects for further research technology of parallel logic control.