УДК 658.382:65.011.56:004.315

О.Н. Паулин, канд. техн. наук

АВТОМАТИЗИРОВАННОЕ РАБОЧЕЕ МЕСТО ПРОЕКТИРОВЩИКА АРИФМЕТИЧЕСКИХ УСТРОЙСТВ НА ОСНОВЕ АППАРАТА СИММЕТРИЧЕСКИХ ФУНКЦИЙ

Розроблено автоматизоване робоче місце проектувальника арифметичних пристроїв, яке включає до себе програмну систему підготовки даних і стандартну САПР. Описується програмна система.

Разработано автоматизированное рабочее место проектировщика арифметических устройств, которое включает в себя программную систему подготовки данных и стандартную САПР. Описывается программная система.

The automated work position of a designer of the arithmetic devices that includes program system of data preparation and standard CAD is developed. Program system is described.

Введение

Важнейшей проблемой при проведении современных вычислений является максимально быстрая обработка больших потоков данных. Решение этой проблемы включает в себя как разработку методов, так и автоматизированное проектирование средств такой обработки.

В работе потоки данных представлены в виде арифметических многорядных двоичных кодов (МРК); методы свёртки МРК рассмотрены в [3]. Средства обработки – это специализированные компоненты высокопроизводительных компьютерных систем (КС), а именно: операционные элементы (ОЭ), компрессоры, сумматоры, умножители и умножители/сумматоры.

Для качественного проектирования компонентов КС разного уровня сложности, от ОЭ до арифметических устройств (АУ), выполняющих свёртку МРК на основе алгебры симметрических функций (СФ) [4], необходима специальная система автоматизированного проектирования (САПР). Известные САПР [1, 2, 5-7] предназначены для универсального проектирования, однако в их программном обеспечении (ПО) не предусмотрено использование СФ при разработке АУ и создание собственной библиотеки функциональных моделей (ФМ). С другой стороны, пользователь не в состоянии вмешаться в работу САПР, адаптируя её к своим требованиям.

Единственно доступным для проектировщика АУ средством в такой ситуации является разработка внешнего ПО, позволяющего подготовить специфические данные для стандартной САПР.

Таким образом, для проведения реального проектирования и экспериментальных исследований компонентов КС на основе операции свёртки МРК и аппарата СФ необходимо разработать удобную для пользователя среду для проектирования компонентов КС и библиотеку ФМ этих компонентов. Целью создания программной системы подготовки данных является автоматизация рабочего места проектировщика АУ, повышение оперативности и эффективности рабочего процесса проектирования.

Автоматизированное рабочее место проектировщика АУ

Автоматизированное рабочее место (АРМ) проектировщика предназначено для построения быстродействующих ОЭ, компрессоров и АУ на их основе, а также моделирования и верификации данных устройств. При построении компонентов, от простейшего ОЭ «одноразрядный полный сумматор – FA» до умножителя/сумматора, используются принципы иерархичности и модульности. Автоматизированное рабочее место включает в себя программную систему подготовки данных (ПСПД) на языке VHDL и стандартную САПР типа QUARTUS (рис.1). С помощью QUARTUS производится симуляция и верификация синтезируемых компонентов.

© Паулин О.Н., 2010

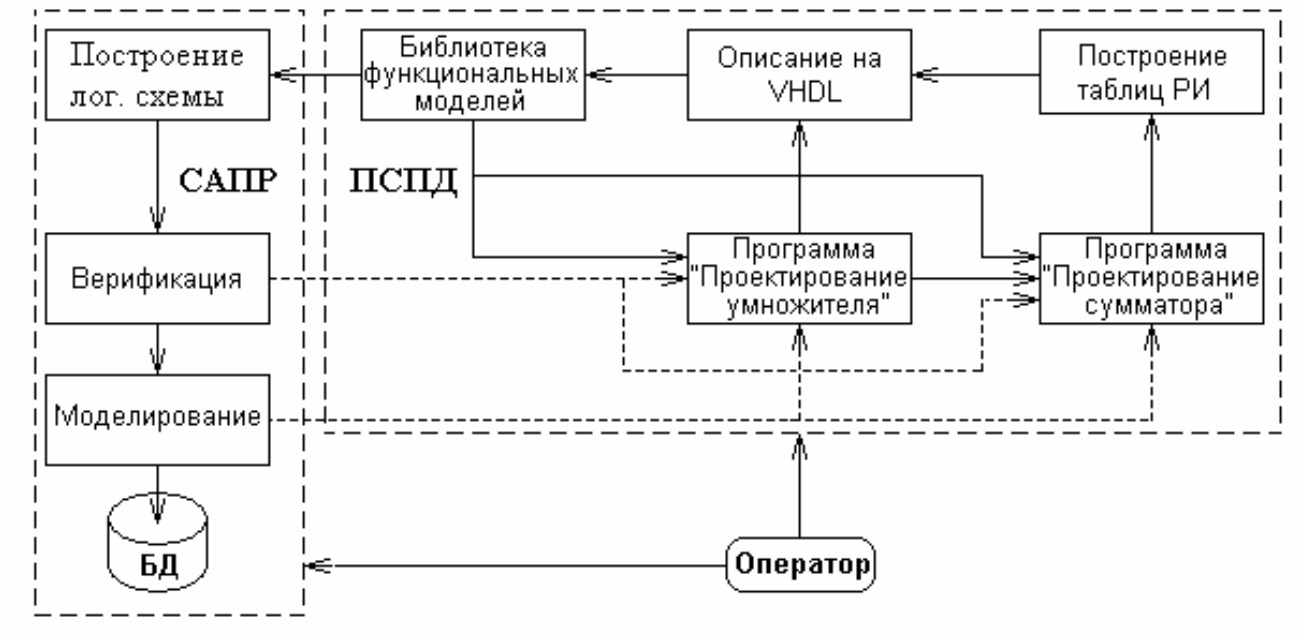

Рис.1. Автоматизированное рабочее место проектировщика АУ

В понятие «подготовка данных к использованию в САПР АУ» входят:

использование принятых в САПР представлений о продуктах проектирования (условные графические обозначения (УГО), тексты программ, способы построения сложных схемотехнических компонентов из простых, основанные на принципах модульности и иерархичности, библиотеки функциональных моделей (ФМ) компонентов и т. п.);

преобразование файлов, подготовленных в формате .doc, в формат, принятый в ПО стандартных САПР, например, **.edif**;

представление ФМ-компонентов в виде файлов, описывающих поведение устройств при подаче на их входы определённых сигналов на одном из языков описания оборудования (HDL – Hardware Description Language) с последующим добавлением их в пользовательскую библиотеку.

В ПСПД входят такие программные модули, как программы «Проектирование сумматоров», «Проектирование умножителей», «Построение таблиц разрядных индексов», «Описание на VHDL» автоматического перевода таблиц разрядных индексов (РИ) в описание на VHDL. Кроме того, предусмотрена пользовательская библиотека ФМ.

Программная система подготовки данных включает в себя удобный для пользователя интерфейс и совместима с ОС Windows. Она обеспечивает следующие возможности: создание, редактирование, поиск, добавление ФМ в библиотеку или их удаление из библиотеки.

Требования к техническим средствам АРМ не являются жесткими.

Для программной реализации данной разработки, в том числе удобного пользовательского интерфейса, выбрана объектно-ориентированная среда Delphi 7 фирмы Borland в соответствии с основными критериями – надежностью, универсальностью, возможностью применения современных средств программирования.

Выбор VHDL в качестве языка описания проектируемых устройств обусловлен его простотой изучения и синтеза АУ на его основе, так как он разработан как специализированный язык для автоматизации проектирования устройств и обладает всеми свойствами и возможностями, характерными для языков высокого уровня. Помимо этого он позволяет использовать стандартные типы данных и создавать свои. Также выбор данного языка связан с его высокой распространенностью и интегрируемостью в различные САПР.

Проектирование АУ

Входными данными для проектирования ОЭ являются данные о необходимом количестве входов компонента, если он имеется в библиотеке, либо полное описание компонента в случае его отсутствия в библиотеке.

Входные данные для проектирования сумматоров – разрядность свёртываемой области бит и количество слагаемых в каждом разрядном срезе. Входные данные для проектирования умножителей и умножителей/сумматоров – разрядности сомножителей и слагаемого.

Выходными данными (результатом проектирования) программной системы для разработанных компонентов и устройств являются их УГО, поразрядные таблицы РИ, полное описание (математическое, входных и выходных сигналов, и поведенческое на языке VHDL), которые сохраняются в библиотеке функциональных моделей. Результаты представляются в наглядном виде; предусмотрена возможность их дальнейшего использования другими системами автоматизированной разработки.

Пользователь имеет возможность сохранять или извлекать из библиотеки ФМ компоненты для последующего их использования или изменения. Работа с библиотекой ФМ производится через вспомогательное окно программы с отображением УГО и полного описания компонента или устройства. Пополнение библиотеки ФМ происходит за счёт разрабатываемых в процессе проектирования сумматоров и умножителей.

При проектировании сумматоров проверяется, имеются ли в библиотеке ФМ модели необходимых компонентов; в случае отсутствия таковых с помощью программы «Проектирование сумматоров» строятся недостающие компоненты. Если же они имеются, то структура сумматора компонуется из них.

При проектировании умножителей и умножителей/сумматоров ромб бит частичных произведений (РБЧП), представленный на экране монитора, разбивается с помощью специальных утилит на слои, содержащие несколько рядов кодов, а те, в свою очередь, разбиваются на регулярные фрагменты [3] небольшой размерности. Все фрагменты чётко позиционируются на плоскости экрана и им присваиваются соответствующие номера. При этом предусмотрена как абсолютная, так и относительная (с возможностью изменения шага координатной сетки) система координат.

Далее для конкретного фрагмента формируется его распределение бит по разрядным срезам с помощью программы «Проектирование сумматоров», которое в качестве входных данных передаётся программе построения таблиц РИ. С помощью программы «Описание на VHDL» таблицы РИ для компрессора или ОЭ автоматически переводятся в описание на VHDL.

На последнем шаге проектирования производится компоновка компрессоров для каждого конкретного фрагмента в заданную структуру умножителя. При этом отдельно учитываются переносы из компрессоров.

Надёжность и устойчивость функционирования программ обеспечивается контролем входной информации, минимизацией операций, осуществляемых пользователями, возможностью возврата при вводе ошибочной информации.

Построение таблиц функционирования устройства

Таблица функционирования устройства (компрессора, ОЭ) представляет собой совокупность поразрядных таблиц РИ, заполняемых индексами СФ, причём таблица РИ для выходной функции *i*–го разряда включает в себя индексы всех функций с 1-го по *i*–й разряды, входящие в описание выходной функции.

Программа построения таблиц РИ позволяет при заданном распределении бит по РС для конкретного фрагмента определить те значения СФ составляющих конъюнкции (термы) поразрядных СФ, при которых рассматриваемая выходная функция принимает значение 1. Полное логическое описание выходной функции *i*–го разряда представляет собой дизъюнкцию термов.

Перевод ТФ устройства в его VHDL-описание

Разработанные в [3] таблицы заполняются разрядными индексами СФ так, что они составляют описание функционирования устройства в рассматриваемом разряде. При этом описание выполняется в дизъюнктивной нормальной форме (ДНФ) относительно СФ.

Задача перевода логического описания на язык VHDL распадается на две подзадачи: перевод СФ и перевод ДНФ. В первом слу-

чае выполнены заготовки всех, кроме тривиальных, СФ n (n =2..5) переменных и они занесены заранее в отдельную папку библиотеки с учётом возможного склеивания. Например, для аналитическое описание функции переноса (это СФ) имеет вид: $P=H_3(2,3) = x_1x_2+x_1x_3+x_2x_3$; VHDL-описание для данной функции имеет вид:

```
ESF3(2, 3): process(x1,x2,x3)
begin
(x1 and x2) or (x2 and x3) or (x3 and x1) after ntm;
end process ESF3(2, 3).
```

Во втором случае для каждого конкретного ОЭ, компрессора и любого другого компонента схемы проектируемой структуры составляется VHDL-описание [7]. Отметим, что по мере наполнения библиотеки функциональными моделями процесс проектирования всё более упрощается за счёт использования готовых решений.

Пример описания ОЭ типа 8→2

Строится данный элемент (дерево Санторо [8]) на базе одноразрядных полных сумматоров (FA – full adder). К его входам и выходам добавляются внутренние переносы (входные и выходные) для соединения с подобными элементами. УГО и структура ОЭ типа 8→2 приведены соответственно на рис. 2 и 3.

На рис. 2 обозначено: y1..y8 – входные переменные данного разряда; Cin1..Cin5 – входные внутренние переносы из предыдущего разряда; Cout1..Cout5 – выходные внутренние переносы в следующий разряд; Sum – сумма данного разряда, Carry – внешний перенос в следующий разряд.

Отметим, что при соединении нескольких ОЭ в линейку выходные внутренние переносы предыдущего разряда соединяются с входными внутренними переносами данного разряда с одинаковыми номерами. Входные переносы в ОЭ 1-го разряда равны 0, а выходные переносы из ОЭ старшего разряда требуют дополнительной схемы сложения.

При этом все ОЭ линейки работают одновременно, то есть параллельно. Выходные сумма *Sum* и перенос *Carry* всех ОЭ поступают на вход многоразрядного ПС, на выходе которого получается окончательный результат в виде однорядного двоичного кода.

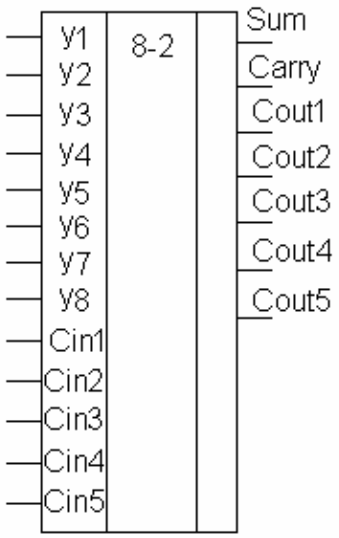

Рис.2.Условно графические обозначения ОЭ типа 8→2

На рис.3 показана структура ОЭ 8→2 и схема соединения FA в одноразрядный сумматор восьми однобитовых слагаемых. Здесь используются те же обозначения, что и на рис.3. Кроме того, здесь обозначено: *S* – сумма трёх однобитовых слагаемых *a, b, c* одноразрядного полного сумматора (FA), *P* – перенос из FA.

Приведём VHDL-описание ОЭ типа 8→2. Здесь описаны отдельные FA и их соединение в структуру данного ОЭ.

```
entity eight_two is
port (y1, y2, y3, y4, y5, y6, y7, y8, Cin1, Cin2, Cin3, Cin4, Cin5: in bit;
Cout1, Cout2, Cout3, Cout4, Cout5, Sum, Carry: out bit);
end entity eight_two;

architecture structual of eight_two is
    signal Sum_s1, Sum_s2, Sum_s3, Sum_s4, Sum_s5: bit;
    component full_adder is
    port (a, b, c: in bit; S, P: out bit);
end component full_adder;
begin
FA1: full_adder port map (
a => y1,
b => y2,
c => y3,
S => Sum_s1,
P => Cout1);
FA2: full_adder port map (
a => Cin1,
b => Sum_s1,
c => y4,
S => Sum_s2,
```

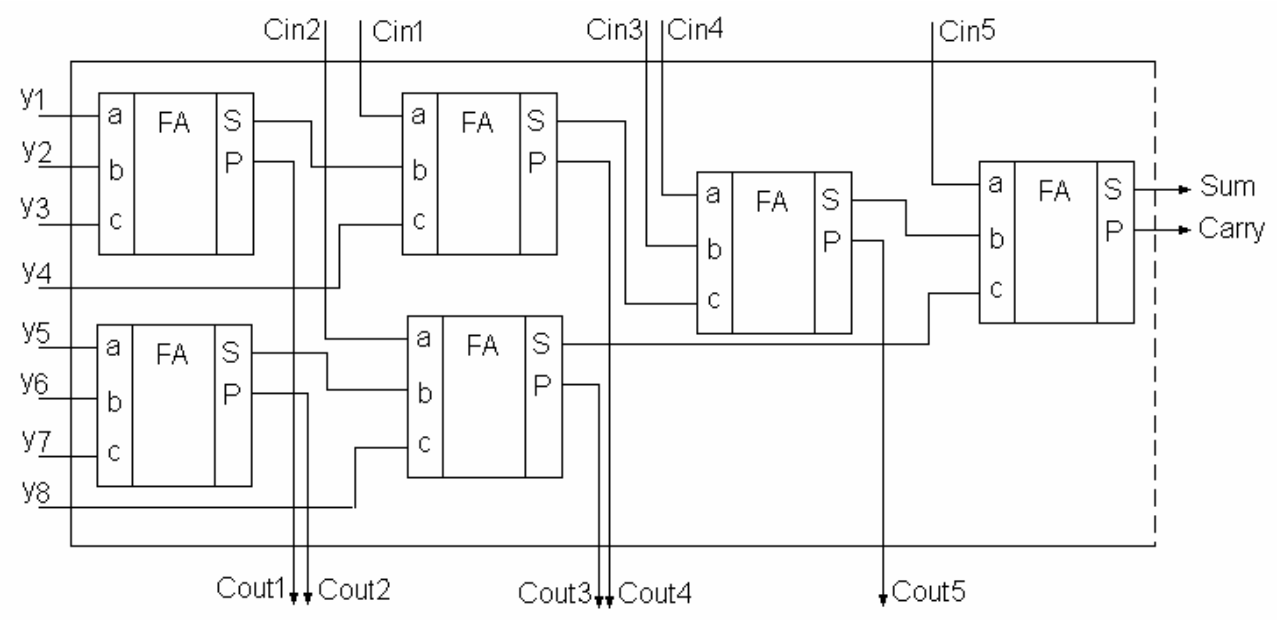

Рис.3. Структура операционного элемента 8→2

```
P => Cout4);
FA3: full_adder port map (
a => y5,b => y6,
c => y7,
S => Sum_s3,
P => Cout2);
FA4: full_adder port map (
a => Cin2,
b => Sum_s3,
c => y8,
S => Sum_s4,
P => Cout3);
FA5: full_adder port map (
a => Cin4,
b => Cin3,
c => Sum_s2,
S => Sum_s5,
P => Cout5);
FA6: full_adder port map (
a => Cin5,
b => Sum_s5,
c => Sum_s4,
S => Sum,
P => Carry);
end architecture structual;
```

Выводы

1. Разработано АРМ проектировщика АУ, которое позволяет проектировать сумматоры, умножители и сумматоры/умножители, а также их компоненты с возможностью варьирования их время-сложностными характеристиками.

2. Разработан удобный, несложный в освоении пользовательский интерфейс.

3. Разработана программная система подготовки данных, легко интегрируемая в стандартную САПР, с помощью которой далее можно построить логическую схему компрессора (устройства), провести её верификацию и моделирование, а также оформить документацию.

4. Разработаны прикладные прог-раммы для АРМ АУ в среде Delphi 7.0, обеспечивающие сквозное проектирование функциональных моделей АУ и их компонентов. Функциональная модель представляется в виде файла с расширением **.edif**. К этому файлу в случае компрессора добавляются его условное графическое обозначение в формате **.bmp** и логическое описание в формате **.doc**.

5. Устройство составляется из ком прессоров и операционных элемен-тов, что позволяет значительно ускорить процесс проектирования.

Список использованной литературы

1. Кондратенко Ю.П. Verilog-HDL для моделирования и синтеза цифровых электронных схем /Кондратенко Ю.П., Мохор В.В., Сидоренко С.А. //Уч. пособие:под ред. Ю.П. Кондратенко. – Николаев: НГГУ, 2002. – 208 с.

2. Палагин А.В. Проектирование цифровых устройств на кристаллах ПЛИС с использованием Core-ядер /Палагин А.В., Опанасенко В.Н., Сахарин В.Г. //Вестник СевГТУ. – 2003. – Вып. 57: Автоматизация процессов и управление. – С. 33-47.

3. Паулин О.Н. Об эффективности сжатия многорядных кодов /О.Н. Паулин //Искусствен.интеллект. – № 3. – 2004. – Донецк: ІПШІ. Наука і освіта. – 2004. – С. 224-228.

4. Паулин О.Н. О построении прикладной теории симметрических булевых функций и её применении для синтеза цифровых устройств /О.Н. Паулин // Изв. ТРТУ. Тематич. вып. "Интеллектуальные и многопроцессорные системы". – № 10 (54), 2005. – Таганрог: ТРТУ. – 2005. – С. 5-12.

5. Сергиенко А.М. VHDL для проектирования вычислительных устройств / Сергиенко А.М. – К: ЧП "Корнейчук", ООО "ТИД "ДС", 2003. – 208 с.

6. Стешенко В.Б. ПЛИС фирмы «ALTERA»: элементная база, система проектирования и языки описания аппаратуры / Стешенко В.Б. – М.: Изд. дом «Додэка-XXI», 2002. – 576 с.

7. Угрюмов Е.П. Цифровая схемотехника / Угрюмов Е.П. //Учеб. пос. для вузов. – СПб.: БХВ-Петербург, 2004. – 800 с.

8. Santoro, Mark Ronald. Design and Clocking of VLSI Multipliers / Stanford University, Computer Systems Laboratory. Report Number: CSL-TR-89-397, October, 1989.

Получена 02.07.2010

Паулин
Олег Николаевич,
канд. техн. наук, профессор, каф. Сист. программного обеспечения
Одесск. нац. политехн. ун-та т.(0482) 44-22-89
paulin@te.net.ua