

УДК 004.315–181.48

Н. И. Синегуб, канд. техн. наук,

В. А. Крисилов, д-р техн. наук

МИКРОПРОЦЕССОРЫ ЗВЕЗДООБРАЗНОЙ СТРУКТУРЫ ПОВЫШЕННОЙ ПРОИЗВОДИТЕЛЬНОСТИ

Рассмотрен вопрос разработки оригинальной звездообразной структуры микропроцессора, в которой объединяются структуры микропроцессоров с прямым и инверсным потоками данных. В результате этого арифметические устройства в предложенном микропроцессоре работают в течение всего периода тактовой частоты, что позволяет повысить производительность микропроцессора.

Ключевые слова: структура микропроцессора, микропроцессор с прямым потоком данных, микропроцессор с инверсным потоком данных, производительность микропроцессора.

N. I. Sinegub, PhD.,

V. A. Krisilov, ScD.

STARSHAPED MICROPROCESSOR STRUCTURE INCREASING PRODUCTIVITY

The problem of working out the original starshaped microprocessor being unificated microprocessor structures with direct and inverse data flow has been considered. As a result arithmetic devices work useful in suggested microprocessor throughout all period of frequency cycle permitting to increase microprocessor productivity.

Keywords: microprocessor structure, microprocessor with direct data flow, microprocessor with inverse data flow, microprocessor productivity.

М. І. Синегуб, канд. техн. наук,

В. А. Крісілов, д-р техн. наук

МИКРОПРОЦЕССОРИ ЗІРКООБРАЗНОЇ СТРУКТУРИ З ПІДВИЩЕНОЮ ПРОДУКТИВНІСТЮ

Розглянуто питання розробки оригінальної зіркоподібної структури мікропроцесора, в якій об'єднуються структури мікропроцесорів з прямим та інверсним потоками даних. В результаті цього арифметичні пристрої в запропонованому мікропроцесорі працюють протягом всього періоду тактової частоти, що дає змогу підвищити продуктивність мікропроцесора.

Ключові слова: структура мікропроцесора, мікропроцесор з прямим потоком даних, мікропроцесор з інверсним потоком даних, продуктивність мікропроцесора.

Решение задач, требующих выполнения значительных объемов вычислений в реальном масштабе времени, возможно лишь при наличии микропроцессорной техники повышенной производительности.

К особенностям современных компьютеров относят следующее [3]:

1) это компьютеры на сверхсложных микропроцессорах высокой производительности с параллельно-векторной структурой, одновременно выполняющих десятки последовательных инструкций программы;

2) это компьютеры со многими сотнями параллельно работающих процессоров, позволяющих строить системы обработки данных и знаний, а также эффективные сетевые компьютерные системы.

Несмотря на достигнутые успехи, задача повышения производительности микропроцессоров (МП) и микропроцессорных

систем остается актуальной. В этом направлении постоянно ведутся исследования, в том числе и в области компьютерной архитектуры и схмотехники, а также структурной организации микропроцессоров [1, 2, 5, 7, 14].

В работе [9] рассмотрена структурная организация микропроцессора с высоким внутренним параллелизмом, в которой объединены архитектуры суперскалярного микропроцессора и VLIW–процессора (VLIW – Very Long Instruction Word), что позволяет повысить производительность за счет получения в одном такте нескольких скалярных результатов (рис. 1).

На регистры ядра данного МП через соответствующие коммутаторы с тремя состояниями на выходе, по соответствующим кольцевым шинам и шинам данных поступают операнды, а также управляющие

© Синегуб Н.И., Крисилов В.А., 2012

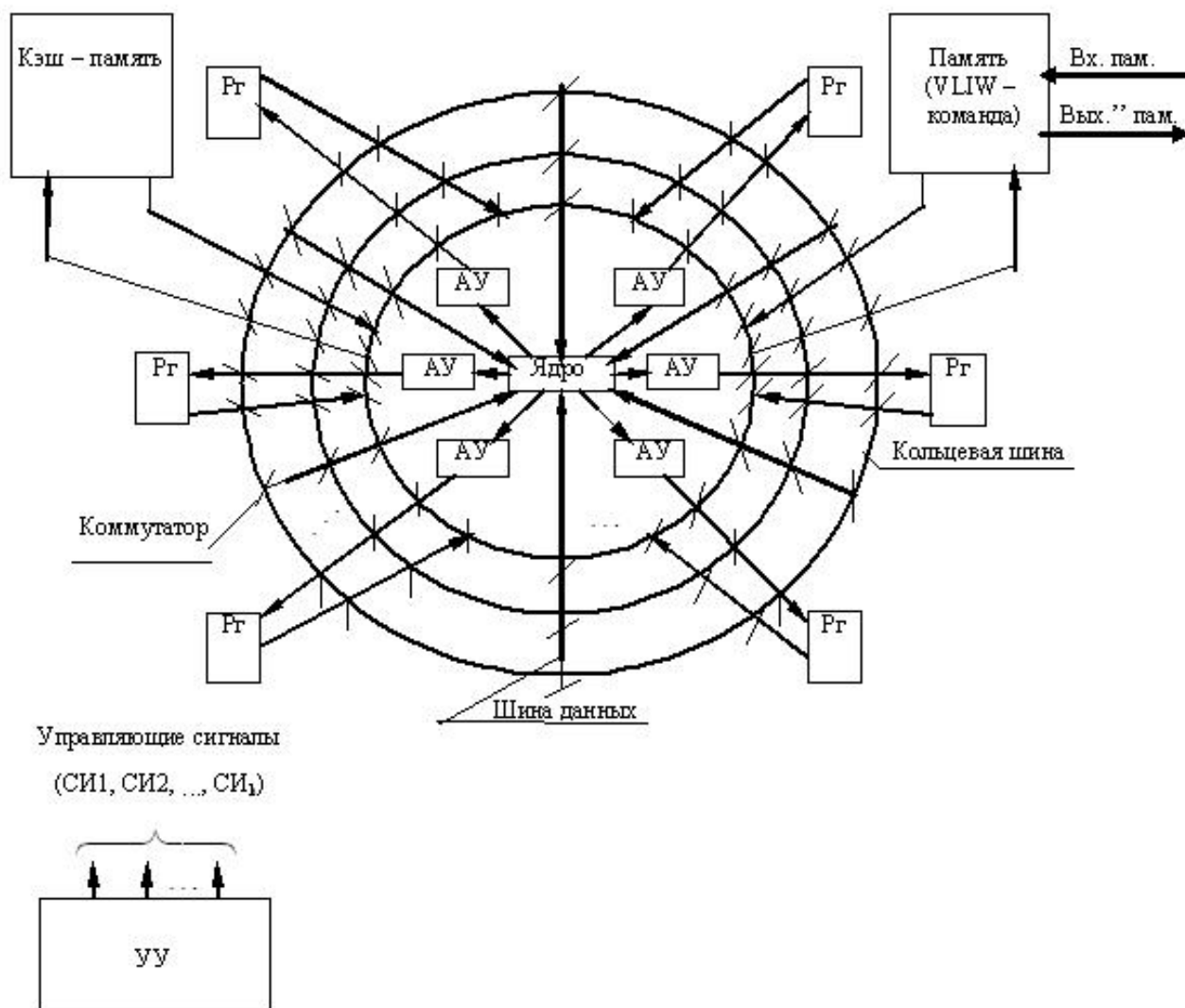


Рис. 1. Структурная организация микропроцессора с высоким внутренним параллелизмом

сигналы из командного слова [4], задающие режимы работы арифметических устройств (АУ). Сформированные на выходах АУ результаты обработки данных заносятся в регистры данных (Рг) (кэш – память, память, др.). В соответствии с VLIW – командой информация из любого Рг (кэш – памяти, памяти, др.) может быть либо записана в любой регистр ядра и обработана АУ, либо выведена на внешнее устройство МП в соответствии с одним из известных протоколов обмена данными [13]. При этом устройство управления (УУ) формирует необходимые для функционирования МП управляющие сигналы и синхроимпульсы.

На рис. 2 представлены временные диаграмма функционирования данного МП.

По переднему фронту синхроимпульса СИ1 информация (Инф.) из внешнего устройства записывается в память МП (Вх. пам.). Далее по переднему фронту синхроимпульса СИ2 информация из памяти МП считывается на шину данных МП (Вых. пам.). В результате через соответствующие коммутаторы, по соответствующим кольцевым шинам и шинам данных на регистры ядра поступают операнды, а также управляющие сигналы из командного слова, задающие режимы работы АУ. По переднему фронту синхроимпульса СИ3 данная информация заносится в регистры ядра и через время задержки t_3 поступает на входы АУ (Вых. Рг ядра). Сформированные на выходах

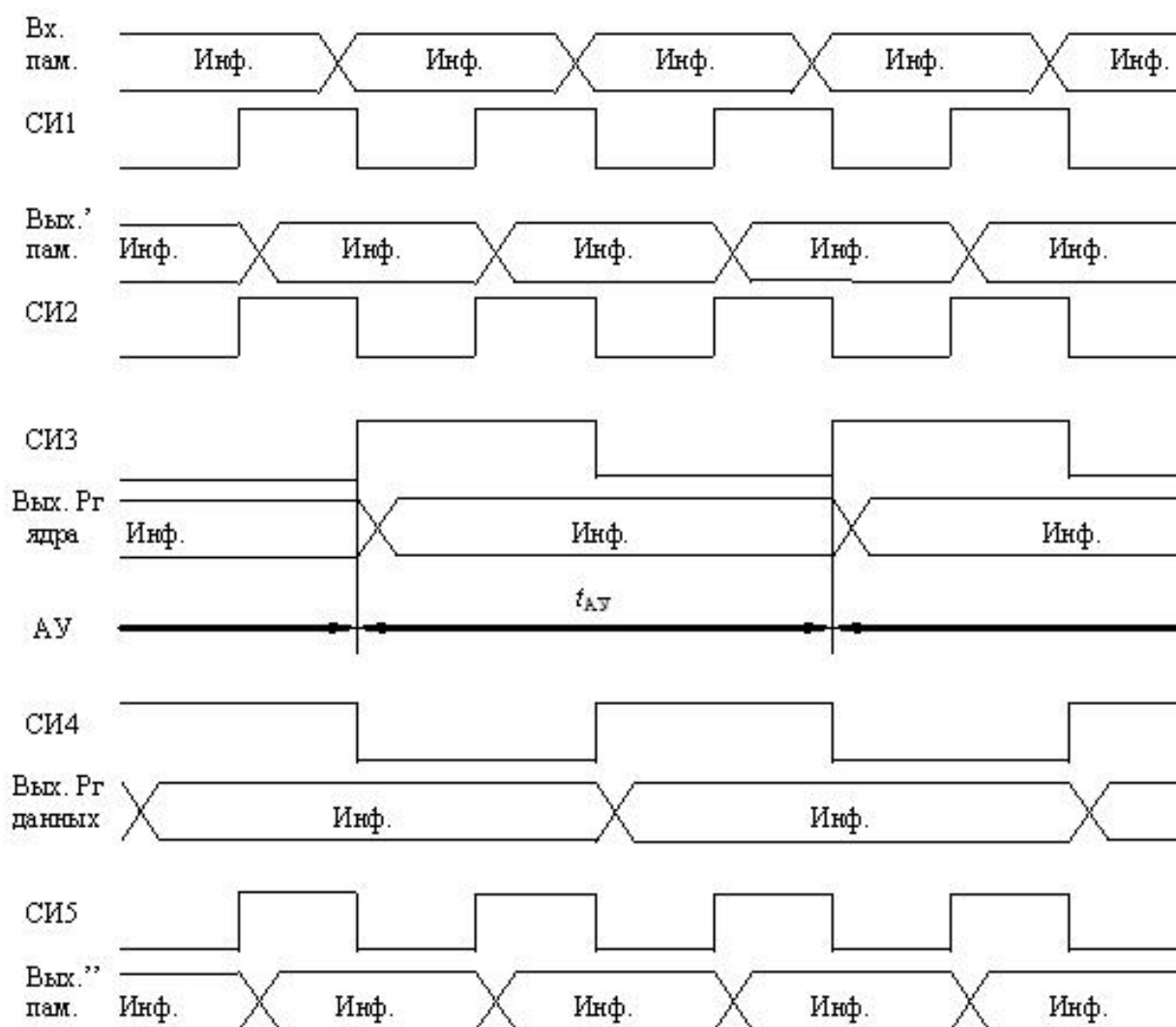


Рис. 2. Временные диаграммы сигналов МП

АУ через время задержки $t_{\Delta У}/2$ (АУ) результаты обработки данных в соответствии с VLIW – командой через соответствующие коммутаторы, по соответствующим кольцевым шинам и шинам данных поступают на входы регистров данных (кэш – памяти, памяти, др.). По переднему фронту синхроимпульса СИ4 результаты обработки данных заносятся в регистры данных (кэш – память, память, др.) (Вых. Рг данных). Далее цикл повторяется. По переднему фронту синхроимпульса СИ5 информация считывается из памяти МП на внешнее устройство (Вых. пам.).

Аналогично рассмотренному выше МП функционирует и МП с инверсным потоком данных за тем исключением, что информация здесь первоначально записывается в ре-

гистры данных, а уже потом, после обработки ее АУ, записывается в регистры ядра [10]. Следует отметить, что часть шин данных при такой структурной организации МП – двунаправленные.

Если на регистры рассмотренных МП синхроимпульсы поступают по отдельным линиям связи, то возможен режим хранения информации на регистрах в результате прекращения подачи синхроимпульсов на выбранный регистр.

Несмотря на высокую производительность, рассмотренные МП обладают одним общим недостатком. В МП на рис. 1 АУ начинают работать только после поступления информации на регистры ядра и не начинают работать с поступлением информации на регистры данных. В МП с инверсным потоком

данных АУ начинают работать только после поступления информации на регистры данных и не начинают работать с поступлением информации на регистры ядра. Таким образом в обоих рассмотренных микропроцессорах АУ полезно работают только в течение времени $t_{AU}/2$, а не всего периода t_{AU} . В результате информация между АУ передается за время t_{AU} , что и является общим недостатком этих МП.

С целью устранения данного недостатка на рис. 3 предложен оригинальный микропроцессор звездообразной структуры повышенной производительности. Его характерной особенностью является совмещение в

одной структуре структур обоих МП, рассмотренных выше. Кроме того, у предложенного МП имеются как внешние, так и внутренние кольцевые шины.

На рис. 4 представлена временная диаграмма функционирования предложенного МП. Здесь при записи информации в соответствующие регистры ядра начинают работать АУ' (АУ'). Через время $t_{AU'}/2 = t_{AU}/2$ при записи информации в соответствующие регистры данных начинают работать АУ'' (АУ''). Через время $t_{AU''}/2 = t_{AU}/2$ цикл повторяется. В результате арифметические

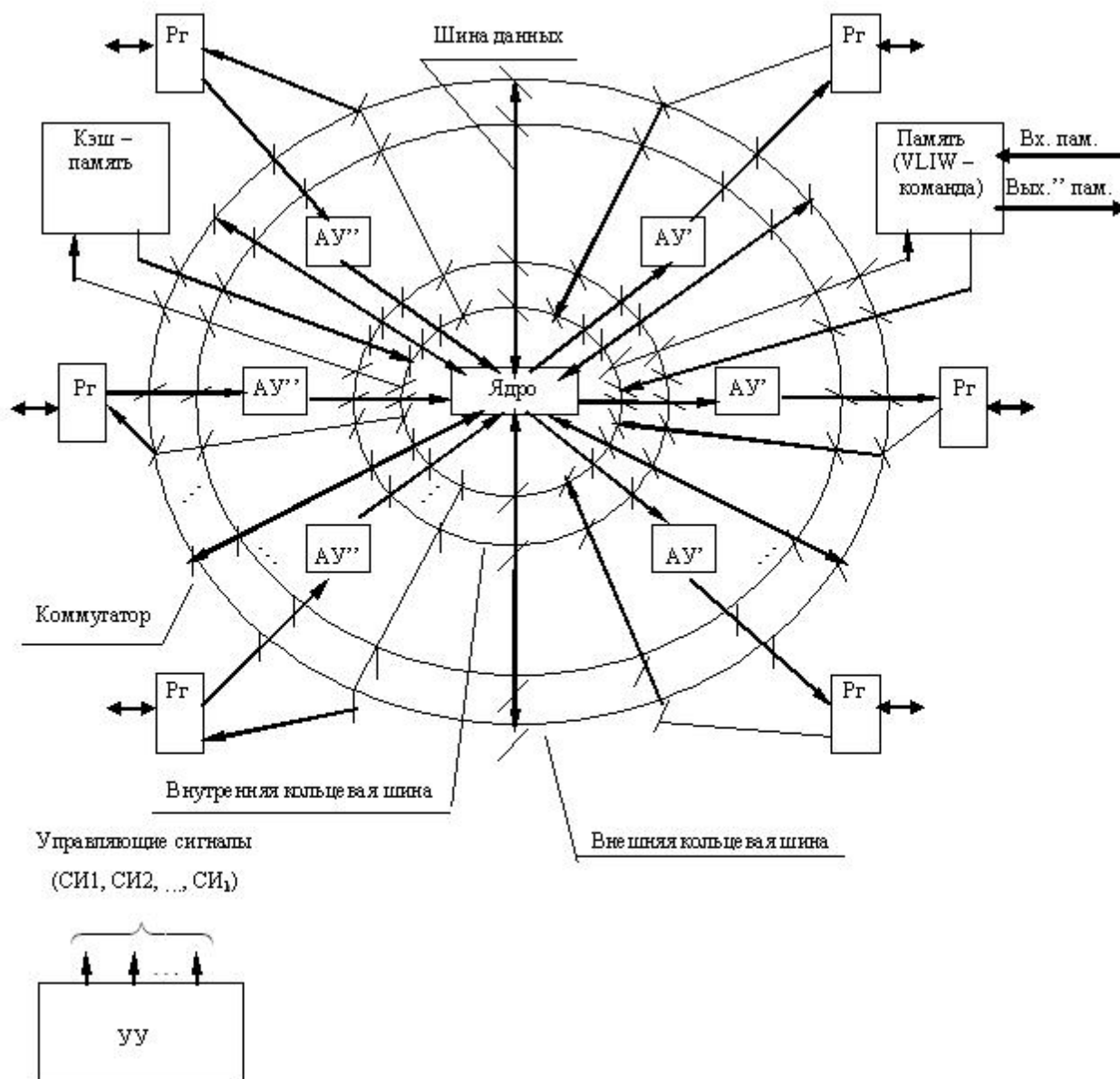


Рис. 3. Микропроцессор звездообразной структуры повышенной производительности

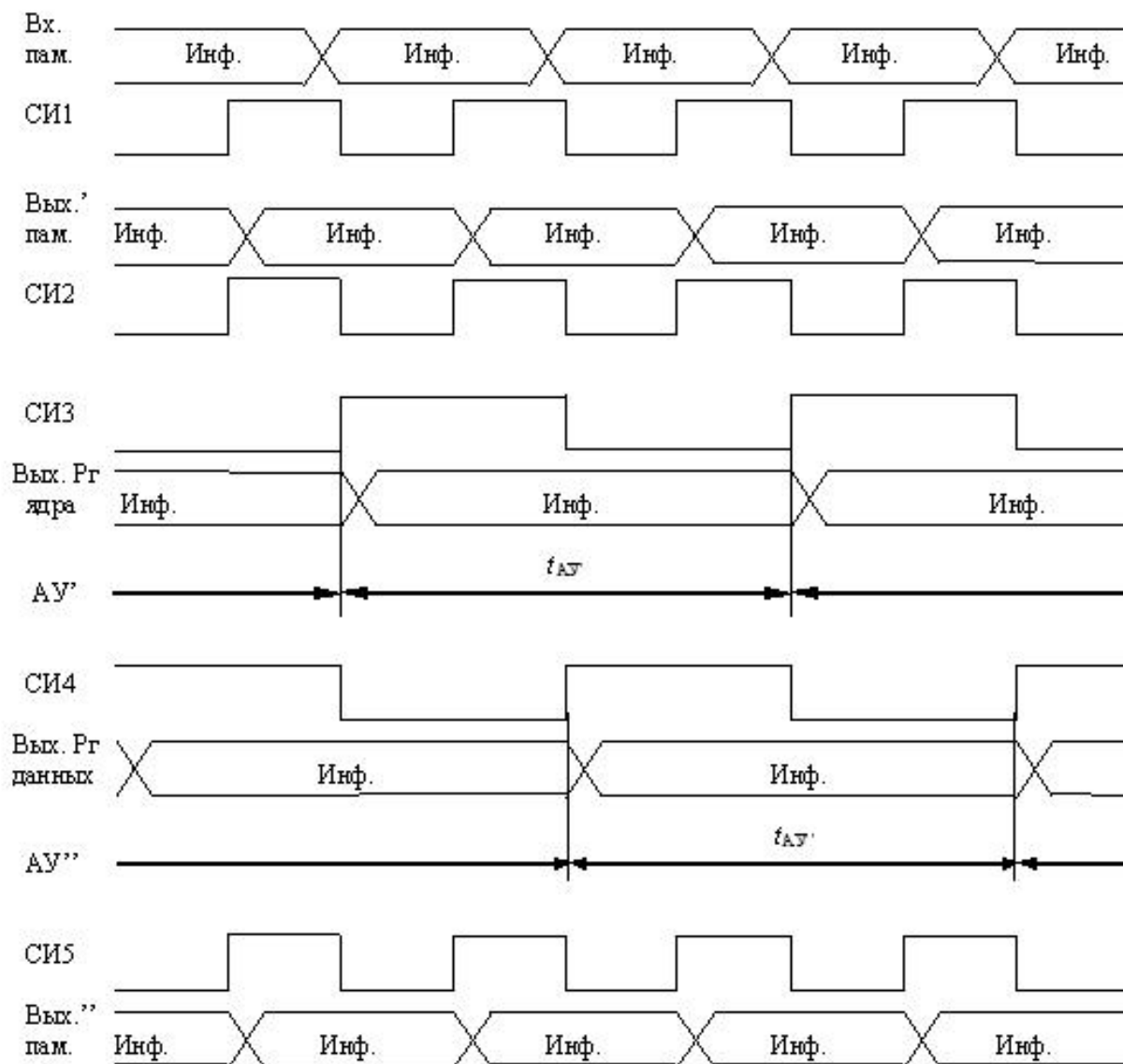


Рис. 4. Временные диаграммы сигналов предложенного МП

устройства в предложенном МП полезно работают в течение всего периода $t_{АУ}$, и информация между АУ передается здесь за время $t_{АУ}/2$. Это позволяет повысить производительность данного МП, что дает ему преимущество перед рассмотренными выше микропроцессорами.

В качестве АУ в рассмотренных МП могут использоваться быстродействующие арифметические устройства с совмещением операций [8, 11, 12]. Кроме того, на основе предложенных структур МП могут быть реализованы различные структуры кластеров [6].

Таким образом, положительный эффект повышения производительности МП в

предложенных структурных организациях достигается за счет использования и дальнейшего развития присущего им внутреннего параллелизма, позволяющего организовывать параллельно различные операции по обработке данных и их обмену.

Список использованной литературы

1. Бабиц Н. П. Основы цифровой схемотехники: Учебное пособие / Н. П. Бабиц, И. А. Жуков. – М.: Изд. дом Додэка-XXI. – К.: МК–Пресс, 2007. – 480 с.
2. Бойт К. Цифровая электроника / К. Бойт. – М.: Техносфера, 2007. – 472 с.

3. Бройдо В. Л. Архитектура ЭВМ и систем: Учебник для вузов. 2-е изд. / В. Л. Бройдо, О. П. Ильина. – СПб.: Питер, 2009. – 720 с.

4. Корнеев В. В. Современные микропроцессоры. – 3-е изд., перераб. и доп. / В. В. Корнеев, А. В. Киселев. – СПб.: БХВ–Петербург, 2003. – 448 с.

5. Микушин А. В. Цифровые устройства и микропроцессоры: учеб. пособие / А. В. Микушин, А. М. Сажнев, В. И. Сединин. – СПб.: БХВ–Петербург, 2010. – 832 с.

6. Паттерсон Д. Архитектура компьютера и проектирование компьютерных систем. Классика Computers Science. 4-е изд. / Д. Паттерсон, Дж. Хеннесси. – СПб.: Питер, 2012. – 784 с.

7. Самофалов К. Г. Структуры и организация функционирования ЭВМ и систем / К. Г. Самофалов, Г. М. Луцкий. – К.: Вища школа, 1978. – 392 с.

8. Синегуб Н. И. Быстродействующее устройство умножения и извлечения квадратного корня / Н. И. Синегуб // Труды Одесского политехнического университета. – 2010. – Вып.1(33)–2(34). – С. 131–135.

9. Синегуб Н. И. Микропроцессор звездообразной структуры / Н. И. Синегуб // Технология и конструирование в электронной аппаратуре. – 2009. – № 2. – С. 14– 15.

10. Синегуб Н. И. Микропроцессоры звездообразной структуры с расширенными функциональными возможностями / Н. И. Синегуб, В. С. Ситников // Технология и конструирование в электронной аппаратуре. – 2010. – № 4. – С. 40–42.

11. Синегуб Н. И. Умножитель / делитель с повышенным быстродействием / Н. И. Синегуб // Технология и конструирование в электронной аппаратуре. – 2009. – № 3. – С. 16–20.

12. Синтез устройств умножения/суммирования: матеріали міжнародної науково-практичної конф., 7–9 листопада 2005 р., Полтава. / відп. за випуск С. І. Бабич. – Полтава: ІнтерГрафіка, 2005. – Т. 8. – С. 76–80, – (Розвиток наукових досліджень “2005”).

13. Схемотехника электронных схем. Микропроцессоры и микроконтроллеры / [Бойко В. И., Гуржий А. Н., Жуйков В. Я., Зори А. А., Спивак В. М., Терещенко Т. А.,

Петергеря Ю. С]. – СПб.: БХВ – Петербург, 2004. – 464 с.

14. Угрюмов Е. П. Цифровая схемотехника: Учеб. пособие для вузов. – 2-е изд., перераб. и доп. / Е. П. Угрюмов – СПб.: БХВ – Петербург, 2007. – 800 с.

Получено 20.06.2012

References

1. Babich N. Fundamentals of digital circuit design: Textbook / N. Babich, I. Zhukov. – Moscow: Publishing House Dodeka-XXI. – Kiev: MK-Press, 2007. – 480 p. [in Russian].

2. Boito K. Digital electronics / K. afraid. – Moscow: Technosphere, 2007. – 472 p. [in Russian].

3. Broido V. L. Computer Architecture and Systems: A Textbook for high schools. 2nd ed. / V. L. Broido, O. P. Ilyin. – SPb.: Peter, 2009. – 720 p. [in Russian].

4. Korneev V. V. Modern microprocessors. 3rd ed., Rev. and add. / V. V. Korneev, A. Kiselev. – SPb.: BHV Petersburg, 2003. – 448 p. [in Russian].

5. Mikushin A. V. Digital devices and microprocessors: Studies. Manual / A. V. Mikushin, A. M. Sazhnev, V. I. Sedinin – SPb.: BHV Petersburg, 2010. – 832 p. [in Russian].

6. Patterson D. Computer Architecture and design of computer systems. Classic Computers Science. 4th ed. / D. Patterson, J. Hennessy. – SPb.: Peter, 2012. – 784 p. [in Russian].

7. Samofalov K. G. Structure and organization and operation of computer systems / K. G. Samofalov, G. M. Lutsk. – Kiev: Vishcha School, 1978. – 392 p. [in Russian].

8. Sinegub N.I. Speed of the device multiplication and square root / N.I. Sinegub // Proceedings of the Odessa Polytechnic University. – 2010. – Vol.1(33)–2(34). – P.131–135 [in Russian].

9. Sinegub N.I. Microprocessor star-like structure / N.I. Sinegub // Technology and engineering in electronic equipment. – 2009. – № 2. – P. 14–15 [in Russian].

10. Sinegub N. I. Microprocessors star-like structure with advanced capabilities of functional / N. I. Sinegub, V. S. Sitnikov //

Technology and construction in electronic equipment. –2010. – № 4. – P.40–42 [in Russian].

11. Sinegub N. I. Multiplier / divider with high speed / N. I. Sinegub // Technology and engineering in electronic equipment. – 2009. –№ 3. P.16–20 [in Russian].

12. Synthesis devices multiplication / summation materiali mizhnarodnoї Naukova praktichnoї-conf., 7 leaf fall 2005 9 p., / Vidp. for vipusk S. I. Babic. - Paltava InterGrafika. , (Rozvitok Naukova doslidzhen "2005"). – Poltava. – 2005. –Т. 8. –P.76–80 [in Russian].

13. Circuit design of electronic circuits. Microprocessors and Microcontrollers / [Boiko V. I., Gurzhiy A. N., Zhuikov V. Y., Dawn A., Spivak V. M., Tereshchenko T. A., Petergerya Yu. C]. – SPb.: BHV Petersburg, 2004. – 464 [in Russian].

14. Ugryumov E. P. Digital circuitry: Textbook. Manual for schools. 2-nd ed., Rev. and add. / E. P. Ugryumov. – SPb.: BHV-Petersburg, 2007. – 800 p. [in Russian].



Синегуб
Николай Иванович,
ст. преп. каф. системного
программного обеспече-
ния Одесского нац. поли-
техн. ун-та



Крисилов
Виктор Анатолиевич,
д.т.н., проф., зав. каф.
системного программно-
го обеспечения Одесско-
го нац. политехн. ун-та,
krissilovva@mail.ru