

УДК 004.2

А. С. Ляпандра, канд.техн.наук

ПІДХІД ДО УЗАГАЛЬНЕНОГО ОЦІНЮВАННЯ РЕСУРСІВ ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ

Запропоновано підхід до попереднього узагальненого оцінювання ресурсів програмованих логічних інтегральних схем з метою підвищення ефективності проектування комп'ютерних систем, що реконфігуруються. Він ґрунтується на застосуванні морфологічного методу для генерування альтернативних структур та використанні модифікованої мережі Петрі для вибору оптимальної структури за обчислювальними критеріями.

Ключові слова: програмована логічна інтегральна схема, реконфігурована комп'ютерна система, мережа Петрі.

A. S. Lyapandra, PhD.

APPROACH TO THE INTEGRATED ASSESSMENT OF RESOURCES OF THE PLD

Offered approach to the previous integrated evaluation of resources of the programmable logic devices to improve performance of design of reconfigurable computing. It is based on generating of alternative structures by application of morphological method and use of the modified Petri net to choice of optimum structure by calculable criteria.

Keywords: programmable logic device, reconfigurable computing, Petri net.

A. С. Ляпандра, канд.техн.наук

ПОДХОД К ОБОБЩЕННОМУ ОЦЕНИВАНИЮ РЕСУРСОВ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ

Предложен подход к предварительному обобщенному оцениванию ресурсов программируемых логических интегральных схем с целью повышения скорости проектирования реконфигурируемых компьютерных систем. Он основывается на применении морфологического метода для генерирования альтернативных структур и использовании модифицированной сети Петри для выбора оптимальной структуры за вычислительными критериями.

Ключевые слова: программируемая логическая интегральная схема, реконфигурируемая компьютерная система, сеть Петри.

Вступ. Широке застосування складних математичних методів викликало потребу в комп'ютерних системах (КС). Особливістю таких систем є орієнтація архітектури на виконання певного класу задач. Тому при використанні КС з фіксованою системою зв'язків у випадку зміни характеру задач швидкість їх розв'язання зменшується. Це спричинило розвиток реконфігурованих комп'ютерних систем (РКС), реалізація яких стала простішою внаслідок використання програмованих логічних інтегральних схем (ПЛІС). На ПЛІС є можливість перенести розроблені функціонально-закінчені вузли, блоки та підсистеми. Переваги ПЛІС – можливість ефективного використання кристалу для рішення прикладної задачі, що обумовлено можливістю оптимізації його внутрішньої структури.

Доцільність використання ПЛІС забезпечується можливістю швидкого, часткового, динамічного реконфігурування, зниженням кількості компонентів на платі, зменшенням площі друкованої плати, зменшен-

ням енергоспоживання, збільшенням надійності та продуктивності [5]. Оскільки ПЛІС характеризуються високими техніко-економічними показниками, то це спричинило їх використання в області високопродуктивних реконфігурованих обчислювальних систем (суперкомп'ютери компаній Cray, SGI, SRC, Linux Networx) [6].

Проектування складних систем, в тому числі і РКС, здійснюють на системному рівні. Першим його етапом є концептуальне проектування системи, цільовою функцією якого є отримання специфікацій проектованої системи, що дає змогу досліджувати й оцінити різні варіанти її побудови та вибрати оптимальне рішення, яке буде реалізовано в подальшому. На цьому етапі:

створюють функціональну модель системи;

проводять моделювання її в операційному середовищі;

визначають архітектуру системи з точки зору необхідних ресурсів та їх організації для програмно-апаратної реалізації функціональної моделі.

© Ляпандра А.С., 2012

Проектування архітектури системи полягає в тому, що модельовані функції трансформуються та поділяються для виконання на різних платформах або архітектурах, які містять різні набори компонентів. Мета цієї частини робіт – проектування оптимальної архітектури, яка відповідає заданим критеріям, таким як продуктивність, вартість, потужність споживання шляхом використання різних видів оцінок [2]. Програмно-апаратні функції оцінюються за розміром коду та найбільшого часу його виконання.

Вірність визначення елементної бази РКС впливає на реалізацію проекту в цілому, тому розроблення підходу до оцінення необхідних ресурсів ПЛІС при проектуванні РКС є актуальним завданням.

Структурний синтез на основі елементів ПЛІС. Для визначення елементної бази реконфігурованої КС необхідно провести структурний синтез елементів ПЛІС. Для цього пропонується використати морфологічний метод. Згідно з цим методом проведемо класифікацію елементів ПЛІС, побудуємо І-АБО дерево та граф, формалізуємо його, розробимо правила побудови альтернатив та генерування множини альтернативних структур [4].

Оскільки РКС планується застосувати у навчальному процесі з використанням незначних фінансових затрат, то для класифікації елементів ПЛІС проведемо декомпозицію ПЛІС сімейства Spartan-3. Її основні компоненти:

конфігурований логічний блок (КЛБ), на основі якого реалізується комбінаторна і синхронна логіка;

блок введення–виведення (БВВ), функціональне призначення якого полягає в комутації виведень корпусу мікросхеми з внутрішньою конфігурованою логікою. Цей блок забезпечує узгодження із сигнальними стандартами введення–виведення;

блок пам'яті (БП), що може конфігуруватися як двопортове ОЗП ємністю 18 Кб;

блок множення (БМ) 18х18 біт;

цифровий блок управління синхронізацією (ДСМ).

Указані компоненти розташовані на кристалі (рис. 1), блоки введення–виведення – навколо матриці КЛБ. У кристалі XC3S50 є

один стовпець блоків пам'яті, вбудованих у матрицю; у кристалах від XC3S200 до XC3S2000 – 2, а в кристалах XC3S4000 і XC3S5000 – 4 стовпці. Кожен стовпець утворений з декількох блоків пам'яті по 18 Кб кожен. Матриця КЛБ розділена стовпцями блоків пам'яті та модулями управління синхронізацією.

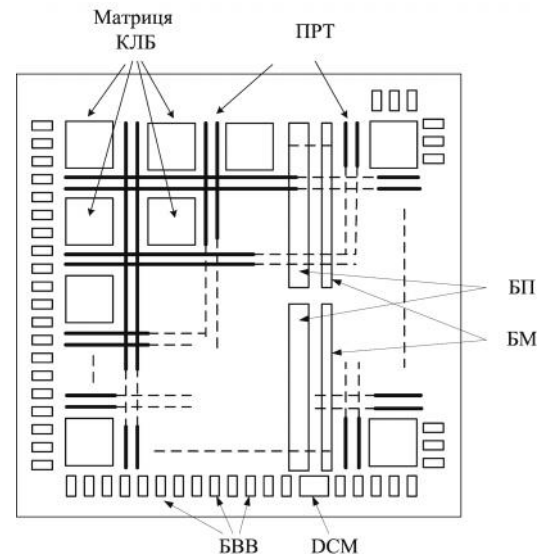


Рис. 1. Блок схема архітектури кристала

Комутація логічних елементів здійснюється за допомогою програмованих ресурсів трасувань (ПРТ), які мають ієрархічну структуру. Основним їх елементом є головна матриця трасування (ГМТ), утворена матрицею перемикальних транзисторів.

На основі проведеної класифікації розроблено І-АБО дерево та проведено його формалізацію (рис. 2).

Процес синтезу проводиться з використанням моделі знань на основі продукційних правил, семантичних мереж та фреймів [3]. Зокрема, при виборі компонентів ПЛІС використовуються такі продукційні правила:

$Pr1: \text{коли } f1 = A1, \text{ тоді } Code_Elem = B1;$
 $Pr2: \text{коли } f2 = A2, \text{ тоді } Code_Elem = B2;$ (1)
 $Prn: \text{коли } f = An, \text{ тоді } Code_Elem = Bn,$

де A_i – лінгвістичні терми (A_1 – «використати тригер»; A_2 – «комутувати виведення А11 ПЛІС з секцією "SLICE_X2Y2"»; A_3 – «запам'ятати дані об'ємом до 18 Кб»; A_4 – «отримати добуток операндів розрядністю до 18 біт»; A_5 – «синхронізувати роботу елемента "C6LUT" секції "SLICE_X14Y32"»); B_i – код компонента ПЛІС (B_1 – «КЛБ»; B_2 – «БВВ»; B_3 – «БП»; B_4 – «БМ»; B_5 – «ДСМ»).

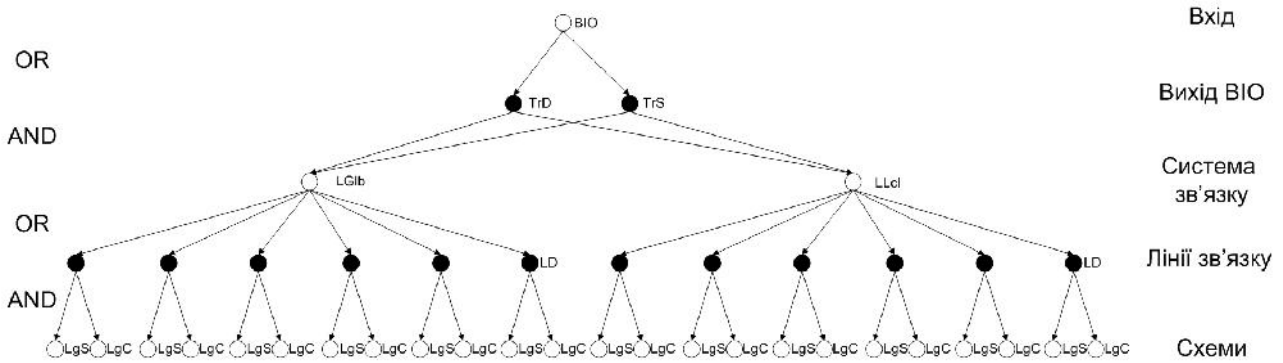


Рис. 2. Розроблений І-АБО граф

На основі генерування отримано множинну альтернативних структур. Наступним кроком є їх мінімізації за критеріями відбору. Оскільки на ПЛІС типу FPGA ефективно реалізують схеми з деревоподібною структурою і великою кількістю станів [1], то для оцінення необхідних ресурсів застосуємо теорію мереж Петрі, яка в загальному випадку представлена таким виразом:

$$PN=(P,T,I,O), \quad (2)$$

де $P=\{p_1, p_2, \dots, p_n\}$ – скінченна множина позицій, $n \geq 0$; $T=\{t_1, t_2, \dots, t_m\}$ – скінченна множина переходів, $m \geq 0$; $I: T \rightarrow P^*$ – вхідна функція, яка співставляє переходу мультимножину його вхідних позицій (графічно представляється вхідними дугами переходу); $O: T \rightarrow P^*$ – вихідна функція, яка співставляє переходу мультимножину його вихідних позицій (графічно зображується вихідними дугами переходу).

Позиція $p \in P$ є входом для переходу $t \in T$, якщо $p \in I(t)$. Позиція $p \in P$ називається виходом для переходу $t \in T$, якщо $p \in O(t)$. Структура мережі Петрі визначається її позиціями, переходами, вхідною і вихідною функціями.

Вибір оптимальної структури проводять за критеріями обчислювальної складності згідно з методиками, котрі детально розглянуті в роботах науковців Барка-лов О.О., Черкаський М.В., Цмоць І.Г. та ін. При застосуванні ПЛІС для варіанту реалізації i такими критеріями є часова ct_i та апаратна sq_i обчислювальні складності. Для їх врахування модифікуємо мережу Петрі:

$$PN=(P,T,I,O,CT, CQ_CLB, CQ_BM, CQ_M, CQ_BS,M), \quad (3)$$

де $M=\{m_1, m_2, \dots, m_m\}$ – скінченна множина фішок для реалізації позиції P , $m \geq 0$; $CT=\{ct_1,$

$ct_2, \dots, ct_i\}$ – скінченна множина часових затрат для реалізації позиції P , $t \geq 0$; $CQ=\{q_1, q_2, \dots, q_q\}$ – скінченна множина апаратних затрат для реалізації позиції P , $q \geq 0$; $CQ_CLB=\{q_clb_1, q_clb_2, \dots, q_clb_q\}$ – скінченна множина КЛБ для реалізації позиції P , $q \geq 0$; $CQ_BM=\{q_bm_1, q_bm_2, \dots, q_bm_q\}$ – скінченна множина блокової пам'яті для реалізації позиції P , $q \geq 0$; $CQ_M=\{q_m_1, q_m_2, \dots, q_m_q\}$ – скінченна множина вбудованих помножувачів для реалізації позиції P , $q \geq 0$; $CQ_BS=\{q_bs_1, q_bs_2, \dots, q_bs_q\}$ – скінченна множина блоків синхронізації для реалізації позиції P , $q \geq 0$.

Вибір ПЛІС проводиться з врахуванням граничних значень апаратних ресурсів. Тому побудовано матрицю обмежень A для ПЛІС Spartan-3, яка містить для кристалів XC3S50 (перший рядок матриці A), XC3S200, XC3S400, XC3S1000, XC3S1500, XC3S2000, XC3S4000, XC3S5000 граничні значення загальної кількості КЛБ (перший стовпець матриці A); об'єму блокової пам'яті, Кб; кількостей вбудованих помножувачів та блоків синхронізації:

$$A = \begin{bmatrix} 192 & 72 & 4 & 2 \\ 480 & 216 & 12 & 4 \\ 896 & 288 & 16 & 4 \\ 1\ 920 & 432 & 24 & 4 \\ 3\ 328 & 576 & 32 & 4 \\ 5\ 120 & 720 & 40 & 4 \\ 6\ 912 & 1\ 728 & 96 & 4 \\ 8\ 320 & 1\ 872 & 104 & 4 \end{bmatrix} \quad (4)$$

Покажемо роботу запропонованого підходу на прикладі автомата Мура з п'ятьма станами, діаграма переходів якого зображена на рис. 3.

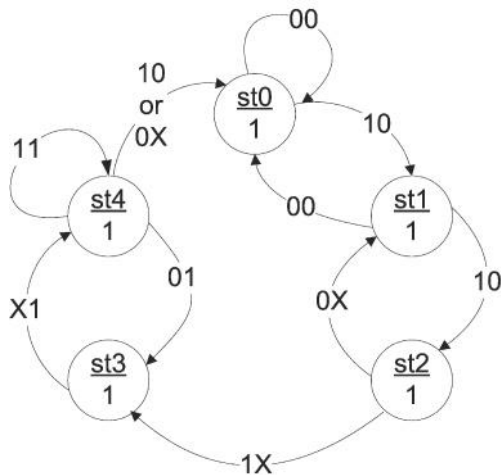


Рис. 3. Діаграма переходів автомата Мура

При реалізації алгоритму сигнали проходять через множину блоків введення–виведення (S_IO), пам'яті (S_Mmr), помножувачів (S_Mlt), конфігурованих логічних блоків (S_CLB), цифрових блоків управління синхронізацією (S_DCM), складові комунікаційної матриці (S_Cmn), які утворюють множину позицій мережі Петрі. Множина переходів t відповідає множині умовних вершин алгоритму. Фішка відображає стан пристрою, а при паралельному виконанні програми його стан відображає декілька фішок.

За критеріями відбору проведено мінімізацію множини альтернативних структур.

На основі моделі (3) з урахуванням апаратних ресурсів ПЛІС отримано такий опис автомата Мура:

$PN=(P,T,I,O,CT, CQ_CLB, CQ_BM, CQ_M, CQ_BS,M);$

$P=\{S_IO_1,s_CLB_1,s_CLB_2,s_CLB_3,s_CLB_4,S_IO_5,S_IO_4,S_IO_2,S_IO_3\};$

$T=\{t1,t2,t3,t4,t5,t6\};$

$I(t1) = \{S_IO_1\}; I(t2) = \{S_IO_2\};$

$I(t3) = \{S_IO_3\}; I(t4) = \{S_IO_4\};$

$I(t5) = \{s_CLB_1,s_CLB_2,s_CLB_3\};$

$I(t6) = \{s_CLB_4\};$

$O(t1) = \{s_CLB_1,s_CLB_2,s_CLB_3\};$

$O(t2) = \{s_CLB_2,s_CLB_3\};$

$O(t3) = \{s_CLB_3,s_CLB_1,s_CLB_2\};$

$O(t4) = \{s_CLB_2\}; O(t5) = \{s_CLB_4\};$

$O(t6) = \{S_IO_5\};$

$CT=\{1,2,3,4,5,6,7,8,9,10,11,12,13\};$

$CQ=\{1,0,0,0,1,0,1,0,1,0,1,0\};$

$CQ_CLB=\{0,1,1,1,1,0,0,0,0\};$

$CQ_BM=\{0,0,0,0,0,0,0,0,0\};$

$CQ_M=\{0,0,0,0,0,0,0,0\};$

$CQ_BS=\{0,0,0,0,0,0,0,0\};$

$M = \{1,0,0,0,0,0,1,1,1\}.$

На основі проведеної роботи алгоритм керуючого автомата Мура представлено мережею Петрі (рис.4).

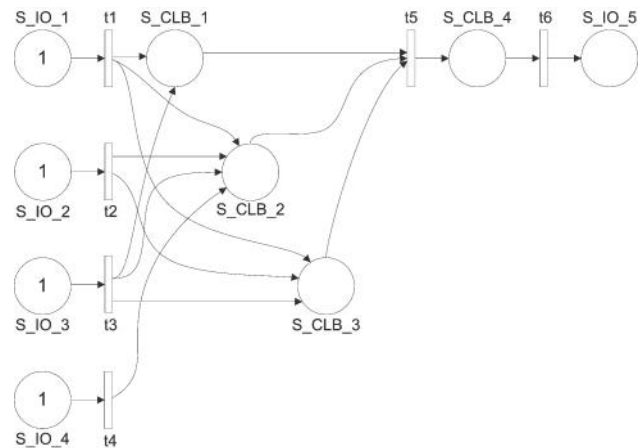


Рис. 4. Мережа Петрі автомата Мура

Потрібно відмітити, що застосування запропонованого підходу вимагає врахування багатьох особливостей як алгоритмів, так і структур ПЛІС. Вирішення задач узгодження програмної та апаратної частини буде висвітлено в подальших публікаціях.

Висновок. В роботі запропоновано підхід до попереднього узагальненого оцінювання ресурсів ПЛІС при проектуванні реконфігурованих комп'ютерних систем. Його основ – застосування морфологічного методу синтезу множини альтернативних структур компонентів ПЛІС. Їх мінімізацію проведено за запропонованими критеріями відбору. Результатом роботи є підвищення ефективності проектування реконфігурованих КС.

Список використаної літератури

1. Баркалов А. А. Синтез паралельного автомата Мура на FPGA с унитарным кодированием состояний / А. А. Баркалов, А. С. Лаврик, А. Ю. Стародубцева // Наук. праці ДонНТУ. Серія: «Проблеми моделювання та автоматизації проектування». – Донецьк: Вид-во ДонНТУ. – 2010. – Вип. 8. – С.41– 49.

2. Бухтеев А. В. Методы и средства проектирования систем на кристалле / А.В. Бухтеев // Chip News Украина – 2003. – № 5. – С. 7–15.

3. Норенков И. П. Основы автоматизированного проектирования: Учеб. для вузов. 2-е изд., перераб. и доп. / И. П. Норенков. – М.: Изд-во МГТУ им.Н.З. Баумана, 2002. – 336 с.

4. Одрин В. М. Метод морфологического анализа технических систем / В. М. Одрин – М.: ВНИИПИ, 1989. – 312 с.

5. Палагин А. В. Особенности проектирования цифровых устройств на современных кристаллах ПЛИС фирмы Xilinx / А. В. Палагин, В. Н. Опанасенко, В. Г. Сахарин // Проблемы управления и информатики. – 2001. – № 1. – С. 105–119.

6. Палагин А. В. Реконфигурируемые вычислительные системы: Основы и приложения / А.В. Палагин, В. Н. Опанасенко – К.: Просвіта, 2006. – 293 с.

7. Застосування морфологічного методу для синтезу множини альтернативних рішень МЕМС / В. М. Теслюк, А. Б. Керницький, А. Я. Зелінський, В. Р. Сергієнко // Зб. наук. праць. Ін-т проблем моделювання в енергетиці ім. Г. Є. Пухова – К.: 2011. – Вип.62 – С.105–111.

8. All Programmable Technologies from Xilinx Inc [Електронний ресурс]. – San Jose : Xilinx, Inc. 2012. Режим доступу: <http://www.xilinx.com>.

Отримано 05.07.2012

References

1. Barkalov A. A. Synthesis of the Moore paralleling FSM with the unitary states coding on FPGA / A. A. Barkalov, A. S. Lavrik., A. Y. Starodubtseva // Scientific works DonSTU. Series: "Problems of modeling and design automation."– Donetsk: Publishing House of DonNTU. – 2010. – Issue 8. – P.41–49 [in Russian].

2. Bukhteyev A. V. Methods and tools for designing of systems on a chip / A. V. Bukhteyev // Chip News Ukraine – 2003. – № 5. – P.7–15 [in Russian].

3. Norenko I. P. Bases of computer-aided design: Textbook. for universities. 2nd ed., Revised. and add / I. P. Norenko. – Moscow: Publishing House of the MSTU. N. E. Bauman, 2002. – 336 p. [in Russian].

4. Odrin V. M. Method of morphological analysis of technical systems / V. M. Odrin. – Moscow: USRIPI, 1989. – 312 p. [in Russian].

5. Palagin A. V. Features of design of digital devices in modern FPGA crystals of company Xilinx / A. V. Palagin // Problems Management and Informatics. – 2001. – № 1. – P. 105–119 [in Russian].

6. Palagin A. V. Reconfigurable Computing: Fundamentals and Applications / A. V. Palagin. – Kiev: Prosvita, 2006. –293 p. [in Russian].

7. Application of morphological method for the synthesis of a set of alternatives MEMS / V. M. Tesluk, A. B. Kernyskyy, A. J. Zielinski, W. R. Sergienko // Collection of scientific works Institute of Modelling Problems in Power Engineering. – Kyiv: – 2011. – Issue 62 – P.105–111 [in Ukrainian].

8. All Programmable Technologies from Xilinx Inc [Електронний ресурс]. – San Jose : Xilinx, Inc. 2012. Режим доступу: <http://www.xilinx.com>.



Ляпандра А. С.,
канд. техн. наук, доц. каф.
комп'ютерної інженерії
Тернопільського нац. еко-
номічного ун-ту.
Тел.: 067-6791191
E-mail: lyapandra@list.ru.