

УДК 004.315–181.48

**Н. И. Синегуб**, канд. техн. наук,

**В. А. Крисилов**, д-р техн. наук

### РЕЖИМЫ РАБОТЫ МИКРОПРОЦЕССОРОВ ЗВЕЗДООБРАЗНОЙ СТРУКТУРЫ

***Аннотация.** Рассмотрен вопрос организации режимов работы микропроцессоров звездообразной структуры. В результате арифметические устройства рассмотренных микропроцессоров в различных режимах могут функционировать либо совместно, либо отдельно. Возможен также режим работы, когда одна часть арифметических устройств работает совместно, а другая часть – отдельно.*

***Ключевые слова:** структура микропроцессора, структура микропроцессора с прямым потоком данных, структура микропроцессора с инверсным потоком данных, производительность микропроцессора*

**N. I. Sinegub**, PhD.,

**V. A. Krisilov**, ScD.

### THE MODES OF OPERATIONS OF MICROPROCESSORS OF STAR-SHAPED STRUCTURE

***Abstract.** The question of organization of the modes of operations of microprocessors of star-shaped structure is considered. As a result arithmetic units of the considered microprocessors in the different modes can function either together or separately. The modes of operations are possible also, when one part of arithmetic units works together, and other part of arithmetic units works separately.*

***Keywords:** microprocessor structure, microprocessor structure with direct data flow, microprocessor structure with inverse data flow, microprocessor productivity*

**М. І. Синегуб**, канд. техн. наук,

**В. А. Крісілов**, д-р техн. наук

### РЕЖИМИ РОБОТИ МІКРОПРОЦЕСОРІВ ЗІРКОПОДІБНОЇ СТРУКТУРИ

***Анотація.** Розглянуто питання організації режимів роботи мікропроцесорів зіркоподібної структури. В результаті арифметичні пристрої розглянутих мікропроцесорів в різних режимах можуть функціонувати або сумісно, або окремо. Можливий також режим роботи, коли одна частина арифметичних пристроїв працює сумісно, а інша частина – окремо.*

***Ключові слова:** структура мікропроцесора, структура мікропроцесора з прямим потоком даних, структура мікропроцесора з інверсним потоком даних, продуктивність мікропроцесора*

**Введение.** Задачи освоения космического пространства, управление ядерными реакторами, составление прогноза погоды и т.д. требуют выполнения значительных объемов вычислений в реальном масштабе времени. Это возможно лишь при наличии микропроцессорной техники высокой производительности. Современные компьютеры на сверхсложных микропроцессорах высокого быстродействия с параллельно-векторной структурой либо со многими сотнями параллельно работающих процессоров в основном соответствуют требованиям высокой производительности [1]. Несмотря на достигнутые успехи, задача повышения производительности микропроцессоров (МП) и микропроцессорных систем остается актуальной. И в этом направлении исследования ведутся постоянно [2, 4 – 13]. В работе [3] рассмотрен микропроцессор звездообразной структуры

повышенной производительности, в котором объединены архитектуры суперскалярного микропроцессора и VLIW-процессора (VLIW – Very Long Instruction Word), что позволяет повысить производительность МП за счет получения в одном такте нескольких скалярных результатов. В работе [3] описан также режим работы данного МП, когда арифметические устройства (АУ) АУ' и АУ'' функционируют совместно. В данном режиме работы информация между АУ передается за время  $t_{АУ}/2$ .

**Целью статьи** является анализ режимов работы микропроцессоров звездообразной структуры, не рассмотренных в [3].

Режим работы МП, когда АУ' и АУ'' функционируют отдельно, рассмотрим на примере работы в данном режиме микропроцессора оригинальной звездообразной многоядерной структуры (рис. 1).

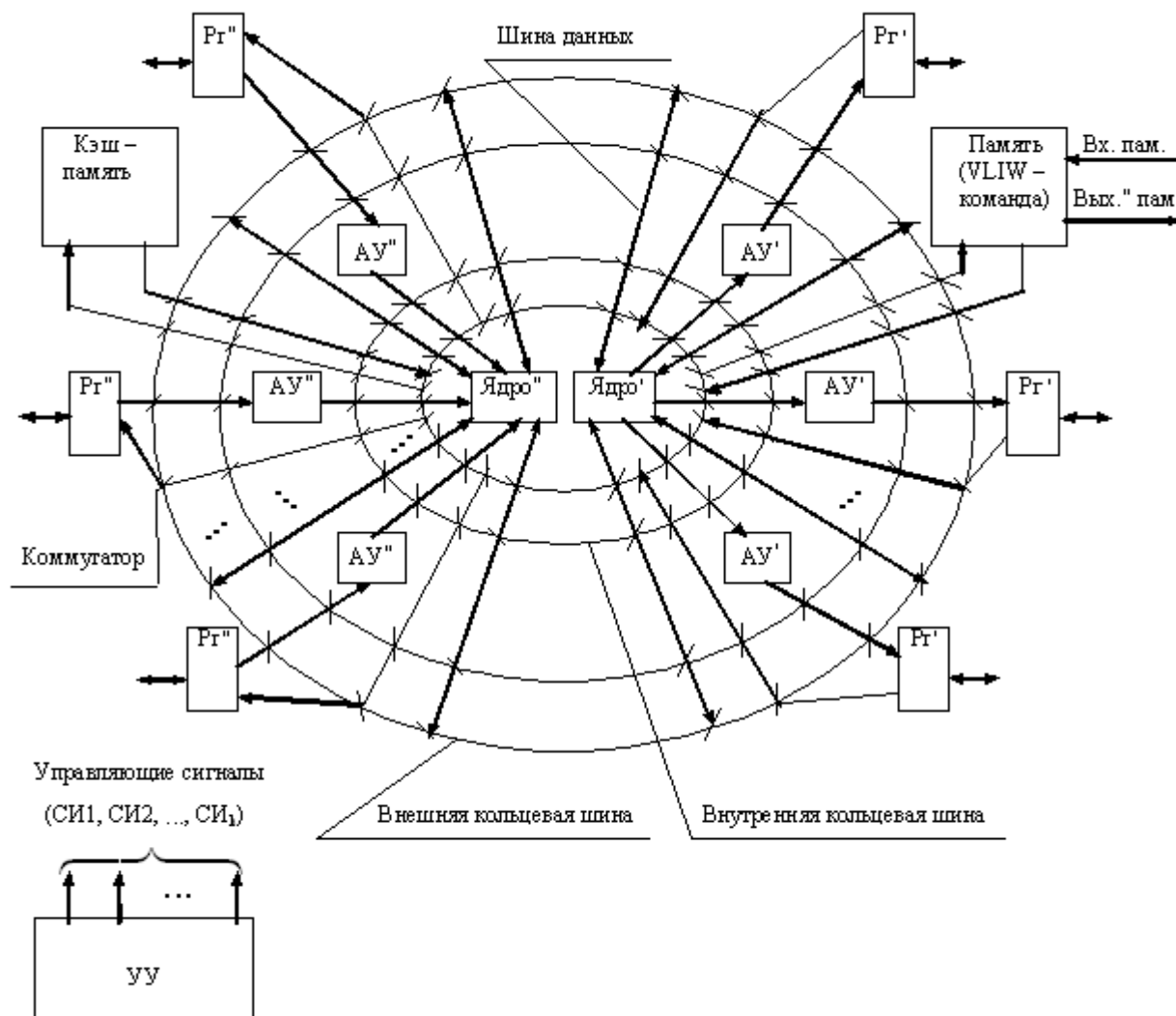


Рис. 1. Микропроцессор звездообразной многоядерной структуры

На рис. 2 представлена временная диаграмма функционирования МП многоядерной структуры в данном режиме.

По переднему фронту синхроимпульса СИ1 информация (Инф.) из внешнего устройства записывается в память МП (Вх. пам.). Далее по переднему фронту синхроимпульса СИ2 информация из памяти МП считывается на шину данных МП (Вых. пам.). В результате через соответствующие коммутаторы, кольцевые шины и шины данных на соответствующие регистры ядра' и регистры данных Рг'' поступают операнды, а также управляющие сигналы из командного слова, задающие режимы работы АУ. По переднему фронту синхроимпульса СИЗ' эта информация заносится в регистры ядра' и через время задержки  $t_3$  поступает на входы

АУ' (Вых. Рг ядра'). По переднему фронту синхроимпульса СИЗ'' эта же информация заносится в регистры данных Рг'' и через время задержки  $t_3$  поступает на входы АУ'' (Вых. Рг данных – Рг'').

Сформированные на выходах АУ' через время задержки  $t_{АУ'/2} = t_{АУ}/2$  (АУ') результаты обработки данных в соответствии с VLIW – командой через соответствующие коммутаторы, кольцевые шины и шины данных поступают на входы регистров данных Рг' (кэш – памяти, памяти и др.). Сформированные на выходах АУ'' через время задержки  $t_{АУ''/2} = t_{АУ}/2$  (АУ'') результаты обработки данных в соответствии с VLIW – командой через соответствующие коммутаторы, кольцевые шины и шины данных поступают на входы регистров ядра'' (кэш – памяти, памя-

ти и др.). По переднему фронту синхроимпульса СИ4' результаты обработки данных заносятся в регистры данных Рг' (кэш – память, память и др.) (Вых. Рг данных – Рг').

По переднему фронту синхроимпульса СИ4'' результаты обработки данных заносятся в регистры ядра'' (кэш – память, память и др.) (Вых. Рг ядра''). Далее цикл повторяется.

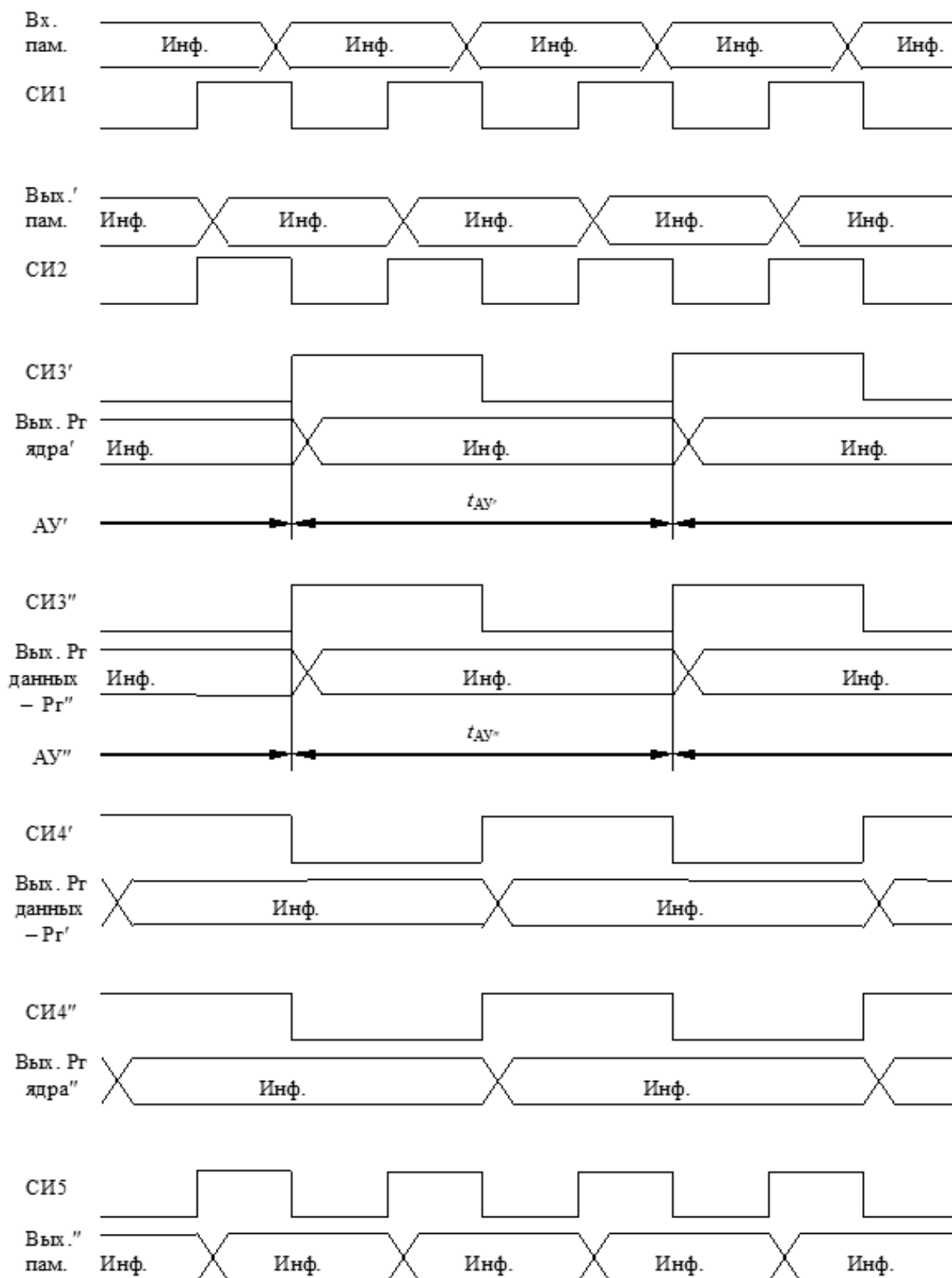


Рис. 2. Временные диаграммы сигналов МП звездообразной многоядерной структуры

Выше описан режим, когда вся необходимая информация сначала записывается в память МП (режим «запись»), а затем вся информация из памяти МП считывается на шину данных МП (режим «чтение»). Для организации потактового режима «запись-чтение» необходимо синхросигналы СИ2 сдвинуть на половину периода относительно синхросигналов СИ1, чтобы передний фронт синхросигнала СИ2 совпадал с задним фронтом синхросигнала СИ1. Такой сигнал можно обозначить, например, как СИ2'.

По переднему фронту синхросигнала СИ5 информация считывается из памяти МП на внешнее устройство (Вых." пам.).

Таким образом, в данном режиме работы в МП многоядерной структуры параллельно функционируют микропроцессор с прямым потоком данных, включающий арифметические устройства АУ', и микропроцессор с инверсным потоком данных, включающий арифметические устройства АУ". Информация между АУ в этих микропроцессорах передается за время  $t_{АУ}$ . В этом МП возможен режим работы с подключением внешних устройств.

На рис. 3 представлена временная диаграмма функционирования МП многоядерной структуры в данном режиме.

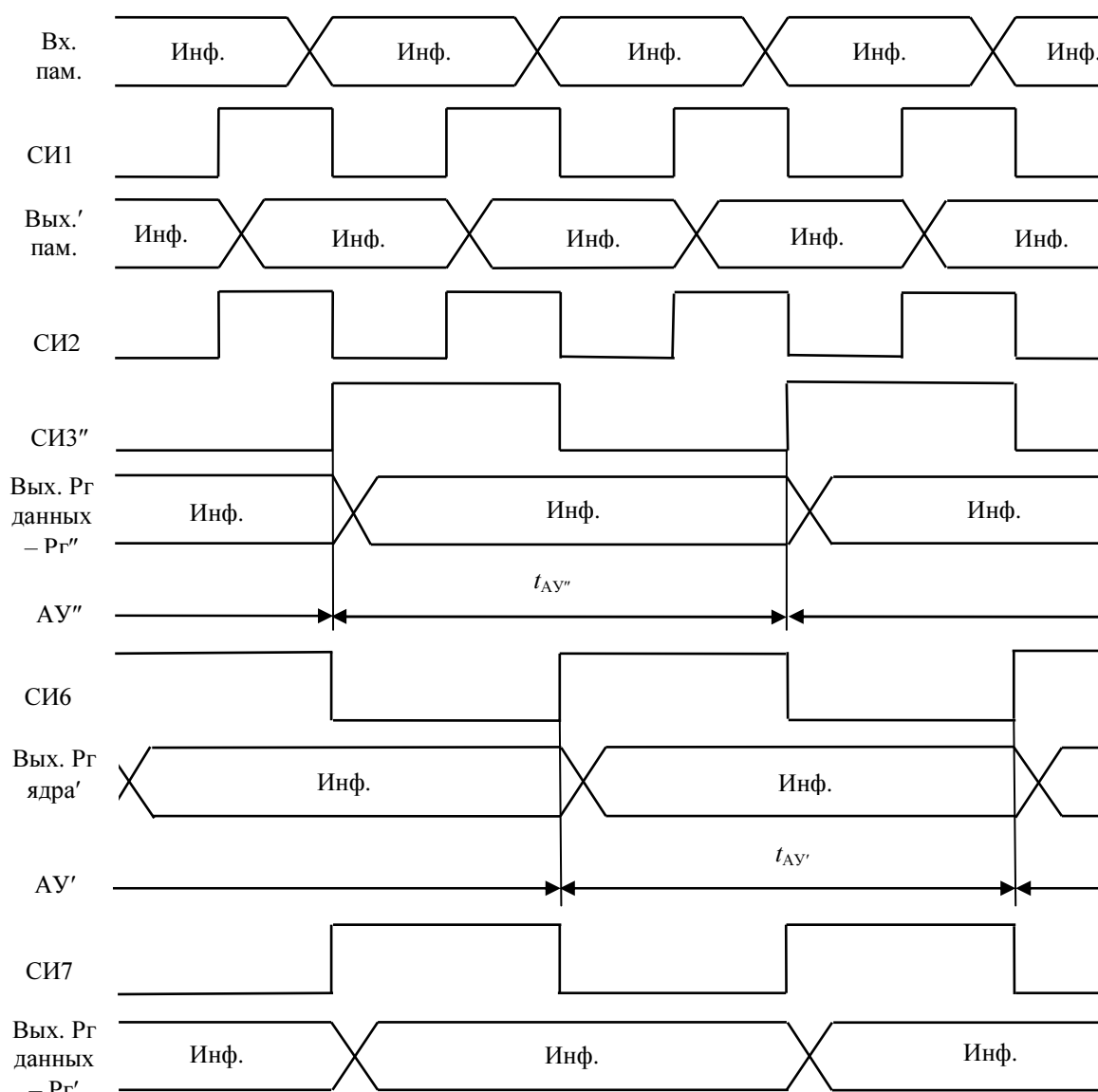


Рис. 3. Временные диаграммы сигналов МП в режиме работы с подключением внешних устройств

По переднему фронту синхроимпульса СИ1 информация из внешнего устройства записывается в память МП (Вх. пам.). Далее по переднему фронту синхроимпульса СИ2 информация из памяти МП считывается на шину данных МП (Вых.' пам.). По переднему фронту синхроимпульса СИЗ" информация заносится в регистры данных  $Rг''$  (Вых.  $Rг$  данных –  $Rг''$ ), являющимися выходными регистрами внешних устройств. Через время задержки  $t_3$  информация поступает на входы АУ" для обработки (АУ"). По переднему фронту синхроимпульса СИ6 обработанная информация заносится в регистры ядра' (Вых.  $Rг$  ядра') и через время задержки  $t_3$  поступает на входы АУ' (АУ') для дальнейшей обработки. По переднему фронту синхроимпульса СИ7 обработанная информация заносится в регистры данных  $Rг'$  (Вых.  $Rг$  данных –  $Rг'$ ), являющимися входными регистрами внешних устройств. Далее цикл повторяется. В этом режиме работы информация между АУ" и АУ' передается за время  $t_{АУ}/2$ , а между внешними устройствами – за время  $t_{АУ}$ .

Возможен смешанный режим работы МП многоядерной структуры, когда одна часть арифметических устройств работает совместно, другая часть – раздельно, а остальная часть АУ – в режиме с подключением внешних устройств.

**Выводы.** Таким образом, МП звездообразной структуры могут функционировать в следующих режимах: в режиме совместной работы АУ, в режиме раздельной работы АУ, в режиме с подключением внешних устройств, в смешанном режиме. Каждый из этих режимов работы задается с помощью соответствующей временной диаграммы сигналов, характеризуется своими временными параметрами и предназначен для решения определенного класса задач, а именно: обработка матриц, решение дифференциальных уравнений, вычисление алгоритмов быстрого преобразования Фурье и т.д. Кроме того, из данных микропроцессоров можно сформировать линейку микропроцессоров. При этом информация между микропроцессорами в ли-

нейке может передаваться в обоих направлениях.

В общем случае положительный эффект повышения производительности микропроцессоров в рассмотренных структурных организациях достигается за счет использования и дальнейшего развития присущего им внутреннего параллелизма, позволяющего организовывать параллельно различные операции по обработке данных и их обмену.

#### Список использованной литературы

1. Бройдо В. Л. Архитектура ЭВМ и систем: Учебник для вузов. 2-е изд. / В. Л. Бройдо, О. П. Ильина. – СПб. : Питер, 2009. – 720 с.

2. Микушин А. В. Цифровые устройства и микропроцессоры: учеб. пособие / А. В. Микушин, А. М. Сажнев, В. И. Сединин – СПб. : БХВ Петербург, 2010. – 832 с.

3. Синегуб Н. И. Микропроцессоры звездообразной структуры повышенной производительности / Н. И. Синегуб, В. А. Крисилов // *Электротехнические и компьютерные системы*. – 2012. – № 07(83). – С. 85 – 91.

4. Amoretti M., (2014), Modeling and Simulation of Network-on-chip Systems with DEVS and DEUS. *The Scientific World Journal*, 982569, Vol. 2014 (2014), Article ID 982569, 9 p., London W1K 6DJ, United Kingdom, url:<http://www.hindawi.com/journals/tswj/2014/982569/>, doi:<http://dx.doi.org/10.1155/2014/982569>.

5. Arutyunov P.A., Davydov V.P., Gribkov D.G., and Efimov A.V., (1994), Microprocessors Element Base of High Productivity Computer for Digital Information Processing, *Mikroelektronika*, Vol. 23 (4), pp. 19 – 37, url:[http://www.scopus.com/record/display.url?eid=2-s2.0-0028462682&origin=resultslist&sort=plf-f&src=s&st1=microprocessor+productivity&sid=F6C7078EBC831C68C7B1360958733063.fM4vPBipdL1BpirDq5Cw%3A750&sot=b&sd=b&sl=34&s=TITLE\(microprocessor+productivity\)&relpos](http://www.scopus.com/record/display.url?eid=2-s2.0-0028462682&origin=resultslist&sort=plf-f&src=s&st1=microprocessor+productivity&sid=F6C7078EBC831C68C7B1360958733063.fM4vPBipdL1BpirDq5Cw%3A750&sot=b&sd=b&sl=34&s=TITLE(microprocessor+productivity)&relpos)

=1&relpos=1&citeCnt=0&searchTerm=TITL  
E(microprocessor+productivity)#

6. Choi Y., Thummadi B.V., Lyytinen K., and Yoo Y., (2012), Analyzing Complex Design Processes: The Effects of task Automation and Integration on Process Structure in Micro-processor Design. *Communications in Computer and Information Science*, 286, pp. 38 – 49, url:[http://link.springer.com/chapter/10.1007%2F978-3-642-33681-2\\_4](http://link.springer.com/chapter/10.1007%2F978-3-642-33681-2_4) journal Online, doi: [http://dx.doi.org/10.1007/978-3-642-33681-2\\_4](http://dx.doi.org/10.1007/978-3-642-33681-2_4)

7. Dweik W., Annavaram M., and Dubois M., (2014), Reliability-Aware Exceptions: Tolerating Intermittent Faults in Microprocessor Array Structures. *Proceedings-Design, Automation and Test in Europe, DATE 6800315. 17th Design, Automation and Test in Europe, DATE 2014; Dresden; Germany; 24 March 2014 through 28 March 2014; Category numberCFP14162-ART; Code 104993* url [http://www.scopus.com/record/display.url?eid=2-s2.0-84903830314&origin=resultslist&sort=plf-f&src=s&st1=structure+of+the+microprocessor&sid=7413B31316A28D37B24C4EC81AFBC447.FZg2ODcJC9ArCe8WOZPvA%3A2210&sot=b&sdt=b&sl=38&s=TITLE\(structure+of+the+microprocessor\)&relpos=0&relpos=0&citeCnt=0&searchTerm=TITLE\(structure+of+the+microprocessor](http://www.scopus.com/record/display.url?eid=2-s2.0-84903830314&origin=resultslist&sort=plf-f&src=s&st1=structure+of+the+microprocessor&sid=7413B31316A28D37B24C4EC81AFBC447.FZg2ODcJC9ArCe8WOZPvA%3A2210&sot=b&sdt=b&sl=38&s=TITLE(structure+of+the+microprocessor)&relpos=0&relpos=0&citeCnt=0&searchTerm=TITLE(structure+of+the+microprocessor) doi <http://dx.doi.org/10.7873/date.2014.114>.

8. Kameyama Michitaka, Amada Tadao, and Higuchi Tatsuo, (1992), Highly Parallel Collision Detection Processor for Intelligent Robots, *IEEE Journal of Solid-State Circuits, University of Michigan Ann Arbor, MI 48109 USA*, 27 (4), pp. 500 – 506, url:<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=126537> doi:<http://dx.doi.org/10.1109/vlsic.1991.760063>

9. Paulin P.G., (2004), DATE Panel Chips of the Future: Soft, Crunchy or Hard? *Proceedings – Design, Automation and Test in Europe Conference and Exhibition, US & Canada*, 2, pp. 844 – 849, url:<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1268990>, doi:<http://dx.doi.org/10.1109/date.2004.1268990>

10. Proceedings of the Annual International Symposium on Microarchitecture, (2001), *Proceedings: 34th ACM/IEEE International Symposium on Microarchitecture, University of Michigan Ann Arbor, MI 48109 USA* url:<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=126537>. doi: <http://dx.doi.org/10.1109/vlsic.1991.760063>.

11. Ruiz G.A., Michell J.A., and Burón A., Parallel-pipeline 2-D DCT/IDCT Processor Chip, (2005), *Proceedings of SPIE – The International Society for Optical Engineering*, 5837 (II), 85, pp. 774 – 784

12. Shazli S.Z., and Tahoori M.B., (2012), Online Detection and Recovery of Transient Errors in Front-end Structures of Microprocessors. *Proceedings 2012, 17th IEEE European Test Symposium, ETS 20126233041. Conference Location: Annecy* url <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6233041>.

Doi <http://dx.doi.org/10.1109/ets.2012.6233041>

13. Stepanova L.N., Kabanov S.I., Bekher S.A., and Nikitenko M.S., (2013), Microprocessor Multi-channel Strain-gauge Systems for Dynamic Tests of Structures, *Automation and Remote Control. Vol. 74 (5)*, pp. 891 – 897. North & South America url <http://link.springer.com/article/10.1134%2FS0005117913050135> doi <http://dx.doi.org/10.1134/s0005117913050135>.

Получено 13.10.2014

## References

1. Broido V.L., and Il'ina O.P. *Arkhitektura EVM i sistem: Uchebnik dlya vuzov. 2-e izd.*, [Architecture of Computer and Systems: Textbook for Institutions of Higher Learning], (2009), 2nd Publishing, SPb.: Piter, Russian Federation, 720 p. (In Russian).

2. Mikushin A.V., Sazhnev A.M., and Sedinin V. I. *Tsifrovye ustroistva i mikroprotssory: ucheb. posobie* [Digital Devices and Microprocessors: Manual], (2010), SPb. Peterburg, Russian Federation, *BKhV*, 832 p. (In Russian).

3. Sinegub N.I., and Krisilov V.A., Mikroprotssory zvezdoobraznoi struktury povyshennoi proizvoditel'nosti [Microprocessors of Star-shaped Structure of the Enhanced Productivity], (2012), *Elektrotekhnicheskie i Komp'yuternye Sistemy*, No. 7 (83), pp. 85 – 91.
4. Amoretti M., (2014), Modeling and Simulation of Network-on-chip Systems with DEVS and DEUS. *The Scientific World Journal*, 982569, Vol. 2014 (2014), Article ID 982569, 9 pages, London W1K 6DJ United Kingdom  
url:<http://www.hindawi.com/journals/tswj/2014/982569/> doi:<http://dx.doi.org/10.1155/2014/982569>.
5. Arutyunov P.A., Davydov V.P., Gribkov D.G., and Efimov A.V., (1994), Microprocessors-Element Base of High Productivity Computer for Digital Information Processing. *Mikroelektronika*, Vol. 23 (4), pp. 19 – 37,  
url:[http://www.scopus.com/record/display.url?eid=2-s2.0-0028462682&origin=resultslist&sort=plf-f&src=s&st1=microprocessor+productivity&sid=F6C7078EBC831C68C7B1360958733063.fM4vPBipdL1BpirDq5Cw%3A750&ot=b&sdt=b&sl=34&s=TITLE\(microprocessor+productivity\)&relpos=1&relpos=1&citeCnt=0&searchTerm=TITLE\(microprocessor+productivity\)#](http://www.scopus.com/record/display.url?eid=2-s2.0-0028462682&origin=resultslist&sort=plf-f&src=s&st1=microprocessor+productivity&sid=F6C7078EBC831C68C7B1360958733063.fM4vPBipdL1BpirDq5Cw%3A750&ot=b&sdt=b&sl=34&s=TITLE(microprocessor+productivity)&relpos=1&relpos=1&citeCnt=0&searchTerm=TITLE(microprocessor+productivity)#)
6. Choi Y., Thummadi B.V., Lyytinen K., and Yoo Y., (2012). Analyzing Complex Design Processes: The Effects of Task Automation and Integration on Process Structure in Microprocessor Design. *Communications in Computer and Information Science*, 286, pp. 38 – 49,  
url:[http://link.springer.com/chapter/10.1007/978-3-642-33681-2\\_4](http://link.springer.com/chapter/10.1007/978-3-642-33681-2_4) журнал Online  
doi: [http://dx.doi.org/10.1007/978-3-642-33681-2\\_4](http://dx.doi.org/10.1007/978-3-642-33681-2_4).
7. Dweik W., Annavaram M., and Dubois M., (2014). Reliability-Aware Exceptions: Tolerating Intermittent Faults in Microprocessor Array Structures. *Proceedings-Design, Automation and Test in Europe, DATE 6800315, 17th Design, Automation and Test in Europe, DATE 2014; Dresden; Germany; 24 March 2014 through 28 March 2014*; Category numberCFP14162-ART; Code 104993,  
url [http://www.scopus.com/record/display.url?eid=2-s2.0-84903830314&origin=resultslist&sort=plf-f&src=s&st1=structure+of+the+microprocessor&sid=7413B31316A28D37B24C4EC81AFBC447.FZg2ODcJC9ArCe8WOZPvA%3A2210&ot=b&sdt=b&sl=38&s=TITLE\(structure+of+the+microprocessor\)&relpos=0&relpos=0&citeCnt=0&searchTerm=TITLE\(structure+of+the+microprocessor\)](http://www.scopus.com/record/display.url?eid=2-s2.0-84903830314&origin=resultslist&sort=plf-f&src=s&st1=structure+of+the+microprocessor&sid=7413B31316A28D37B24C4EC81AFBC447.FZg2ODcJC9ArCe8WOZPvA%3A2210&ot=b&sdt=b&sl=38&s=TITLE(structure+of+the+microprocessor)&relpos=0&relpos=0&citeCnt=0&searchTerm=TITLE(structure+of+the+microprocessor)),  
doi <http://dx.doi.org/10.7873/date.2014.114>.
8. Kameyama Michitaka, Amada Tadao, and Higuchi Tatsuo, (1992), Highly Parallel Collision Detection Processor for Intelligent Robots, *IEEE Journal of Solid-State Circuits*, 27 (4), pp. 500 – 506, *University of Michigan Ann Arbor, MI 48109 USA*,  
url:<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=126537>,  
doi:<http://dx.doi.org/10.1109/vlsic.1991.760063>
9. Paulin P.G., (2004), Date Panel Chips of the Future: Soft, Crunchy or Hard? *Proceedings - Design, Automation and Test in Europe Conference and Exhibition*, Vol. 2, pp. 844 – 849, US & Canada  
url:<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1268990>  
doi:<http://dx.doi.org/10.1109/date.2004.1268990>
10. Proceedings: 34th ACM/IEEE international symposium on microarchitecture, (2001), Proceedings of the Annual International Symposium on Microarchitecture, *University of Michigan Ann Arbor, MI 48109 USA*  
url:<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=126537>  
doi:<http://dx.doi.org/10.1109/vlsic.1991.760063>
11. Ruiz G.A., Michell J.A., and Burón A., (2005), Parallel-pipeline 2-D DCT/IDCT Processor Chip. Proceedings of SPIE – The International Society for Optical Engineering, 5837 (II), 85, 774 – 784,  
url:<http://proceedings.spiedigitallibrary.org/proceeding.aspx?articleid=1327312>

doi: <http://dx.doi.org/10.1007/s11265-006-9764-7>

12. Shazli S.Z., and Tahoori M.B., (2012), Online Detection and Recovery of Transient Errors in Front-end Structures of Microprocessors. Proceedings – 2012 *17th IEEE European Test Symposium*, ETS 20126233041, Conference Location :Annecy, url <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6233041>.

Doi

<http://dx.doi.org/10.1109/ets.2012.6233041>

13. Stepanova L.N., Kabanov S.I., Bekher S.A., and Nikitenko M.S., (2013), Microprocessor Multi-channel Strain-gauge Systems for Dynamic tests of Structures, *Automation and Remote Control*, Vol. 74 (5), pp. 891 – 897, North & South America,

url:<http://link.springer.com/article/10.1134%2FS0005117913050135>,doi <http://dx.doi.org/10.1134/s0005117913050135>.



Синегуб  
Николай Иванович,  
канд. техн. наук, каф. системного программного обеспечения Одесского нац. политехн. ун-та.  
E-mail: [sinegub.nikolai@mail.ru](mailto:sinegub.nikolai@mail.ru)



Крисилов  
Виктор Анатолиевич,  
д-р техн. наук, зав. каф. системного программного обеспечения Одесского нац. политехн. ун-та  
E-mail: [krissilovva@mail.ru](mailto:krissilovva@mail.ru)