

УДК 621.391.244

***М.М. Милых, Е.М. Снежко, канд-ты техн. наук***

*(Украина, Днепропетровск, Днепропетровский национальный университет им Олеся Гончара)*

***И.В. Тимченко***

*(Украина, Днепропетровск, Публичное акционерное общество «КБ Днепропетровское»),*

***Д.В. Чернетченко***

*(Украина., Днепропетровск, Днепропетровский национальный университет им Олеся Гончара)*

## **РЕАЛИЗАЦИЯ АЛГОРИТМОВ ПРЕОБРАЗОВАНИЯ АДМ – ИКМ В СИСТЕМАХ АВТОМАТИКИ И ПЕРЕДАЧИ ДАННЫХ**

Общей тенденцией развития систем промышленной автоматизации и связи, в том числе для горнодобывающих и металлургических предприятий, разнесенных на большой территории с высоким уровнем электромагнитных помех, является переход от аналоговых методов к цифровым. Это приводит к значительному повышению надежности, эффективности использования каналов связи, миниатюризации аппаратуры. Использование адаптивных цифровых методов модуляции в реальном времени требует разра-

ботки алгоритмов их реализации на современных цифровых сигнальных процессорах и программируемых логических интегральных схемах (ПЛИС), обладающих большой вычислительной мощностью.

**1. Алгоритм адаптивной дельта модуляции**

Для преобразования речевых сигналов в цифровую форму на скорости 32 кбит/с применяется алгоритм адаптивной дельта модуляции (АДМ) в классе компандированной АДМ с переменной крутизной [1, 2]. Алгоритм АДМ значительно проще широко используемого в системах беспроводного доступа и системах передачи на коммутируемой сети алгоритма адаптивной дифференциальной импульсно-кодовой модуляции (АДИКМ), но практически не уступает ему по качеству преобразования сигналов при числе переключений с кодеком не более одного. Применение АДМ позволило создать и производить интегральный кодек для ЦТА на базе имеющихся в Украине микроэлектронных технологий. Использование АДМ значительно упрощает цифровую абонентскую линию, так как не требуется никакой дополнительной синхронизации по группе битов. Однако использование интегральных кодеков для решения задачи преобразования АДМ – ИКМ наталкивается на проблему двойного аналого-цифрового и цифро-аналогового преобразований. Чтобы исключить аналоговые преобразования, необходимо создание цифровых алгоритмов: прямого кодирования АДМ – ИКМ и обратного ИКМ – АДМ (транскодирование).

В применённом алгоритме адаптивной дельта модуляции используется передискретизация входного сигнала с частотой 32 кГц. Сегодня метод передискретизации широко используется в сигма-дельта аналого-цифровых преобразователях благодаря высокой точности преобразования. Структурная схема кодера/декодера АДМ приведена на рис. 1.

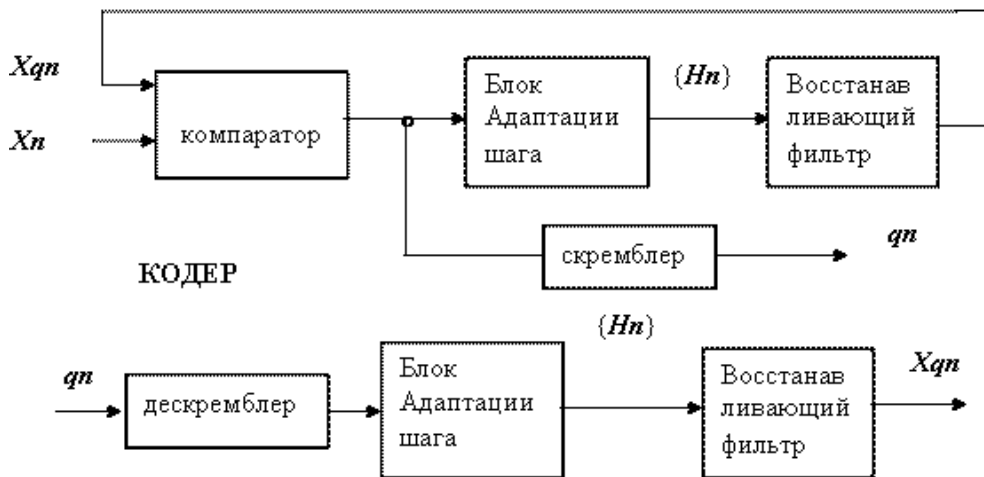


Рис. 1. Структурная схема кодер/декодер

Кодированный сигнал [1, 2]:

$$qn = \text{sign}(Xn - Xqn), \tag{1}$$

где  $Xn$  – сигнал на входе,  $Xqn$  – восстановленный сигнал,  $\{Hn\}$  – шаг квантования.

Соотношение для обновления шага квантования:

$$Hn = Hn-1 - [\{Hn-1\}x2^{-k}] + dHn, \tag{2}$$

где  $\{\cdot\}$  – 8 старших разрядов,  $k$  – показатель затухания, равный  $k=8$ ,  $dHn$  – приращение шага, равное:

$$\begin{cases} 2, & \text{if } qn=qn-1=qn-2=qn-3 \\ dHn = 0, & \text{в других случаях} \end{cases} \tag{3}$$

Величина  $Hn$  представлена 16-ти разрядным двоичным числом.

Восстанавливающий фильтр кодера представляет собой звено 2-го порядка с полюсами на частотах 0.314 и 2.5 кГц и нулем на частоте 4.4 кГц.

Восстанавливающий фильтр декодера имеет два полюса на частотах 0.314 и 2.0 кГц и нуль на 4.4 кГц. Восстановленный сигнал имеет вид:

$$Xqn = [\{Hn(qn, qn-1, qn-2, qn-3)\}] * P(z), \tag{4}$$

где \* - обозначает операцию свертки, { } – старшие 8 разрядов,  $P(z)$  – передаточная функция восстанавливающего фильтра.

В системе С-32 преобразованные в АДМ сигналы подвергаются скремблированию в соответствии с полиномом:

$$y_0 = x_0 \oplus y_{-6} \oplus y_{-7} \quad (5)$$

скремблирование производится в телефонных аппаратах, адаптерах, транскодерах.

На выходе из системы при преобразовании из АДМ в ИКМ, а также в телефонных аппаратах осуществляется дескремблирование в соответствии с:

$$y_0 = x_0 \oplus x_{-6} \oplus x_{-7} \quad (6)$$

Блок-схема транскодирования с использованием цифрового фильтра нижних частот и цифрового интерполяционного фильтра приведена на рис. 2.

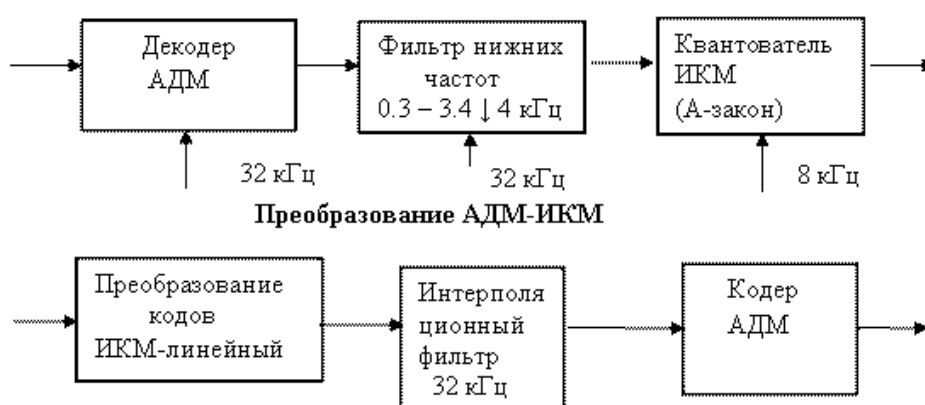


Рис. 2. Вычислительная блок-схема транскодирования

### 2. Реализации вычислительной блок-схемы преобразование ИКМ-АДМ.

На вход преобразователя поступают 8-ми разрядные выборки ИКМ-кодов входного сигнала, темп 8 кГц. Осуществляется преобразование ИКМ-кода (А-закон) к линейному 13-ти разрядному значению. Путем аппроксимации с помощью интерполяционного полинома Лагранжа, который представляет собой КИХ-фильтр с линейной фазой для перехода от частоты 8 кГц к частоте 32 кГц. Каждый отсчет 8 кГц на входе аппроксиматора дополняется 3-мя нулевыми отсчетами, арифметика аппроксиматора имеет 32-разрядный формат (Q32.15, дробная часть 15 разрядов, целая 16 и знак) с фиксированной запятой. На выходе компаратора формируется выходная последовательность «0» и «1» в зависимости от результатов сравнения значений  $X_n$  (с выхода интерполятора) и оценочного значения сигнала  $X_{qn}$ , формируемого в цепи обратной связи на базе вышеупомянутой последовательности: «0», если  $X_n < X_{qn}$  и «1», если  $X_n \geq X_{qn}$ .

В формировании оценочного значения участвуют узел вычисления значения шага, восстанавливающий фильтр и множитель на масштабный коэффициент (его функции вместе с масштабным коэффициентом декодера привести в соответствие коэффициент передачи системы кодер/декодер). Вычислитель шага представляет собой 16-ти разрядный аккумулятор, и 4-х разрядное окно (регистр сдвига) для входных значений  $q_n$ . Обновление значения шага происходит при вычислении по схеме:

$$H_n^h \cdot H_n^l = H_{n-1}^h \cdot H_{n-1}^l - 0 \cdot H_{n-1}^h + dH_n^h \cdot 0 \quad (7)$$

«.» отделена целая (старшая) 8-ми разрядная от дробной (младшей) 8-ми разрядной части, 16-ти разрядный аккумулятор ограничен сверху, значение  $dH_n^h$  зависит от комбинации разрядов окна и равно 2.0 для комбинации «0000» или «1111» и 0.0 в других случаях. В качестве результата берется 8-ми разрядное значение  $H_n^h$ .

Восстанавливающий фильтр представляет собой звено 2-го порядка, которое характеризуется набором коэффициенты  $a_1$  и  $a_2$  (определяют полюса) и  $b_1$  и  $b_2$  определяют нули. Структурная схема фильтра представлена на рис. 3

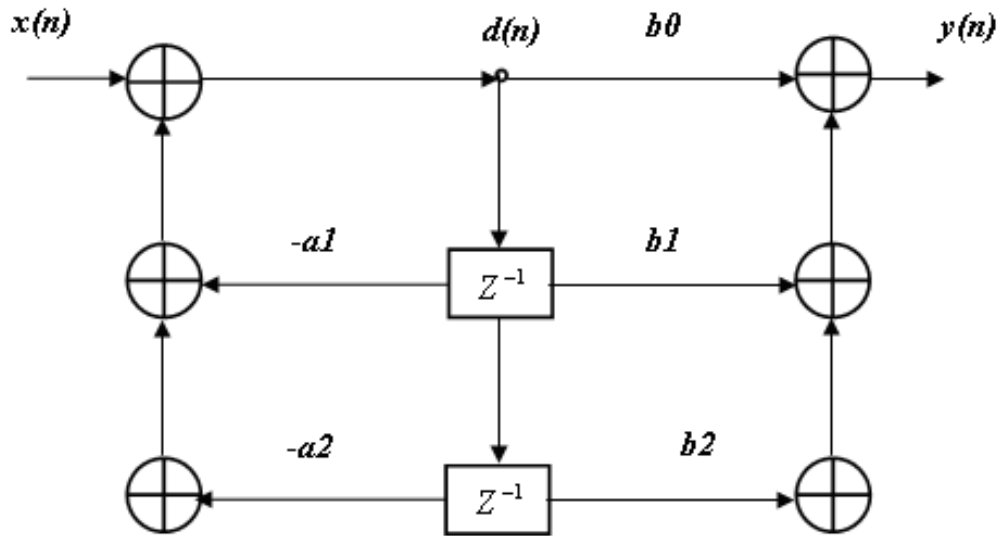


Рис. 3. Структурная схема звена 2-го порядка

$$\begin{aligned} d(n) &= x(n) - d(n-1) \times a1 - d(n-2) \times a2; \\ y(n) &= d(n) \times b0 + d(n-1) \times b1 + d(n-2) \times b2; \end{aligned} \quad (8)$$

Для частоты дискретизации 32 кГц восстанавливающего фильтра

$$a1 = 1.544282; a2 = -0.567961; \quad b1 = 0.603896; b2 = -0.396104.$$

Моделирование алгоритма транскодирования показало, что для кодера реализация восстанавливающего фильтра на частоте дискретизации 128 кГц предпочтительнее, чем на частоте 32 кГц, так как значительно улучшает такой параметр транскодера на выходе, как отношение суммарных искажений/амплитуда сигнала. При переходе на частоту дискретизации 128 кГц и дополнении недостающих отсчетов нулями было получено следующая вычислительная схема для восстанавливающего фильтра:

$$\begin{aligned} d(n) &:= x(n) \times a11 + x(n-1) \times a12 + y(n-1) \times b11 + d(n-1) \times b12; \\ y(n) &:= x(n) \times a21 + x(n-1) \times a22 + y(n-1) \times b21 + d(n-1) \times b22; \end{aligned} \quad (9)$$

где:

$$\begin{aligned} a11 &= 5.244426166969; & a12 &= -3.101658101836; \\ b11 &= 3.271104792011; & b12 &= -2.280864075515; \\ a21 &= 7.523271234792; & a22 &= -4.103639996374; \\ b21 &= 3.831099319564; & b22 &= -2.846674104012. \end{aligned}$$

Коэффициенты  $a11, a12, b11, b12, a21, a22, b21, b22$  определяются с точностью до 15-ти двоичных разрядов в формате Q4.12. Переменные  $d(n)$  и  $y(n)$  с целью минимизации накапливаемой ошибки вычисляются с удвоенной точностью и запоминаются в текущем такте в формате Q16.16.

В качестве входного для восстанавливающего фильтра используется значение  $H_n^h$  (8-ми разрядный выход вычислителя шага), выходным является значение  $y(n)$ , помноженное на масштабный множитель дает оценочное значение сигнала  $Xqn$  для компаратора.

### 3. Реализации вычислительной блок-схемы преобразование АДМ-ИКМ

В состав декодера входит уже описанный, в случае с кодером, вычислитель шага, на вход которого теперь поступает последовательность  $qn$  (4-х разрядные коды АДМ, темп 8 кГц или поразрядно с темпом 32 кГц). С выхода вычислителя шага 8-ми разрядные коды поступают на вход восстанавливающего фильтра. В состав декодера входит восстанавливающий фильтр, работающий на частоте 32 кГц с коэффициентами:

$$\begin{aligned} a1 &= 1.611942; & a2 &= -0.631574; \\ b1 &= 0.603896; & b2 &= -0.396104, \end{aligned}$$

округленными до 16-ти двоичных разрядов. Вычисления производятся в соответствии со схемой звена 2-го порядка, представленного на рисунке 3.

Для минимизации ошибки при реализации рекурсивных фильтров используется арифметика с удвоенной точностью для вычисления и запоминания значений  $d(n)$ . Перед преобразованием полосы с помощью фильтра нижних частот выходное значение восстанавливающего фильтра умножается на масштабный множитель декодера. ФНЧ реализован как КИХ с длиной передаточной характеристики 19 по методу наименьшей квадратичной ошибки с пульсациями в полосе 0.1 Дб и подавлением вне полосы -40 Дб. Коэффициенты рассчитаны с помощью программных средств MATLAB на частоте дискретизации 32 кГц и округлены с точностью до 16-ти двоичных разрядов. Реализация вычислений для 19-отводного БИХ фильтра нижних частот выполняется как:

$$y(n) = \sum_{l=0}^{18} h(l)x(n-l) \quad (10)$$

После децимации на выходе ФНЧ темп понижается до 8 кГц и выполняется операция сжатия до 8-ми разрядов при преобразовании в ИКМ формат.

Аппаратно преобразования ИКМ – АДМ и АДМ – ИКМ реализованы с помощью сигнального процессора TMS320VC206 (2-х канала) и сигнального процессора TMS320VC5502 (16 каналов). Модуль преобразователей содержит 16 сигнальных процессоров и обеспечивает один поток ИКМ-30 на TMS320VC206 и 8 потоков ИКМ-30 на TMS320VC5502.

Этот алгоритм, реализованный с помощью программируемых логических интегральных схем (ПЛИС) Xilinx (Spartan-3E) отображает поведение комплексных структур, которые требуют параллелизм в обработке сигналов при преобразовании речи. Получены положительные результаты и преимущество в вычислениях по сравнению с другими аппаратными реализациями, что может быть предметом для дальнейших исследований. Реализация алгоритмов транскодирования на ПЛИС Xilinx отдельно для прямого и обратного преобразований обеспечивает работу 8-ми каналов преобразования.

#### **Список литературы**

1. Беляк В.Б. Цифровой телефонный аппарат системы С-32. Электросвязь / В.Б. Беляк, 1996, №1, с. 36 – 37.
2. КНД 45-203-2002. Апарати телефонні цифрові для електронної автоматичної телефонної станції системи С-32. Загальні технічні вимоги.
3. Рабинер Л. Теория и применение цифровой обработки сигналов / Л. Рабинер, Б. Голд. – М.: Мир, 1978. – 878 с.

*Рекомендовано до друку: д-ром техн. наук, проф. Корсунюм В.І.*