

УДК 621.03

Ю.Б. ЮРЧЕНКО

НПП Хартрон-АРКОС, Україна

СИНХРОНИЗАЦИЯ КАНАЛОВ SIFT-NIFT СТРУКТУР БОРТОВЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ ПРИ ОТЛАДКЕ ПРОГРАММНО-АППАРАТНОГО ВЗАИМОДЕЙСТВИЯ

Исследовано применение высокопроизводительных процессоров с автоматом независимого кэш в структуре вычислительно комплекса управляющей системы жесткого регламента времени. Проанализированы причины увеличения времен асинхронизма выдачи управляющих команд при применении более высокопроизводительных процессоров нового поколения. Сформулирована задача взаимодействия системы с технологической аппаратурой и аппаратурой смежных систем.

встроенная система, отказоустойчивость, реальное время, уровень целостности

Введение

При построении бортовых вычислительных комплексов автоматических систем управления критического применения особо важной задачей есть контролируемость истинности функционирования как на этапе отработки и отладки системы, так и в основном режиме [1], и своевременность адекватной реакции при сбоях или отказах [2]. Построение системной структуры специальных вычислителей на основе цельных функциональных узлов [3] ориентировано на выполнение основных задач контроля и поддержания отказоустойчивости как центральным процессором, так и аппаратурой ввода-вывода [4].

Принимая во внимание, что вычислительный и управляющий процессы должны исполняться в масштабе реального времени с жестким внутри-тактовым планированием задач, а в структурах с NIFT-организацией ввода-вывода [4, 5, 6] есть необходимость выдачи управляющих команд от SIFT-процессорного блока с временем асинхронизма, заданным скоростью срабатывания аппаратуры мажоритарного узла [4], то поддержание когерентности процессов при обменах с периферийным оборудованием есть одной из основных задач, особенно при условии, что контроль и сравнение состояния про-

цессов в каналах происходит в сечении мажоритарных элементов, выполненных на аппаратном уровне. Особо острой эта задача становится в режиме программной отладки алгоритмов и процессов с реально подключенной периферийной аппаратурой при переходе на более производительные процессорные ядра в SIFT- структурах.

Цель статьи – анализ причин увеличения времен асинхронизма выдачи управляющих команд в многоканальных вычислительных системах при применении более высокопроизводительных процессоров нового поколения и поиск средств и способов синхронизации выдачи команд.

Анализ структур процессорных ядер

Анализируя факторы, повлекшие необходимость изменения подходов к построению аппаратуры вычислительных и управляющих систем, отметим, что в структуре процессорных ядер старших поколений введены узлы, позволяющие обеспечить увеличение производительности процессорного блока, в том числе и пиковое. Основные отличия в построении процессорных ядер разных поколений разделяются на три направления:

1) увеличение скорости функционирования

внутриядерного оборудования;

2) конвейеризация и буферизация потоков команд и данных между ядром процессора и внешней памятью, в том числе и периферийным оборудованием;

3) оптимизация и внутрикристалльное планирование при исполнении кода программ.

При рассмотрении построения ядер микроконтроллеров и микропроцессоров ранних поколений выделяются две закономерности в применении а) тактирования процессов внутри ядра с использованием деления входной частоты; б) непосредственного подключения памяти команд и данных к магистрали ядра процессора. В среднем поколении применена прямопоточковая конвейерная FIFO-буферизация считывания команд с сохранением подхода в организации системной магистрали.

В последних поколениях процессоров [7] между ядром и периферийным оборудованием включены сложные автоматы и узлы автономного функционирования:

1) системы умножения подаваемой на вход частоты и независимое формирование внутренней высокочастотной и внешней системной тактовых сеток;

2) буферная память большого объема с произвольной выборкой для конвейера операций (кэш команд) и для данных (кэш данных);

3) автомат взаимодействия при обменах данными системы кэш памяти с областями памяти команд, данных и периферийного оборудования;

4) автомат планирования потоковой оптимизации форматов обработки данных внутри процессорного ядра и согласования формата кэш с форматами данных из памяти данных и внешних устройств.

Таким образом, процессы внутри процессорного ядра и вне кристалла на внешней системной шине асинхронны, а процессы обмена нацелены на построение передачи информации по пакетному принципу.

Взаимодействие процессорного ядра с внешним оборудованием

Пакетный обмен на этапе приема, обработки и выдачи информации при применении архитектуры совмещения скоростного ядра с кэш согласованием внешнего мира позволяет получать среднюю производительность, близкую к пиковой. Однако, при работе с одиночными адресами, например, ожидание флага межканальной синхронизации или готовности от внешнего устройства, в данной архитектуре процессора наблюдается эффект отсутствия обновленной информации в кэш памяти в течение времени с недетерминированной длительностью. С применением принудительных команд очистки тэгов кэш обновление происходит, однако информационная цепь: изменение единичной входной информации – считывание с внешней магистрали – обновление данных в кэш – получение обновленных данных, анализ и обработка в процессорном ядре – передача для выдачи во внешний мир обработанных данных происходит за большой временной промежуток. В итоге результат, полученный от применения локальной синхронизации каналов по испытанному ранее скоростному алгоритму выдачи и опроса флага готовности [8], противоположен ожидаемому. Даже при отключении области ввода-вывода от кэш буферизации время циклического опроса единичного адреса уменьшается незначительно, так как остается аппарат необходимого согласования внутренней и внешней скоростей функционирования оборудования кристалла.

В многоканальных структурах применение в качестве синхронизирующего сигнала запроса на прерывание по метке таймера [4] позволяет получать предсказуемое время рассинхронизации на начало такта, лежащее в пределах реакции на прерывание. Однако для процессоров с кэш буфером команд это подтверждается только при условии соблюдения ряда подготовительных действий, характерных для конца каждого предыдущего такта по нормальному

его завершению. Дополнительное время асинхронизма на момент достижения точки завершения такта зависит от разброса частот локальных задающих генераторов каждого из процессоров в каналах и определяется как нестабильностью (обычно 100 ppm) с пропорциональным ухудшением, обусловленным множителем частоты ядра процессора, так и заданной длительностью такта. При исполнении алгоритма без ветвлений в каналах с расходящимися (100 ppm) частотами процессорных генераторов видно увеличение в течение такта асинхронизма времен выдаваемых каналами команд (рис. 1).

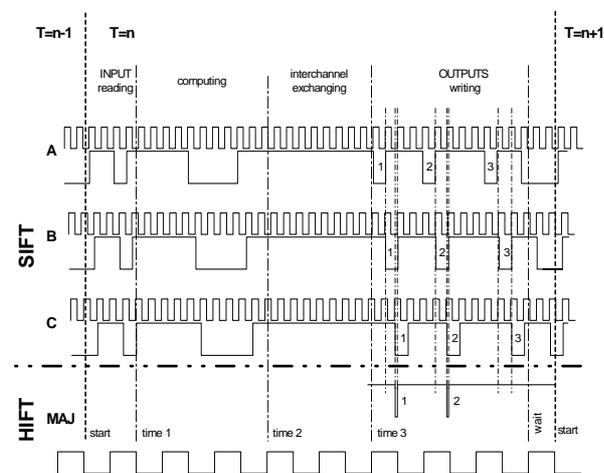


Рис. 1. Нарушение синхронности SIFT-каналов относительно HIFT-уровня в течение такта с аннигиляцией команды 3

Для исключения дребезга, отсутствия выдач или ложных выдач, как последствий эффекта нарушения межканальной когерентности в SIFT-уровне (оборудование процессора) при переходе в HIFT-уровень (оборудование ввода-вывода), есть необходимость введения дополнительной аппаратуры ожидания «отставшего» канала, а так же принятия специальные мер против ложной дефектации оборудования, как процессора, так и ввода-вывода. Как следствие данного решения, с одной стороны, снижается системная производительность, так как вводится дополнительное время для таймаута при выдаче каждого сигнала, а с другой - включается дополнительное оборудование ответственное за выдачу сигналов

всеми каналами, что в свою очередь снижает показатель надежности системы. Дополнительно к этому усложняется контроль истинности функционирования оборудования сопряжения SIFT- и HIFT-уровня, как при режиме основной работы, так и при режимах технологического тестирования.

Отладка системного программного обеспечения и драйверов

Особой задачей при разработке и внедрении систем является процесс контроля хода выполнения программ.

Особенно важен режим отладки при разработке системного программного обеспечения (ПО): операционной системы и элементов поддержки программной отказоустойчивости, а также программ-драйверов внутреннего и внешнего оборудования, что становится дополнительной задачей в системе поддержания когерентности функционирования SIFT-уровня каналов с учетом специфики кэш-содержащих процессоров.

Особенность режима отладки ПО заключается в наличии дополняющих друг друга факторов возникновения дополнительного асинхронизма в каналах SIFT-процессора на этапах:

- 1) приостанов основной выполняемой программы по какому-либо событию и переход на задачу взаимодействия с технологической аппаратурой (ТА);
- 2) включение механизма обмена между процессором и ТА;
- 3) завершение технологических обменов и пуск основной программы после приостанова.

Следует отметить, что режим отладки ПО процессорами поддерживается автономно и независимо от соседних каналов (рис. 2). Поэтому задача поддержания когерентности основного процесса возлагается на оборудование вне кристаллов процессоров.

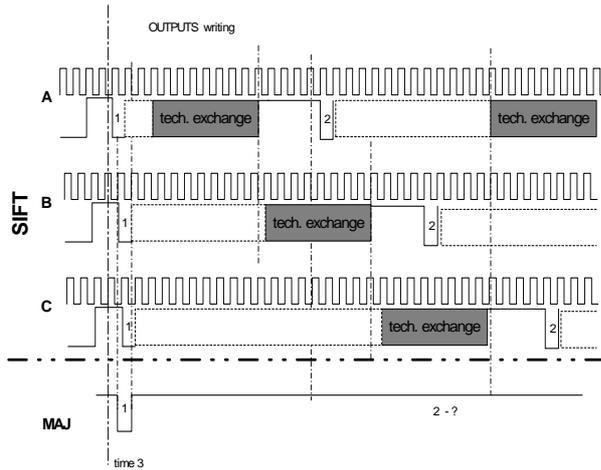


Рис. 2. Лавинная рассинхронизация SIFT-каналов при режиме технологических обменов с аннигиляцией последующих выдач в HIFT-уровне

При этом для систем, применяющих операционные системы жесткого регламента времени (ОС ЖРВ), необходимо точно контролировать время начала и окончания выполнения каждого участка основной программы внутри такта задачи. Следовательно, вход в этап приостанова программы режима отладки ПО для систем с ОС ЖРВ при взаимодействии должен сопровождаться также и остановом системного времени внутри такта, однако, каждый из каналов процессора характеризуется собственным взаимодействием с общим HIFT-таймером системного времени (рис. 3).

Механизм обмена процессоров каналов с ТА при отладке ПО функционирует по командному интерфейсу запрос – ответ.

Инициатором обмена может выступать как ТА, так и процессоры каналов вычислительной системы. В последнем случае асинхронизм может быть достаточно высок, особенно если выход на обмен с ТА происходит не по системной метке времени, а по информационной готовности каждого канала вычислителя.

Время выдачи команды на останов и пуск системного таймера асинхронен в каждом из каналов по отношению к HIFT-таймеру и детерминирован только относительно вычислительного процесса и

обменов с ТА. Как следствие, каждый вход в процесс обмена с ТА, также как и выход из него, сопровождается относительным прибавлением либо убыванием одного дискрета подсчета системного таймера, что порождает систематическую погрешность флуктуационного характера подсчета времени внутри такта.

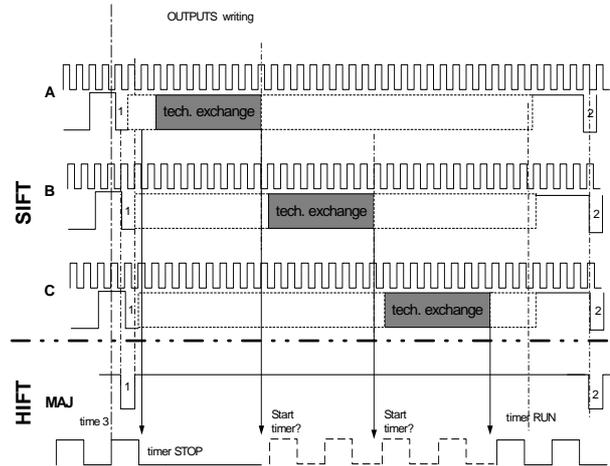


Рис. 3. Синхронизация SIFT-каналов по времени системного таймера в HIFT-уровне при режимах технологических обменов

Обмен с ТА включает в себя считывание и передачу информации не только о состоянии регистров процессора, произвольных участков памяти и областей ввода-вывода, но и текущего состояния периферийных устройств.

Последние для считывания истинного состояния требуют когерентности сигналов обращения, а поскольку процессоры в каналах находятся в активном ожидании команды от ТА, то необходимо учитывать вышеизложенные особенности функционирования кэш-содержащих процессоров при обеспечении синхронизма и в технологической части программного обеспечения.

Следует также отметить, что для процессоров со встроенной системой поддержания процесса отладки DSU (Debug Serial Unit) [7], дополнительный асинхронизм привносится автономными последовательными каналам связи модуля изначально.

Особое внимание следует обратить на завершающий этап, когда по окончании технологических обменов пуск основной программы в каналах и системного таймера необходимо обеспечить в пределах допустимого времени рассинхронизации подключенного HIFT-уровня (рис. 3).

Выводы

При построении вычислительных систем со структурой SIFT- ядро и HIFT- периферийное оборудование необходимо обеспечить когерентность функционирования SIFT-уровня.

Применение перспективных кэш-содержащих процессоров требует изменений в подходах при обеспечении как внутритактового синхронизма каналов, так и при построении обменов с периферийным оборудованием.

Синхронизацию функционирования на срезе SIFT/HIFT уровней наиболее эффективно обеспечить на аппаратном уровне с обязательным привлечением дополнений в программные средства, что особенно необходимо при технологических режимах отладки программного обеспечения.

При отладке программ для SIFT-HIFT структур наиболее сложно реализуемой функцией системы синхронизации является старт-стопный режим, а в особенности пошаговый (покомандный) в процессорах со встроенным модулем поддержания процесса отладки по асинхронному каналу связи DSU (Debug Serial Unit), что требует специальных решений на системном уровне.

Останов и пуск таймера канальными процессорами приводит к неизбежности привнесения систематической погрешности в программно-аппаратные средства подсчета временных интервалов, как внутри такта, так и потактовых замеров для распределенных во времени задач.

Литература

1. Avizienis Algirdas. Toward Systematic Design of Fault-Tolerant Systems [Электрон. ресурс]. – Режим доступа: www.md.kth.se/RTC/SC3S/papers/avizienis.pdf.
2. Hagbae Kim, Shin, K.G. Evaluation of fault tolerance latency from real-time application's perspectives // Computers, IEEE Transactions on. – Jan. 2000. – V. 49, Issue 1. – P. 55-64.
3. Powell D., Arlat J., Beus-Dukic L. at al. GUARDS: a generic upgradable architecture for real-time dependable systems // Parallel and Distributed Systems, IEEE Trans. on. – June 1999. – Vol.: 10, Issue 6. – P. 580-599.
4. Юрченко Ю.Б. Повышение надежности бортовых управляющих комплексов путем построения мажоритированных структур на основе аппаратной синхронизации однокристалльных микроконтроллеров // Космічна наука і технологія. Додаток. – К., НАНУ, 2004. – Т. 10, № 1. – С. 41-49.
5. Харченко В.С., Юрченко Ю.Б. Анализ структур отказоустойчивых бортовых комплексов при использовании электронных компонент Industry // Технология и конструирование в электронной аппаратуре. – 2003. – № 2. – С. 3-10.
6. Randell Brain. System Structure for Software Fault Tolerance [Электрон. ресурс]. – Режим доступа: www.cs.ncl.ac.uk/research/.../papers/341.pdf.
7. Rad-Hard 32 bit SPARC V8 Processor AT697E. [Электрон. ресурс]. – Режим доступа: www.atmel.com/literature/.../doc4426.pdf.
8. Афонин В.В, Лисейкин В.А. и др. Синхронизация каналов троированных ПЛК жесткого РВ // Промышленные АСУ и контроллеры. – 2001. – № 6. – С. 58-60.

Поступила в редакцию 22.02.2007

Рецензент: д-р техн. наук, проф. В.С. Харченко, Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», Харьков.