

УДК 681.325

**А.О. МЕЛЬНИК**

*Національний університет “Львівська політехніка”, Україна*

## **ТЕХНОЛОГІЇ ПРОЕКТУВАННЯ КОМП'ЮТЕРНИХ ПРИСТРОЇВ ДЛЯ ВИСОКОПРОДУКТИВНИХ РЕКОНФІГУРОВНИХ ПРИСКОРЮВАЧІВ**

Розглянуті архітектури високопродуктивних реконфігурованих комп'ютерів, програмні моделі комп'ютерних пристроїв та технологія проектування моделей комп'ютерних пристроїв з мов опису апаратних засобів та з мови високого рівня.

**високопродуктивні реконфігуровні прискорювачі, програмні моделі комп'ютерних пристроїв, проектування комп'ютерних пристроїв**

### **Вступ**

В останні роки важливе місце серед напрямків розвитку комп'ютерних технологій займають реконфігуровні комп'ютери, структура та функції яких можуть бути переналаштовані з метою досягнення заданих технічних характеристик. Для забезпечення можливості переналаштування в якості їх елементної бази використовують програмовані логічні інтегральні схеми ПЛІС (в англійській термінології – FPGA), в яких множина базових логічних комірок з'єднується комутуючою матрицею, яка і забезпечує реконфігурацію. Типи, розміри та кількість програмованих базових логічних комірок можуть змінюватись в дуже широких межах [1].

ПЛІС почали використовуватись як елементи для реалізації комп'ютерних пристроїв досить давно. Але лише в останні роки їх стали використовувати для високопродуктивних обчислень (high-performance computing - HPC) шляхом побудови на їх основі високопродуктивних реконфігурованих прискорювачів [2 - 4].

Серед перших комерційних реконфігурованих прискорювачів слід відзначити прискорювач CHS2x4 фірми Algotronix, який включав масив із 1024-х програмованих процесорів CAL, розміщених на 8 ПЛІС, прискорювач Gaqr, створений в Каліфо-

рнійському університеті Berkeley, який комбінує RISC процесори та конфігуровану програмовану матрицю на одному кристалі, прискорювач MorphoSys, а також прискорювач FIPSOC. Спільною особливістю перерахованих прискорювачів є комбінування конфігурованих елементів з програмованим чи спеціалізованим процесором [5 - 6].

Можна відзначити як мінімум три основних переваги від використання ПЛІС в високопродуктивних обчисленнях:

- висока продуктивність: використовуючи ПЛІС можливе досягнення масового паралелізму;
- низька споживана потужність: ПЛІС споживають значно меншу потужність у порівнянні з традиційними процесорами;
- висока гнучкість: ПЛІС є досить гнучкими. Структура комп'ютерного пристрою, реалізованого на ПЛІС, може бути адаптованою під задані використання.

На базовому рівні ПЛІС може бути два типи конфігурованих елементів: дрібнозернисті та грубозернисті. Зернистість тут визначається як найменший функціональний блок конфігурованого елементу. Комп'ютер Raw, реалізований на ПЛІС, є дрібнозернистим і працює на розрядному рівні. Це дає більше гнучкості при проектуванні, але зазвичай є важчим для компіляції (розміщення елементів та

організації їх зв'язків). Грубозернисті процесорні елементи, такі як конфігуровний Data Path Arrays (rDPAs), є простішими для компіляції та кращими для виконання відпрацьованих алгоритмів обробки даних, але не забезпечують повного використання гнучкості ПЛІС. Те, які з них є більш корисними, залежить від вирішуваних задач.

Існують наступні методи реконфігурування ПЛІС: статичне, коли комп'ютерна система конфігурується перед випуском на ринок, оновлення, коли конфігурація замінюється час від часу для налагодження системи або функціонального оновлення, та динамічне під час роботи ПЛІС.

### Архітектури високопродуктивних реконфігурованих комп'ютерів

На даний час створено кілька типів архітектур високопродуктивних реконфігурованих комп'ютерів, в яких використовуються універсальні процесори з слабо або тісно зв'язаними з ними прискорювачами.

В архітектурі на основі універсальних процесорів з слабо зв'язаними прискорювачами в якості прискорювачів використовуються:

- змінні плати ПК як стандартні прискорювачі (наприклад ClearSpeed Advance™ X620 і e620 Accelerator Boards, або реконфігуровний процесорний блок RPU100-L60 фірми DRC) [7];

- дочірня (більш низького рівня) плата ПЛІС, підключена до повільної шини ПК, наприклад реконфігуровні процесорні блоки RPU110-100, 160, 200 фірми DRC;

- дочірня (більш низького рівня) плата ПЛІС з додатковим спеціальним з'єднанням, прикладом якої може служити реконфігуровний прискорювач RCHTX Celoxica [8].

В архітектурі на основі універсальних процесорів з тісно зв'язаними прискорювачами використовуються:

- прискорювачі, тісно інтегровані в мережну структуру, зокрема NALLATECH H100 Series [9] та суперкомп'ютер FHRCA's на основі ПЛІС фірми Maxwell [10]. Тут передбачається пряме під'єднання прискорювачів до процесорів;

- прискорювачі, тісно інтегровані в мережну структуру, включаючи пряме з'єднання до мережних внутрішніх зв'язків. Ця архітектура також передбачає використання двох окремих мереж: процесорної та ПЛІС, але з їх накладанням, наприклад з під'єднанням ПЛІС безпосередньо до мережного інтерфейсного кристалу (network interface chip - NIC). Різниця тут полягає в тому, що ПЛІС під'єднані безпосередньо до основної мережі через NICs, що створює можливість одному процесору мати доступ до однієї або більше ПЛІС, тобто будь-яка ПЛІС може зв'язатися безпосередньо з будь-яким процесором. Прикладом такої архітектури є система XD1 System фірми Cray [11];

- прискорювачі з прямим з'єднанням з пристроями пам'яті. Тут прискорювачі з'єднані безпосередньо з системною шиною розподіленої пам'яті. Цим самим створюється мережа з топологією типу „кожен з кожним” і вимагається проведення диспетчеризації апаратних засобів для підтримки когерентності з'єднаних блоків пам'яті та пристроїв. Прикладом такої архітектури є архітектура RASC (Reconfigurable Application Specific Computing) фірми SGI та її NUMALink комунікаційна структура [12];

- прискорювачі на основі архітектури IMPLICIT+EXPLICIT фірми SOC, яка є гібридом раніше розглянутих архітектур.

### Програмні моделі комп'ютерних пристроїв

В основі створення програмних моделей комп'ютерних пристроїв для високопродуктивних реконфігурованих прискорювачів лежить техноло-

гія проектування ядер комп'ютерних пристроїв, тобто програмних моделей, які описують архітектуру комп'ютерних пристроїв на рівні міжрегістрових передач з використанням мов опису апаратних засобів типу VHDL та Verilog. При цьому ядра комп'ютерних пристроїв розробляються з орієнтацією на їх самостійне використання покупцем з наданням йому можливостей їх доповнення та модернізації.

Поява технології проектування ядер комп'ютерних пристроїв насамперед була викликана, з одного боку, щораз вищими вимогами до часових затрат на проектування комп'ютерних пристроїв, а з іншого – швидко зростаючими об'ємом та складністю розроблюваних систем. Використання ядер комп'ютерних пристроїв дозволяє суттєво спростити та прискорити процес проектування [13].

Для розробки та відлагодження програмних моделей комп'ютерних пристроїв використовують спеціальні інтегровані середовища із вбудованими засобами компіляції та симуляції. Серед них – ModelSIM від Mentor Graphics, Active-VHDL та Active-HDL від Aldec, ін.

На сьогодні створені наступні засоби формування програмних моделей комп'ютерних пристроїв для високопродуктивних реконфігурованих прискорювачів:

1. Стандартизовані бібліотеки.
2. Виконані на замовлення бібліотеки найчастіше використовуваних програмних моделей комп'ютерних пристроїв.
3. FPGA High Performance Computing Alliance's Parallel Toolkit.
4. Генератор програмних моделей комп'ютерних пристроїв НВП Інtron.

Стандартизовані бібліотеки програмних моделей комп'ютерних пристроїв для високопродуктивних реконфігурованих прискорювачів мають такі

недоліки як великий об'єм бібліотеки, функціональні обмеження, значний час на пересилання даних між процесором та реконфігурованим прискорювачем та значний час на проведення реконфігурації останнього.

Виконані на замовлення бібліотеки найчастіше використовуваних програмних моделей комп'ютерних пристроїв мають менші функціональні обмеження та характеризуються більшою адаптованістю до вирішуваних задач, однак вимагають додаткових коштів на розробку додаткових елементів бібліотеки.

В порівнянні з попередніми FPGA High Performance Computing Alliance's Parallel Toolkit дозволяє зменшити час конфігурування прискорювача та зменшити об'єм інформації, яка пересилається між процесором та прискорювачем.

Потужні засоби генерування програмних моделей комп'ютерних пристроїв на основі спеціалізованих бібліотек та на основі функціонально повних конфігурованих моделей комп'ютерних пристроїв запропоновано НВП Інtron [14].

Такий підхід спрощує процес проектування програмних моделей комп'ютерних пристроїв та надає користувачу широкі можливості по їх оптимізації до конкретної задачі. При цьому надається можливість задання на рівні опису комп'ютерного пристрою наступних параметрів: наявність чи відсутність певного функціонального вузла, кількості каналів поступлення та видачі даних, кількості трактів обробки даних, схеми з'єднання функціональних вузлів, і т.д. При синтезі програмної моделі комп'ютерного пристрою із функціонально повної конфігурованої моделі виділяється та його частина, яка забезпечує реалізацію заданого алгоритму з заданими параметрами, а все інше обладнання видаляється, що дозволяє мінімізувати затрати обладнання. Це здійснюється спеціальними засобами конфігурування.

Переваги такого підходу: менші розміри коду, багатоверсійне конфігурування, оптимізація до задачі.

### **Технологія проектування моделей комп'ютерних пристроїв з мови високого рівня**

Основною проблемою, яка знижує ефективність технології проектування ядер комп'ютерних пристроїв, є відсутність на ринку програмних моделей комп'ютерних пристроїв з потрібними технічними параметрами, що трапляється досить часто, оскільки розробити всі можливі варіанти програмних моделей комп'ютерних пристроїв є нерезальною задачею. Це вимагає їх розробки від початку самостійно або зовнішнім виконавцем, що є дорогим та вимагає багато часу. Наступним етапом розвитку технологій проектування є поява засобів, які б автоматично дозволяли розробляти програмні моделі потрібних комп'ютерних пристроїв. Один з варіантів реалізації таких засобів ґрунтується на технології проектування моделей комп'ютерних пристроїв з мови високого рівня. Це новітня технологія, що передбачає автоматичну генерацію оптимальних архітектур комп'ютерних пристроїв з описаних мовою високого рівня алгоритмів. При цьому вартість та ризик розробки суттєво зменшуються. Технологія дозволяє інженеру досліджувати архітектурні альтернативи та автоматично створювати оптимальні реалізації комп'ютерних пристроїв з мови високого рівня. Наприклад, реалізація MPEG алгоритму може бути різною для DVD плеєра та відеокамери. Алгоритм незмінний, проте архітектура змінюється залежно від задачі.

Комп'ютерні засоби, які підтримують технологію проектування моделей комп'ютерних пристроїв з мови високого рівня:

- Celoxica's Agility compiler and DK Design Suite,
- Impulse Accelerated Technology's Impulse-C,
- Synfora PICO Express,

- Mentor Graphics' Catapult C,
- Mitronics Mitrion Virtual Processor,
- Nallatech's DIMEtalk,
- SRC's CARTE Programming Environment,
- Xilinx Lab's CHiMPS,
- Intron's C-to-gates tools.

Засоби компіляції з мови високого рівня перетворюють алгоритм роботи пристрою в код опису його архітектури на мові VHDL, з якої формується конфігураційний код моделі комп'ютерного пристрою для реконфігуровного прискорювача [15]. При цьому в існуючих засобах використовується модифікований варіант мови C, наприклад Mentor Graphics використовує IEEE standard System C, Celoxica - Handle C, Nallatech - DIME C, Impulse - Impulse-C, Mitronics - Mitrion-C.

### **Висновки**

1. У статті розглянуто поняття реконфігуровних обчислень, перші комерційні реконфігуровні комп'ютери, види реконфігуровних обчислень, чому для побудови високопродуктивних реконфігуровних прискорювачів використовують ПЛІС.
2. Наведено та проаналізовано архітектури високопродуктивних реконфігуровних комп'ютерів.
3. Описано існуючі засоби формування програмних моделей комп'ютерних пристроїв для високопродуктивних реконфігуровних прискорювачів.
4. Розглянуто новий підхід до проектування програмних моделей комп'ютерних пристроїв з мови високого рівня. Початкові дані для проектування – опис алгоритму мовою програмування, опис інтерфейсу і характеристики комп'ютерного пристрою.
5. Наведено результати тестування системи автоматичного генерування програмних моделей комп'ютерних пристроїв з мови високого рівня, розробленої НВП Інtron.

## Література

1. Buell D.A, Arnold J.M. Kleinfelder W.J., eds., *Splash 2: FPGAs in a Custom Computing Machine*, IEEE CS Press, 1996.
2. Gokhale M.B., P.S. Graham, *Reconfigurable Computing: Accelerating Computation with Field-Programmable Gate Arrays*, Springer, 2005.
3. Trimberger S.M., ed., *Field-Programmable Gate Array Technology*, Kluwer Academic, 1994.
4. El-Ghazawi T.et al., *Reconfigurable Supercomputing Tutorial*, Int'l Conf. High-Performance Computing, Networking, Storage and Analysis (SC06).
5. [Електронний ресурс]. – Режим доступу: <http://brass.cs.berkeley.edu/garp.html>.
6. [Електронний ресурс]. – Режим доступу: <http://www.eng.uci.edu/morphosys/>.
7. [Електронний ресурс]. – Режим доступу: <http://www.drccomputer.com/drc/products.html>.
8. [Електронний ресурс]. – Режим доступу: <http://www.celoxica.com>.
9. [Електронний ресурс]. – Режим доступу: <http://www.nallatech.com>.
10. [Електронний ресурс]. – Режим доступу: <http://www.maxwell.com/>.
11. [Електронний ресурс]. – Режим доступу: <http://www.cray.com/products/xt5/index.html>.
12. [Електронний ресурс]. – Режим доступу: [www.sgi.com/developers/program/directory/h\\_m/Impulse\\_Accelerated\\_Technologies\\_Inc.pdf](http://www.sgi.com/developers/program/directory/h_m/Impulse_Accelerated_Technologies_Inc.pdf).
13. Мельник А.О., Мельник В.А. Технологія проектування ядер комп'ютерних пристроїв. Вісник Національного університету "Львівська політехніка" "Комп'ютерні системи та мережі", 2002 р.
14. Melnyk A.,. Invited talk. Newest Computer Devices Design Technology on a Base of Configurable Models // Збірник праць 1-ої Міжнародної конференції "Сучасні комп'ютерні системи та мережі: розробка та використання". – 24-26 вересня. – Львів:НУЛП, 2003. – С. 45-46
15. Melnyk A., Salo A. Automatic generation of ASICS // Proceedings of NASA/ESA Conference on Adaptive Hardware and Systems AHS-2007, Edinburgh, UK, 2007. – P. 311-317.

*Надійшла до редакції 18.01.2008*

**Рецензент:** д-р техн. наук, проф. В.А. Краснобаєв, Харківський національний технічний університет сільського господарства ім. П.Василенка, Харків.