

УДК 621.03

Ю.Б. ЮРЧЕНКО

НПП Хартрон-АРКОС, Україна

## АНАЛИЗ ВЗАИМОДЕЙСТВИЯ КАНАЛОВ СИНХРОННЫХ SIFT-HIFT КОМПЬЮТЕРОВ В СИСТЕМЕ ИНФОРМАЦИОННО-ВЫЧИСЛИТЕЛЬНОГО КОМПЛЕКСА С МЕЖКАНАЛЬНО-АСИНХРОННОЙ РАСПРЕДЕЛЕННОЙ СЕТЕВОЙ СТРУКТУРОЙ ОБОРУДОВАНИЯ

Исследован опыт сопряжения трехканальных синхронных SIFT-HIFT компьютеров в сетевую структуру вычислительно-информационного комплекса управляющей системы жесткого регламента времени с независимыми поканально-асинхронными приемопередатчиками и ретрансляторами. Проанализированы причины и проведена оценка времен асинхронизма при выдаче управляющих команд. Проведена оценка времени привнесения дополнительного асинхронизма оборудованием ретранслятора. Проведена оценка времени и расчет минимально возможного такта задачи в оборудовании формирования входной информации. Сформулирована задача коррекции для построения сетевого взаимодействия с аппаратурой смежных систем.

**встроенная система, отказоустойчивость, реальное время, уровень целостности**

### Введение

При построении бортовых информационно-вычислительных управляющих систем (ИВУС) комплексов автоматического управления критического применения к особо важным задачам относится обеспечение детерминизма функционирования как на уровне целостности процессорного блока, так и на уровнях подключения периферийных блоков и линий связи [1], а также своевременности адекватной реакции при сбоях или отказах [2]. Эти задачи усложняются при построении многоканальной системной структуры на основе законченных функциональных узлов [3], а особенно при использовании поканально не связанных между собой блоков с асинхронным функционированием на срезах между уровнями целостности. Принимая во внимание, что вычислительный и управляющий процессы должны исполняться в масштабе реального времени с жестким внутри- тактовым планированием задач в системной структуре, сочетающей SIFT-ядро и HIFT-ввод-вывод на локальном уровне [4 – 6] с распределенной структурой периферийного уровня, где есть необходимость взаимодействия нескольких блоков с

SIFT-асинхронным и HIFT-синхронизированным оборудованием [7] посредством поканальных, не связанных между собой модулей обеспечения сетевого взаимодействия с недетерминированным временем асинхронизма, то поддержание когерентности процессов у абонентов приёма информации с аналогичной архитектурой при обменах с периферийным оборудованием есть одной из основных задач, так как контроль и сравнение состояния процессов в каналах оборудования как интеллектуального, так и внешнего уровня происходит аппаратным уровнем целостности в сечении мажоритарных элементов.

Особо острой эта задача становится при соединении всех компонентов системы и отработке драйверов обменов с реально подключенной аппаратурой полномасштабного комплекса оборудования единой ИВУС при использовании стандартных сетевых решений в многоканальных структурах типа SIFT/HIFT-n\*ONE-HIFT/SIFT (рис. 1).

При пошаговой отладке программного обеспечения в такой структуре ИВУС, в процессе аппаратного взаимодействия уровней возможен переход в каналах для одного из SIFT уровней на разные ветви

алгоритмов программы либо по времени, либо по информации. Это, в свою очередь, после межканального обмена приводит к непредсказуемому останову в системе и определяемого как полный аппаратный отказ этого компьютера, в то время как никакое оборудование не допустило даже кратковременного отказа [7].

Цель статьи – анализ причин возникновения ложных отказов на основе асимметрии информации, причин возникновения лавинообразного нарастания процессов асинхронизма в параллельных каналах передачи информации, локализация мест привнесения дополнительного асинхронизма и оценка границ времен относительной синхронности.

### Анализ структуры

Прежде всего, отметим, что пересылка цифровой информации в ИВУС рассматриваемого класса происходит путем преобразования параллельного кода в последовательный и обратно, а время процесса трансляции байта зависит от скоростных характеристик канала связи.

При этом, стремление повысить скорость ограничивается реальностью физических свойств линии связи, что, в свою очередь, приводит к ограничению максимального расстояния между передатчиком и приемником.

Таким образом, для построения информационного канала связи между двумя удаленными компьютерами необходима установка ретрансляторного оборудования, которое обеспечивает поддержание сетевого протокола связи на каждом сегменте автономно.

В случае информационного соединения между отказоустойчивыми компьютерами с  $m$ -канальной архитектурой внешних связей будет задействовано  $m$  каналов связи для организации передачи данных (рис. 1).

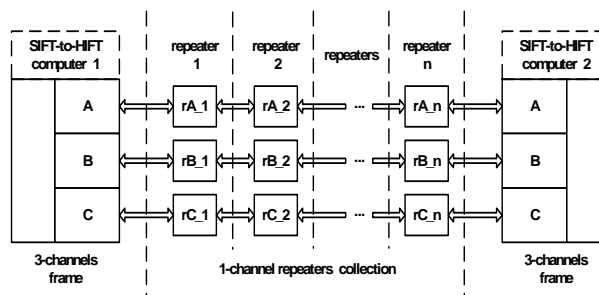


Рис. 1. Структура SIFT/HIFT- $n$ \*ONE-HIFT/SIFT сетевой связи двух отказоустойчивых компьютеров с 3-х канальной архитектурой ввода-вывода

Выделим основные особенности в структуре связи такого типа:

- приемопередатчики каналов связи у компьютеров и у ретрансляторов одноканальны, независимы, асинхронны относительно соседних каналов и представляют собой законченные микромодули конверторов кода;
- в состав ретранслятора входит интеллектуальное оборудование контроллера связи с подключением к приемопередающему оборудованию двух сегментов сети;
- передача и прием модулем конвертора происходит в рамках собственных тактовых сеток, заданных скоростью передачи и независимо от тактовых сеток шины компьютера или контроллера ретранслятора.

### Межмодульная синхронизация взаимодействия

Анализируя информационное сопряжение процессора (контроллера) с модулем конвертора кода [8], заметим, что внутренняя синхронизация событий происходит в соответствии с:

- а) тактовой сеткой внешнего оборудования конвертора, определяемой скоростью последовательной прямо-передачи;
- б) длительностью цикла обращения по системной шине со стороны процессора (контроллера).

Как следствие, в процессе передачи, перезапись

информации из буфера системной шины, подключенной к процессору, в передающий регистр конвертора предварительно синхронизируется тактовой сеткой формирования сигнала выдачи со сдвигового регистра приемопередатчика. При этом, время начала передачи, т. е. непосредственно момент выдачи первого бита колеблется относительно момента выдачи команды на передачу от процессора в пределах длительности такта, определяемого частотой последовательной передачи, т. е. времени передачи одного бита.

Завершение процесса приема подтверждается флагом готовности. Определить наличие флага возможно либо по запросу, выданному на прерывание или прямой доступ к памяти, либо полингом специального бита в соответствующем регистре оборудования и зависит от выбранной идеологии обмена между процессором и конвертором. Во всех случаях приема, время от момента прихода информации до момента считывания колеблется в пределах реакции на запрос или, как минимум, нескольких циклов (не менее 5) системной шины при полинге и определяется быстродействием процессора или контроллера ретранслятора.

Таким образом, на каждом сегменте линии связи постоянно происходит пресинхронизация информационного потока тактовыми сетками:

- 1) конт-роллера при считывании данных с источника;
- 2) передатчика при получении данных от контроллера;
- 3) приемника при захвате данных от передатчика;
- 4) контроллера при определении наличия данных в приемнике.

При этом, имея независимые частотные сетки с типовой девиацией частоты в 100 ppm, между каналами с определенной периодичностью будет складываться ситуация, когда в процессе пресинхронизации информации в одном из каналов передачи все максимально возможные времена выстроятся в последовательную цепочку суммарной задержки, а в остальных - процесс будет происходить с мини-

мальным временем. Оценивая разность времен прихода одного пакета информации к конечному абоненту, получаем:

$$\Delta T_{sum} = \Delta T_{strobe} + \Delta T_{baud}, \quad (1)$$

где  $\Delta T_{strobe}$  – девиации времени пресинхронизации,  $\Delta T_{baud}$  – девиация времени прохождения информационного пакета по последовательному каналу.

Для девиации времени по пресинхронизации при прохождении одного пакета имеем

$$\Delta T_{strobe} = N \cdot \left( \left( \frac{5}{MIPS} + \frac{1}{Baud} \right)_t + \left( \frac{1}{Baud} + \frac{5}{MIPS} \right)_r \right), \quad (2)$$

где  $N$  – число сегментов сети;  $Baud$  – скорость последовательной передачи;  $MIPS$  – быстродействие контроллера;  $t$  – индекс оборудования передатчика;  $r$  – индекс оборудования приемника.

Для девиации времени прохождения пакета при нестабильности задающих генераторов в 100ppm

$$\Delta T_{baud} = \frac{L_{bits}}{Baud \cdot 100 \cdot 10^{-6}}, \quad (3)$$

где  $L_{bits}$  – полное количество бит в пакете,  $Baud$  – скорость последовательной передачи.

### Реальность времени

Расчетная оценка разности времен проведена с учетом однократного (без повторов) прохождения информационного пакета из 64-х слов (2048 бит) по каналу связи со скоростью 1 Мбит/с. Быстродействие контроллера связи, взаимодействующего с конвертором кода, принято на уровне 10 MIPS. Рассинхронизация SIFT-уровня при выдаче команд на начало процесса трансляции отсутствует. Расчет времени для каждого сегмента показывает линейное нарастание девиации в зависимости от количества сегментов трансляций (рис. 2). При этом для данной длины пакета до 6-го ретранслятора основной вклад в девиацию привносится составляющей времени прохождения пакета.

Однако, при сетевом взаимодействии, в течение такта системной задачи происходит обмен множеством пакетов различной информационной длины и для данного случая необходимо иметь целостное представление о временных соотношениях процесса трансляции на всех сегментах.

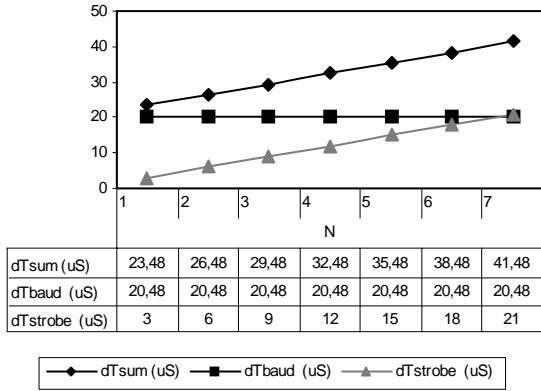


Рис. 2. Нарастание девиации в зависимости от количества сегментов трансляций

Расчетная оценка прохождения такого же количества информации с разбиением на множество пакетов меньшей длины проведена для одного сегмента и аналогичных параметров канала связи, с учетом того, что в состав сообщений включена служебная информация (рис. 3).

Наблюдаемый минимум времени отклонения относительно времени прохождения одного пакета ( $dTsum / Ttrans$ ) соответствует оптимуму в количестве транслируемых пакетов между соседними абонентами за один такт системной задачи, а суммарное время максимального прохождения информации ( $Ttrans$ ) ограничивает минимальное время такта.

При этом передача информации очень малыми объемами увеличивает как время передачи, так и девиацию, где основным фактором выступает составляющая пресинхронизации.

Подтверждением этому есть оценка построения сети с переходом на скорость 10Мбит/с и, соответствующим увеличением количества сегментов до пяти, а также повышением производительности контроллера ретранслятора до 100 MIPS (рис. 4).

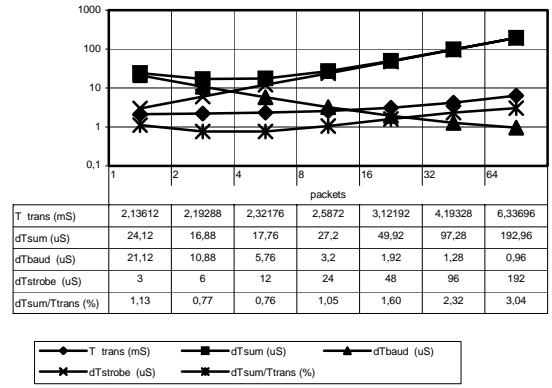


Рис. 3. Нарастание девиации в зависимости от количества пакетов трансляции для односегментной сети

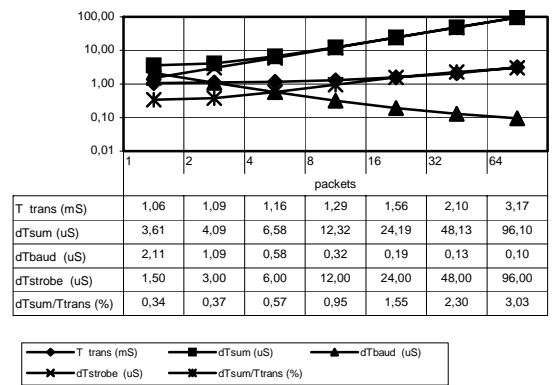


Рис. 4. Нарастание девиации в зависимости от количества пакетов трансляции для сети с 10-ти кратным увеличением производительности ретрансляторов

Абсолютное время суммарной рассинхронизации приема пакетов в течение такта задачи колеблется от десятков до нескольких сотен микросекунд и возрастет как от увеличения количества пакетов, так и от увеличения количества ретрансляторов. Стремление повысить точность ИВУС за счет уменьшения времени системного такта задачи до 10 ms и менее [1, 3], при сетевом взаимодействии с оборудованием ввода-вывода и учетом начального асинхронизма SIFT-каналов [7], наталкивается на необходимость установки ожидания отставшего канала в течение 0,2...0,5 ms к концу такта задачи. Это обуславливает 5% потерю системного времени, а равно 5% снижение эффективности системы. При этом, затраты на 10-ти кратное увеличение скоростных характеристик ретрансляторов приносит только 2-хкратное их улучшение при трансляции, однако в 5 раз снижает эффективность ИВУС.

### Выводы

При построении многоканальных информационно-вычислительных управляющих систем с распределенной сетевой структурой типа SIFT/HIFT-n\* ONE-HIFT/SIFT в исполнительном и контролирующем оборудовании необходимо учитывать дополнительное время асинхронности функционирования не только каждого уровня целостности [7], но и асинхронности межуровневых связей. В программе межканального взаимодействия SIFT-уровня необходимо учитывать времена всех девиаций для гарантированного получения информации от абонентов по всем каналам. Выдавать команды целесообразно только в поле синхронизации по метке единого системного времени и вне зоны "deadline" для обеспечения начальной фазы процесса во всех каналах. При этом обеспечивается максимум производительности в сочетании с исключением возможности ложной фиксации отказа «отставшего» канала. Оптимальное количество пакетов обмена в такте задачи находится в пределах 2...4, при этом обеспечивается девиация в пределах менее +1% от типового времени передачи пакета для любой производительности сетевого оборудования. Основная составляющая асинхронизма процесса параллельной трансляции привносится взаимодействием оборудования внутри ретрансляторов на фазах «готовность информации - начало передачи» и «окончание приема – считывание информации» при различных частотных источниках для процессора и для приемопередатчика линии связи. Применение единого генератора с кратным распределением частот процессору и приемопередатчику, при оптимизации количества команд в драйвере процессора ретранслятора, возможно, позволит улучшить показатель межканальной девиации, особенно при сочетании функций в одном кристалле и повышении производительности [9].

### Литература

1. Avizienis Algirdas: Toward Systematic Design of Fault-Tolerant Systems [Электронный ресурс]. – Ре-

жим доступа: [www.md.kth.se/RTC/SC3S/papers/avizienis.pdf](http://www.md.kth.se/RTC/SC3S/papers/avizienis.pdf).

2. Hagbae Kim; Shin, K.G.: Evaluation of fault tolerance latency from real-time application's perspectives // Computers: IEEE Transactions on. – Jan. 2000. – Vol. 49, Is: 1. – P. 55-64.

3. Powell D., Arlat J., Beus-Dukic L. at al.: GUARDS: a generic upgradable architecture for real-time dependable systems // Parallel and Distributed Systems, IEEE Transactions on. – 1999. – Vol. 10, Is. 6. – P. 580-599.

4. Юрченко Ю.Б.: Повышение надежности бортовых управляющих комплексов путем построения мажоритированных структур на основе аппаратной синхронизации однокристалльных микроконтроллеров // Космічна наука і технологія. Додаток. – К.: НАНУ, 2004. – Т. 10, № 1. – С. 41-49.

5. Харченко В.С., Юрченко Ю.Б.: Анализ структур отказоустойчивых бортовых комплексов при использовании электронных компонент Industry // Технология и конструирование в электронной аппаратуре. – 2003. – № 2. – С. 3-10.

6. Randell Brain: System Structure for Software Fault Tolerance [Электрон. ресурс]. – Режим доступа: [www.cs.ncl.ac.uk/research/pubs/inproceedings/papers/341.pdf](http://www.cs.ncl.ac.uk/research/pubs/inproceedings/papers/341.pdf).

7. Юрченко Ю.Б. Синхронизация каналов SIFT-HIFT структур бортовых вычислительных систем при отладке программно-аппаратного взаимодействия // Радиоэлектронные и компьютерные системы. – 2007. – № 6 (25). – С. 63-67.

8. IC Integrates dual transceiver BU-61580V1-200 Data Sheet // Product CD-ROM, 4th Version, 2001, Data Device Corporation.

9. AT91SAM9260, ARM Thumb Microcontrollers // 6221C-ATARM-22-Sep-06 [Электрон. ресурс]. – Режим доступа: [www.atmel.com/literature](http://www.atmel.com/literature)

Поступила в редакцию 28.01.2008

**Рецензент:** д-р техн. наук, проф. В.С. Харченко, Национальный аэрокосмический университет им. Н.Е. Жуковского "ХАИ", Харьков.