

УДК 681.325

А.О. МЕЛЬНИК, А.М. САЛО, В. КЛИМЕНКО, Л. ЦИГИЛИК, А. ЮРЧУК

НВП "Інтрон", Львів, Україна

ХАМЕЛЕОН – СИСТЕМА ВИСОКОРІВНЕВОГО СИНТЕЗУ СПЕЦІАЛІЗОВАНИХ ПРОЦЕСОРІВ

Розглянуто технологію проектування систем на кристалі. Показано, що на даному етапі розвитку комп'ютерної галузі особливе місце займають засоби проектування комп'ютерних пристроїв на системному рівні. Основною метою створення таких засобів проектування на системному рівні є прискорення та спрощення процесу проектування, в якому передбачається, що розробнику не потрібно досконально володіти схемотехнічними навичками, а лише вміти програмувати на мові високого рівня. Запропоновано систему ХАМЕЛЕОН, яка призначена для автоматизації праці проєктувальників спеціалізованих процесорів. Вона дозволяє в сотні разів скоротити кількість людино-годин, необхідних для проектування і тестування спеціалізованих процесорів на програмованих мікросхемах порівняно з розробкою традиційними засобами. Описано методiku тестування системи ХАМЕЛЕОН. Наведені характеристики спеціалізованих процесорів, які синтезовані за допомогою системи ХАМЕЛЕОН.

Ключові слова: спеціалізований процесор, проектування комп'ютерних пристроїв на системному рівні, НВІС, ПЛІС. система на кристалі.

Вступ

Реалізація спеціалізованих процесорів (СП) (ASIC – Application Specific Integrated Circuits) на сьогодні складає ліву частку на ринку продукції комп'ютерних засобів. СП виконують конкретні алгоритми обробки інформації.

За рахунок максимального врахування особливостей задачі, оптимізації алгоритмів її виконання та їх апаратної реалізації це дає змогу досягти гранично високих швидкісних і ваго-габаритних технічних характеристик. Завдяки цьому СП широко використовуються в народному господарстві, зокрема в автомобільній електроніці, товарах народного споживання, засобах обробки сигналів та зображень, медичних комп'ютерних системах, системах комп'ютерної графіки, телекомунікаційній та військовій техніці. Цей перелік можна продовжувати, оскільки сьогодні важко знайти сферу науково-виробничої діяльності, де б не застосовувались СП.

Однієї з головних проблем, з якими доводиться стикатися сьогодні конструкторам, є збільшення складності СП і часу їх розробки. Протягом багатьох років зусилля розробників НВІС були сконцентровані на вирішенні задач функціонального проектування на рівні регістрових передач (Register Transfer Level, RTL). Відповідно, в сфері розробки засобів автоматизації проектування основні інвестиції направлялися на розвиток засобів синтезу, моделювання і верифікації на RTL – рівні.

За останні роки технології проектування СП зазнали кардинальних змін. Були розроблені та стали основним засобом опису комп'ютерних апаратних засобів мови типу VHDL та Verilog [1, 2].

Також було створено ряд потужних САПР НВІС, які підтримують їх розробку від опису на названих мовах, до прошивки заказного кристалу або програмованого логічного пристрою [3 – 5].

Разом з тим, завдяки досягненням в області інтегральної технології, суттєво зросла ємність інтегральних схем [6], і з'явилась можливість реалізації в них надзвичайно складних комп'ютерних пристроїв [7].

В зв'язку з цим, існуючі методи проектування комп'ютерних пристроїв, які передбачають проведення розробки від початку, стали неефективними, оскільки для створення комп'ютерного пристрою великої складності вони вимагають невиправдано багато часу [8].

Актуальною стала потреба створення нових методів проектування, які б при великій складності комп'ютерного пристрою дозволяли його спроектувати за прийнятний час.

1. Технологія проектування системи на кристалі

Крім пошуку шляхів підвищення ефективності САПР НВІС, за останні роки змінився принцип виконання проєктів – взамін розробки проєкту від

нижчого до вищого рівнів проектування стало базуватись на попередніх розробках. Концепція базування на попередніх розробках покладена в основу нової технології – проектування системи на кристалі (СНК) [9, 10].

Відповідно до цієї технології в одному кристалі розміщується ряд комп'ютерних пристроїв, програмні моделі яких були попередньо спроектовані та відтестовані.

Ці моделі прийнято називати ядрами (в англійській термінології *cores* або *intellectual property (IP)*) [11, 12]. В якості ядер можуть бути програмовані або апаратно-орієнтовані процесори, блоки пам'яті, пристрої вводу-виводу та пристрої для виконання спеціальних функцій. Ядра в більшості випадків купляються у сторонніх розробників, хоча можуть розроблятися і на фірмі-розробнику системи на кристалі (СНК).

При цьому від розробника СНК, як правило, не вимагаються детальні знання про структуру комп'ютерних пристроїв, які пропонуються в вигляді ядер, та особливості їх проектування, достатньо знати лише їх інтерфейсні параметри.

Одним з напрямів автоматизації розробки програмних моделей комп'ютерних пристроїв є створення їх конфігурованих моделей.

Потужні засоби генерації програмних моделей комп'ютерних пристроїв на основі спеціалізованих бібліотек і на основі функціонально повних конфігурованих моделей комп'ютерних пристроїв, було запропоновано та розглянуто НВП "Інтрон" [13].

Такий підхід спрощує процес проектування програмних моделей комп'ютерних пристроїв і дає користувачу широкі можливості їх оптимізації під конкретне завдання.

Переваги такого підходу: менша кількість коду, багатoversійна конфігурація, адаптація під завдання.

Технологія проектування СНК зайняла ключові позиції при розробці сучасних комп'ютерних засобів.

Разом з тим, основною проблемою, яка знижує ефективність проектування СНК, є відсутність на ринку ядер комп'ютерних пристроїв з потрібними технічними параметрами, що трапляється досить часто, оскільки розробити всі можливі варіанти ядер комп'ютерних пристроїв є нереальною задачею.

Це вимагає їх розробки від початку самостійно або зовнішнім виконавцем, що є дорогим та вимагає багато часу.

2. Засоби проектування системного рівня

Таким чином, праця розробників-архітекторів ускладнюється і вимагає засобів автоматизації. Тому в останні роки розробники НВІС та САПР стали звертати увагу на системний рівень проектування (*Electronic System Level – ESL*). Потребу в засобах проектування системного рівня спричиняє збільшення розмірів проектів та бажання зменшити витрати на проектування.

Основна мета створення засобів проектування на системному рівні – це прискорення та спрощення процесу проектування, в якому передбачається, що розробнику не потрібно досконально володіти схемотехнічними навичками, а лише вміти програмувати на мові високого рівня. Мови проектування *ESL* більш схожі по синтаксису та семантиці до популярної мови *ANSI C*, ніж до мов опису апаратних засобів, таких як *Verilog* чи *VHDL*.

Технологія проектування на системному рівні дозволяє інженеру досліджувати архітектурні альтернативи та автоматично створювати оптимальні реалізації спеціалізованих процесорів з мови високого рівня [14].

Наприклад, реалізація *MPEG* алгоритму може бути різною для *DVD* плеєра та відеокамери. Алгоритм незмінний, проте архітектура змінюється залежно від задачі.

Виконані на даний час проекти в рамках технології синтезу спеціалізованих процесорів з мови високого рівня сфокусовані на проектуванні оптимізованих за деякими критеріями універсальних процесорів новітніх архітектур, зокрема *VLIW*, *EPIC*, *TTA*, etc. Зокрема проект *MOVE* [15], передбачає автоматизоване проектування тракту даних *TTA*, до складу якого входять набір функціональних блоків, набір регістрових файлів та комунікаційна мережа для організації їх зв'язку.

Робота [16] подібним чином орієнтована на проектування тракту даних процесора кластерної архітектури *VLIW*, орієнтованої на область застосування.

Автоматичному синтезу оптимізованих процесорів *VLIW* присвячена робота [17]. Проект передбачає визначення кількості і типів функціональних блоків процесора, кількість портів регістрового файлу, вибір формату команд та синтез засобів для їх декодування.

Робота [18] присвячена питанням автоматичної оптимізації системи команд спеціалізованих процесорів, які синтезуються на основі *VLIW* архітектури.

3. Система ХАМЕЛЕОН

Науково-виробничим підприємством «Інтрон» розроблено програмну систему ХАМЕЛЕОН для автоматичної генерації моделей СП на основі попереднього опису, створеного на мові С [19]. Система ХАМЕЛЕОН призначена для автоматизації праці проектувальників СП.

Вона дозволяє в сотні разів скоротити кількість людино-годин, необхідних для проектування і тестування СП на програмованих мікросхемах порівняно з розробкою традиційними засобами.

Система ХАМЕЛЕОН доповнює програмні засоби для конструкторів мікросхем, які пропонуються лідерами ринку Altera і Xilinx, використовуючи при цьому пропоновані ними типи програмованих логічних інтегральних схем (FPGA).

Шлях до створення засобів автоматичної генерації програмних моделей комп'ютерних пристроїв з мови високого рівня на підприємстві «Інтрон» було розпочато 8 років тому з перших в світі проектів по розробці ІР ядер.

Разом з цим, розуміючи перспективність на пряму, наукова діяльність фірми концентрувалася на розробці генераторів ІР ядер і надалі трансформувалася в роботу над засобами автоматичної генерації програмних моделей комп'ютерних пристроїв.

Архітектура системи ХАМЕЛЕОН базується на десятках патентів і авторських свідоцтв на винаходи. У планах фірми – тестування системи і її адаптація до різних класів обчислювальних алгоритмів, оптимізація системи під програмовані мікросхеми різних виробників (на даному етапі вона оптимізована лише під мікросхеми фірми Xilinx серій Virtex), подальше дослідження архітектури і розширення можливостей системи у напрямі автоматичного тестування програмних моделей, що генеруються.

Паралельно планується впровадження маркетингової стратегії і просування системи «ХАМЕЛЕОН» на світовий ринок. Завершення робіт по відпрацюванню дослідного зразка системи Хамелеон планується у І кварталі 2009 року.

Вхідними даними для проектування СП в системі ХАМЕЛЕОН є опис виконуваного алгоритму на мові високого рівня та специфікація інтерфейсу і характеристики спеціалізованих процесорів. В тестовому зрізці системи в якості мови опису алгоритму використано мову Сі.

Базовою платформою для синтезу спеціалізованих процесорів з мови високого рівня є нарощувана архітектура конфігурованого процесора, яка забезпечує вибір за допомогою конфігураційних параметрів: кількості функціональних блоків, складу системи команд кожного функціонального моду-

ля, об'єму та складу пам'яті програм та даних, структури комунікаційної мережі.

Програмні засоби системи забезпечують синтез цих вузлів та спеціалізованих процесорів в цілому, а також їх опис мовою VHDL.

В доповіді розглядаються питання побудови та застосування системи ХАМЕЛЕОН для синтезу спеціалізованих процесорів.

4. Результати тестування системи ХАМЕЛЕОН

Метою дослідження було порівняння продуктивності синтезованих за допомогою системи ХАМЕЛЕОН спеціалізованих процесорів з продуктивністю виконання відповідних алгоритмів на базі сучасного універсального комп'ютера. Дослідження проведено на основі алгоритму швидкого перетворення Фур'є.

В якості апаратних платформ вибрано плату фірми PLDA, в яку входять ПЛІС фірми Xilinx серії Virtex4, а також персональні комп'ютери з наступними конфігураціями:

1) перша конфігурація – процесор Intel Celeron 2.0 ГГц, ОЗП 1 Гб, ОС Windows XP Professional SP2;

2) друга конфігурація – процесор AMD Athlon 64XP 2.0 ГГц, ОЗП 1 Гб, ОС Windows XP Professional SP2.

Досліджувана апаратна платформа взаємодіє з універсальним процесором через інтерфейс PCI-E. Передача даних на платформу організована за допомогою черги розміщеної в ПЛІС плати PLDA.

Ядро платформи зчитує та записує дані в дану чергу. Організацію обміну даними з пам'яттю персонального комп'ютера через шину PCI Express у чергу покладено на засоби роботи з платою, так звані функції API (Application Program Interface).

Передача даних відбувається за допомогою каналів прямого доступу до пам'яті DMA (Direct Memory Access). DMA канал дозволяє безпосередньо проводити обмін з основною пам'яттю не витрачаючи ресурси центрального процесора.

Загальна схема тестування (рис. 1) складається з функції вводу-виводу даних з файлу, функції вводу-виводу даних з СП, функції порівняння з еталонними значеннями та функції, яка виконує поставлену задачу за допомогою ресурсів ПК.

Отже, схема тестування дозволяє перевірити правильність виконання алгоритмів, визначити час виконання алгоритмів на універсальному комп'ютері, а також визначити час виконання алгоритму на спеціалізованому процесорі, синтезованому за допомогою системи ХАМЕЛЕОН.

Виконання алгоритму на досліджуваній плат-

формі знімає навантаження з універсального процесора. Це підтверджують графіки, показані на рис. 2 та 3.

Рис. 2 показує, що виконання ШПФ на 1024 точки спричиняє 100% завантаження процесора (відмічено на графіку).

Основне навантаження на процесор (відмічене на рис. 3) відбулося при зчитуванні та записі даних з

досліджуваної платформи (відбулося 2 пікових навантаження).

На рис. 4 показані результати тестування виконання алгоритму ШПФ – 1024 на досліджуваних платформах. Отриманий з допомогою системи ХАМЕЛЕОН спеціалізований процесор в десятки разів випереджає за продуктивністю універсальний процесор.

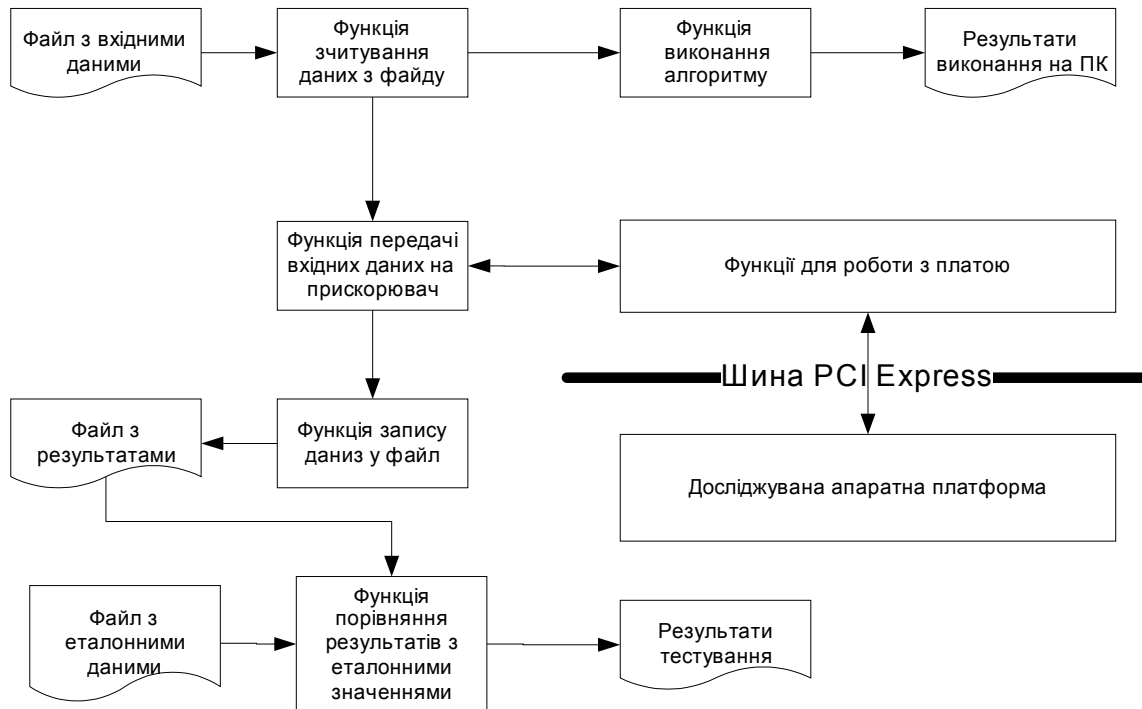


Рис. 1. Схема тестування проєктованих пристроїв

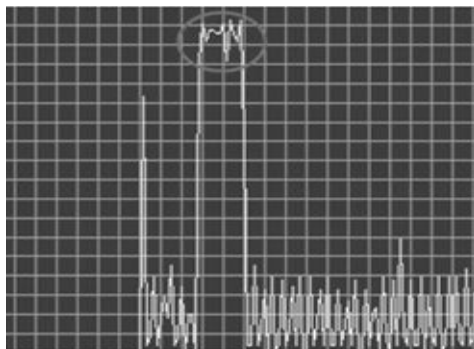


Рис. 2. Завантаження універсального процесора при виконанні алгоритму ШПФ

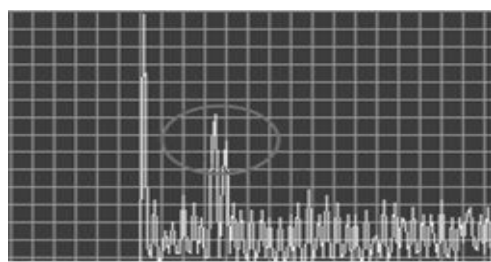


Рис. 3. Завантаження універсального процесора при виконанні алгоритму ШПФ на отриманому спец. процесорі

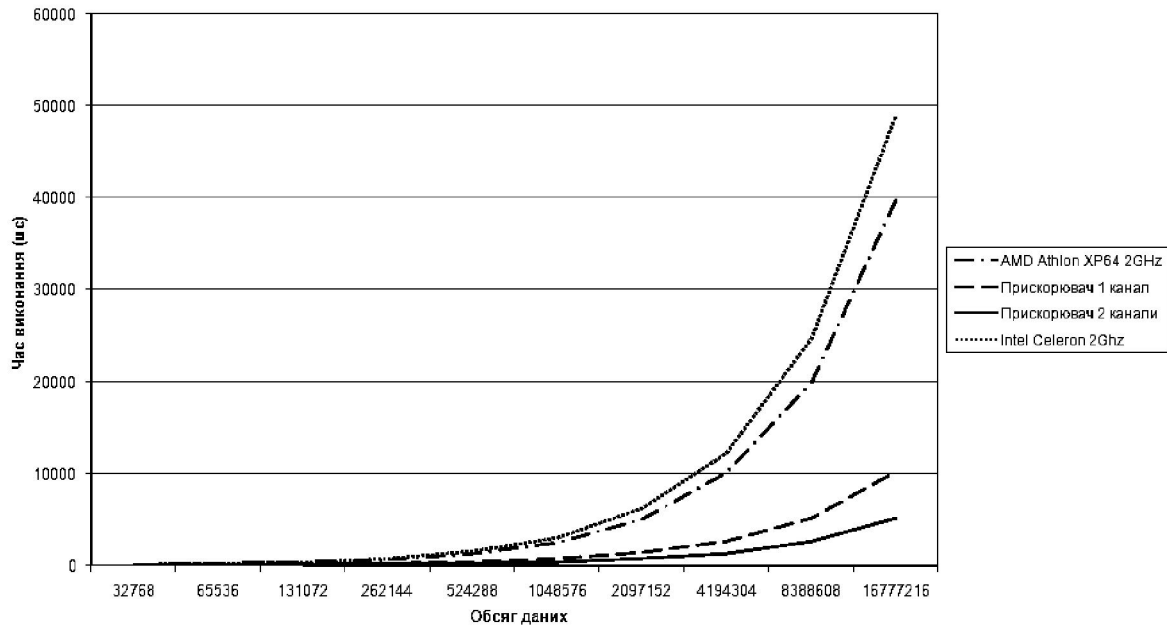


Рис. 4. Залежність часу виконання алгоритму ШПФ -1024 від обсягів даних на досліджуваних платформах

Висновки

Розглянуто розвиток сучасних технологій проектування СП, а також проаналізовані задачі, переваги та недоліки існуючих систем проектування СП на системному рівні.

Представлена програмна система ХАМЕЛЕОН для автоматичної генерації моделей СП на основі попереднього опису, створеного на мові високого рівня. Наведені результати тестування системи ХАМЕЛЕОН.

Література

1. IEEE, *Standard VHDL Language Reference Manual. Standard 1076–1993*, NY: IEEE, New York, 1993.
2. IEEE, *Standard Verilog Hardware Description Language Reference Manual. Standard 1364 – 1995*, NY: IEEE, New York, 1995.
3. Mentor Training *Learn Best Practices from Industry Experts* [Електронний ресурс]. – Режим доступу к ресурсу: www.mentor.com.
4. Cadence Design Systems *is the world's leading EDA company* [Електронний ресурс]. – Режим доступу к ресурсу: www.cadence.com.
5. *A world leader in electronic design automation Synopsys* [Електронний ресурс]. – Режим доступу к ресурсу: www.synopsys.com.
6. Melnyk A., Dunets B. *FFT Processor IP Cores synthesis on the base of configurable pipeline architecture* / A. Melnyk, B. Dunets // *Proceedings of the VII International Conference “The experience of*

Designing and Application of CAD Systems in Microelectronics” (CADSM’2003), Lviv-Slavske, 18 – 22 February, 2003. – P. 211.

7. *IP-Based SoC Design Methodology* [Електронний ресурс] / Han Qi, Liang Yu, Wei Tong Li, Zheng Jiang, Jia Wei // *IST World portal – 2000.* – Режим доступу к ресурсу: www.ist-world.org.

8. Lavafno L. Sangiovanni-Vincentelli A. *System-level design models and implementation techniques* / L. Lavafno, A. Sangiovanni-Vincentelli // *Proceedings International Conference on Application of Concurrency to System Design, 1998.* – P. 24-32.

9. Lapsley P. *DSP Cores Bring New Levels of Integration* / P. Lapsley, J. Bier // *Microprocessor report, August 1994.*

10. Keating M. *Reuse Methodology Manual for System-On-a-Chip Design* / M. Keating, P. Bricaud // *Kluwer Academic Publishers, 1999.* – P. 224.

11. Melnyk A. *Computer Devices Cores Design Methodology* / A. Melnyk, V. Melnyk // *Computer System and Networks, Lviv Polytechnic National University, Lviv, 2002.* – P. 3-9.

12. Melnyk A. O. *Conceptions of designing of ASIC’s scalable parametric processor cores* / A.O. Melnyk, A. Al-Khatyb // *Computer System and Networks, Lviv Polytechnic National University, Lviv, 2001.* – P. 44-47.

13. Melnyk A. *Newest Computer Devices Design Technology on a Base of Configurable Models* / A. Melnyk // *Proceedings of “Advanced Computer Systems and Networks” First International Conference, Lviv Polytechnic National University, Lviv, 2003.* – P. 10-12.

14. Abraham S.G. *Efficient Design Space Exploration in PICO* / S.G. Abraham, B.R. Rau // CASES'00, San Jose, CA, November 17 – 19, 2000.

15. Corporaal H. *Microprocessor Architectures: From VLIW to TTA* / H. Corporaal // John Wiley & Sons, Inc., New York, NY, 1997. – P. 15-25.

16. Fisher J.A. *Custom-Fit Processors: Letting Applications Define Architectures* / J.A. Fisher, P. Faraboschi // In 29th Annual IEEE/ACM Symposium on Microarchitecture, Paris, December 1996. – P. 324 – 335.

17. Aditya Sh. *Automatic architectural synthesis of VLIW and EPIC processors* / Sh. Aditya // Hewlett-Packard Laboratories, Palo Alto, CA 94304.

18. Goodwin D. *Automatic Generation of Application Specific Processors* / D. Goodwin, D. Petkov // CASES'2003, San Jose, California, USA, Oct. 30 – Nov.1, 2003.

19. Melnyk A. *Automatic generation of ASICs* / A. Melnyk, A. Salo // NASA-ISA Conference AHS-2007, Edinburgh, 2007. – P. 96-101.

Надійшла до редакції 10.02.2008

Рецензент: д-р техн. наук, проф., завідувач кафедри комп'ютерних систем та мереж В.С. Харченко, Національний аерокосмічний університет ім. М.Є. Жуковського «ХАІ», Харків, Україна.

ХАМЕЛЕОН – СИСТЕМА ВИСОКОУРОВНЕВОГО СИНТЕЗА СПЕЦІАЛІЗОВАНИХ ПРОЦЕССОРОВ

А.А. Мельник, А.Н. Сало, В. Клименко, Л. Цигилик, А. Юрчук

Рассмотрено технологию проектирования системы на кристалле. Показано, что на данном этапе развития компьютерной отрасли особенное место занимают средства проектирования компьютерных устройств на системном уровне. Основной целью создания таких средств проектирования на системном уровне есть ускорение и упрощение процесса проектирования, в котором предусмотрено, что разработчику не нужно досконально владеть схемотехническими навыками, а только уметь программировать на языке высокого уровня. Предложено систему ХАМЕЛЕОН, которая предназначена для автоматизации проектирования специализированных процессоров. Она позволяет в сотни раз сократить количество человеко-часов, необходимых для проектирования и тестирования специализированных процессоров на программируемых микросхемах по сравнению с традиционными средствами. Описана методика тестирования системы ХАМЕЛЕОН. Приведены характеристики специализированных процессоров, синтезированных с помощью системы ХАМЕЛЕОН.

Ключевые слова: специализированный процессор, проектирование компьютерных устройств на системном уровне, СБИС, ПЛИС, система на кристалле.

CHAMELEON – ELECTRONIC SYSTEM LEVEL DESIGN OF SPECIALIZED PROCESSORS

A.O. Melnyk, A.M. Salo, V. Klymenko, L. Tsyhylyk, A. Yurchuk

System-on-Chip design technology is being considered in the paper. It is shown, that on this stage of computer industry development special role plays electronic system level (ESL) design. The main aim of ESL design tool is to make process of development faster and simpler. Designer doesn't have to know clearly how the hardware works and has to be only able to develop the software. CHAMELEON system is intended for specialized processor design automation. It allows decreasing in hundred times the amount of m/hrs necessary for design and testing of specialized processors on FPGA by traditional methods. The approach of CHAMELEON system testing is described. The characteristics of specialized processors generated by CAMELEON system are shown.

Key words: specialized processor, ESL design, FPGA, SoC.

Мельник Анатолій Олексійович – доктор технічних наук, професор, директор науково-виробничого підприємства «Інтрон».

Сало Андрій Миколайович – старший науковий співробітник науково-виробничого підприємства «Інтрон».

Клименко Валерій – науковий співробітник науково-виробничого підприємства «Інтрон».

Цигилик Любомир – науковий співробітник науково-виробничого підприємства «Інтрон».

Юрчук Анатолій – науковий співробітник науково-виробничого підприємства «Інтрон».