

УДК 638.322

В.П. ТАРАСЕНКО, О.К. ТЕСЛЕНКО, А.І. РОГОВЕНКО

*Національний технічний університет України “КПІ”, Україна***МЕТОД ГРУПОВОГО ПЕРЕНЕСЕННЯ СУМАТОРА ЗА ЗМІННИМ МОДУЛЕМ**

Розглядається можливість використання ланцюгів групового перенесення у структурі суматорів за змінним модулем, побудованих на основі одновимірного каскаду конструктивних модулів (ОККМ). Запропоновано структуру суматора на основі ОККМ, яка в порівнянні з раніш запропонованими підвищує швидкодію за рахунок використання ланцюгів групового перенесення. У відповідності до запропонованої структури реалізовано фізичний пристрій на основі Spartan-3A DSP 1800A Starter Board для тестування суматорів за змінним модулем і проведено серію експериментів. На основі отриманих результатів зроблені висновки щодо перспективності застосування ланцюгів групового перенесення у суматорах за змінним модулем на ОККМ для суттєвого підвищення швидкодії.

Ключові слова: *одномірний каскад конструктивних модулів, VHDL, ПЛІС, суматор за змінним модулем, групове перенесення.*

Вступ

В обчислювальних системах на основі ПЛІС операції додавання за змінним модулем як правило виконуються за класичною схемою, з використанням звичайних суматорів та компараторів, представлених у вигляді бібліотечних функцій або макроелементів. У попередніх роботах було запропоновано використовувати для виконання операції додавання за змінним модулем одновимірний каскад конструктивних модулів (ОККМ) [1 – 4]. Теоретично такі суматори мають переваги перед класичними як по швидкодії, так і по затратах. В роботах [2, 3] запропоновано декілька структур суматорів за змінним модулем на ОККМ. Схеми суматорів описувались на мові VHDL та за допомогою САПР оцінювались параметри по швидкодії та складності.

В роботі [4] визначено максимальну швидкість суматорів як на ОККМ так і по традиційній схемі при реалізації на ПЛІС. Для забезпечення найбільшої об'єктивності проведення досліджень була розроблена схема перевірки, яка дозволила визначити кількість операцій додавання за змінним модулем за одиницю часу, зроблених без помилок. За допомогою цієї схеми проведено ряд дослідів з суматорами на основі ОККМ та на основі класичної схеми. Результати експериментів дали змогу визначити той факт, що на ПЛІС типу CPLD досягаються переваги або по швидкості, або апаратних затратах. В випадку ПЛІС FPGA Spartan3E класична реалізація суматора за змінним модулем поступається по швидкості реалізації на ОККМ лише при значеннях розрядності 8 та 16, має однакові параметри швидкості при розрядності 32 та 64, та має кращі показники по

швидкості при розрядності 128 і більше. В випадку ПЛІС FPGA Spartan 3A DSP класична реалізація суматора за змінним модулем поступається по швидкості реалізації на ОККМ лише при значеннях розрядності 8 та 16, має однакові параметри швидкості при розрядності 32, та має кращі показники по швидкості при розрядності 64 і більше [4]. Перевага класичних реалізацій при великій розрядності пояснюється застосуванням фірмових параметричних модулів, які відпрацьовані з повним використанням особливостей конкретних структур FPGA (підключення засобів швидкісного перенесення і т.п.), особливо в серіях мікросхем, орієнтованих на цифрову обробку сигналів (ЦОС). Імплементація ж суматорів на ОККМ виконувалась виключно засобами САПР.

В той же час, як показано в [5], суматори за змінним модулем на ОККМ мають значні резерви для підвищення швидкості структурними методами.

У даній статті розглядається можливість підвищення швидкодії суматорів за змінним модулем за допомогою ланцюгів групового перенесення, які додатково вносять в структуру суматора на основі ОККМ.

Метою дослідження є вивчення впливу додаткових ланцюгів групового перенесення на швидкодію суматорів на основі ОККМ.

У задачі дослідження входило:

- аналіз методики інтегрування у структуру суматора за змінним модулем на ОККМ ланцюгів групового перенесення;
- проведення серії експериментів з метою визначення приросту швидкості при реалізації нової структури суматора на ПЛІС.

1. Експериментальна частина

Попередня реалізація суматорів за змінним модулем була виконана на мові VHDL. Архітектура суматорів приведена у [3], тому базуючись на попередніх даних внесемо до складу їх структури ланцюги групового перенесення.

Нехай на кожен із S модулів подається m розрядів X, Y, P , тобто розрядність $X, Y, P - S * m$

На рис. 1 літерами позначено:

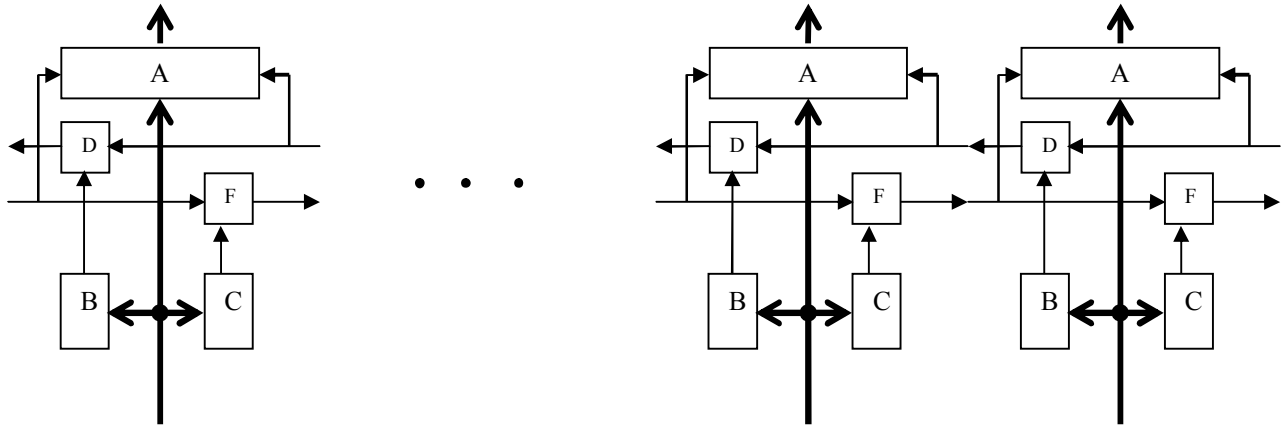


Рис. 1. Структура суматора з груповим перенесенням

На крайні бокові входи подаються стандартні коди класів b та e , та основні входи - X, Y, P

Всі блоки B та C одночасно за час t_{BC} формують допоміжні значення для блоків D та F відповідно. Блок D на основі попередньо підготовлених даних із блоку B та стандартних кодів перенесення в $(m*(i+1))$ -й розряд, формують коди перенесення в $(m*i)$ -й розряд ($i = 1, 2, \dots, S$). Аналогічно блок F на основі попередньо підготовлених даних із блоку C та стандартних кодів перенесення в $(m*(i-1))$ -й розряд формують коди перенесення в $(m*i)$ -й розряд ($i=1, 2, \dots, S$).

Тоді затримку t_{Σ} на суматорі з груповим перенесенням в цілому можна оцінити за формулою (1).

$$t_{\Sigma} = t_{BC} + (S - 1)t_{DF} + mt_1, \quad (1)$$

де t_{DF} – затримка на блоках D та F ;

t_1 – затримка сигналів перенесення на один розряд суматора на ОККМ;

t_{BC} – затримка на блоках B та C .

Очевидно, що при $t_{DF} < mt_1$

$$t_{\Sigma} < Smt_1. \quad (2)$$

Розглянемо основи побудови блоків B та C . Позначимо:

$$X_{t,s} = \langle x_s, x_{(s+1)}, \dots, x_t \rangle, \quad Y_{t,s} = \langle y_s, y_{(s+1)}, \dots, y_t \rangle, \\ P_{t,s} = \langle p_s, p_{(s+1)}, \dots, p_t \rangle$$

Легко перевірити, що кортеж логічних функцій сигналів перенесення в старші розряди (нехай в роз-

A – стандартний m -розрядний суматор по змінному модулю на ОККМ;

B – блок попередньої підготовки перенесення в старші розряди;

C – блок попередньої підготовки перенесення в молодші розряди;

D – блок формування перенесення в старші розряди;

F – блок формування перенесення в молодші розряди.

ряд $(m*i)$) буде визначатися як:

$$U_{m*i} (X_{(m*i-1),0}, Y_{(m*i-1),0}, P_{(m*i-1),0}) = \\ = U_4(U_2(X_{(m*i-1),(m*(i-1)-1}));$$

$$Y_{(m*i-1),(m*(i-1)-1}, P_{(m*i-1),(m*(i-1)-1}));$$

$$U_{m*(i-1)} (X_{(m*(i-1)-1),0}, Y_{(m*(i-1)-1),0}, P_{(m*(i-1)-1),0})$$

Таблиця 1

Функції блоку D

	a	b	c	d
1	a	a	a	a
2	a	a	a	b
3	a	b	b	b
4	b	b	b	b
5	b	b	c	d
6	b	b	c	c
7	a	b	c	c
8	c	c	c	c
9	c	c	c	d
10	c	d	d	d
11	d	d	d	d

При цьому функції кортежу U_4 визначаються значеннями в таблиці 1, де стовпчики – код стандартного перенесення з розрядів з номерами $m*(i-1)$, рядки – класи для блоку D , клітинки – значення перенесення в розряд з номером $m*i$.

Аналогічно визначається кортеж булевих функцій для блоку F (табл. 2).

Із табл. 2 випливає, що при перенесенні в сторону молодших розрядів кількість класів (кількість різних рядків таблиці) фактично не 11, а 7. В цьому випадку в один і той же клас об'єднуються класи (3 та 7), (4,6 та 8), (5 та 9) із табл. 1.

Тобто будь-який із класів, які реалізуються блоком В, повністю міститься в одному із класів блоку С. Це дозволяє скоротити затрати на реалізацію цих блоків, оскільки достатньо реалізувати блок В, а функції блоку С легко реалізувати на базі функцій блоку В.

Реалізація блоку В. Варіант структури показано на рис.2, де для спрощення позначень вибрано m молодших розрядів. Для інших груп по m розрядів схема блоку така ж.

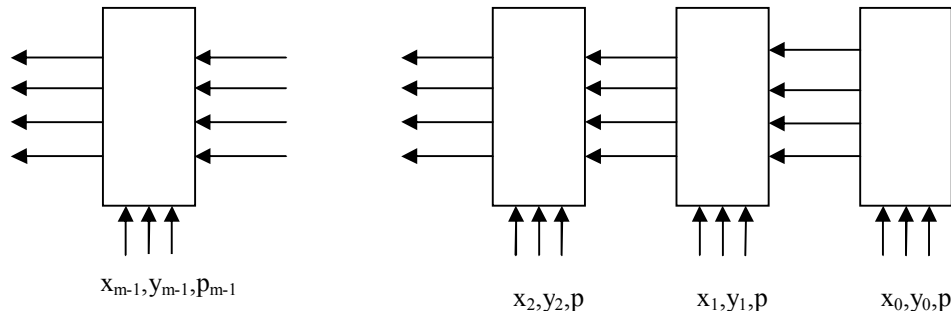


Рис. 2. Структура блоку В

2. Результати експериментів

Експерименти проводилися на базі фізичного пристрою Spartan-3A DSP 1800A Starter Board. Для досліджень використовувалась раніше розроблена схема тестування (рис. 3), принцип роботи якої описаний в [4]. Враховуючи, що згідно з рис. 2, t_{bc} має значення пропорційне m , для експерименту вибрано найгірший випадок – $S = 2$.

Таблиця 3

Результати визначення продуктивності суматора в FPGA Spartan 3A DSP

Розрядність, біт	ОККМ без групового перенесення, млн. оп/сек	ОККМ з груповим перенесенням, млн. оп/сек
32	60	70
64	30	35
128	15	18
256	8	10
512	4	5
1024	1	1.25

Відповідно до схеми була проведена серія експериментів результати яких приведені у табл. 3. Подібним чином проведено експеримент на базі фізич-

Таблиця 2

Функції блоку F

	h	K	e	g
1	h	H	h	g
2	h	H	k	g
3	h	H	e	g
4	h	H	g	g
5	h	K	g	g
6	h	H	g	g
7	h	H	e	g
8	h	H	g	g
9	h	K	g	g
10	h	E	g	g
11	h	G	g	g

ного пристрою Spartan3E Starter Kit з іншим різновидом ПЛІС цього ж сімейства. Результати наведені в таблиці 4.

Таблиця 4

Результати визначення продуктивності суматора в FPGA Spartan 3E

Розрядність, біт	ОККМ без групового перенесення, млн. оп/сек	ОККМ з груповим перенесенням, млн. оп/сек
32	20	24
64	15	17
128	8	10
256	4	5
512	1	1.25
1024	0.25	0.25

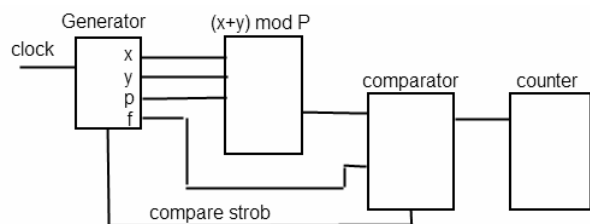


Рис. 3. Схема для визначення швидкодії суматорів за змінним модулем

Досліди проводилися на суматорах без будь-якої оптимізації при значенні $m=n/2$, де n розрядність суматора.

Як видно із табл. 3 та 4, навіть в найгіршому випадку при $S = 2$ досягається підвищення швидкості.

Як наслідок можна вважати, що $t_{BC} < mt_1$.

3. Шляхи подальшої оптимізації

Додатково можна виділити ще один з напрямків підвищення швидкодії, це визначення оптимального значення m при заданій розрядності суматора. Виходячи з (1) для нашого випадку маємо вираз t

$$t_p = t_{BC} + (n/m-1) * t_{DF} + m * t_1.$$

Тому при відомих значеннях затримок на кожному модулі та блоку, можна знайти оптимальне значення m . Для цього потрібно знайти екстремуми функції, зокрема мінімуми.

Наприклад в даному випадку $t_{BC}=1.1$ нс, $t_{DF}=0.9$ нс, затримка ж на одному розряді суматора $t_1=1.5$ нс, розрядність приймемо 32, і знайдемо мінімум - $m=4,38$.

Отже можна припустити що взявши $m=4$ у тридцяти двох розрядному суматорі можна досягти збільшення швидкодії.

Для перевірки такого припущення проведено експеримент. Кількість операцій в секунду вийшла рівною 72.5 мільйонів. Тобто, вочевидь, що наше припущення є вірним.

Висновок

За результатами досліджень слід відзначити, що застосування методу групового перенесення в найгіршому випадку ($S = 2$) вдалось додатково перевершити швидкість класичної схеми для ПЛІС FPGA Spartan3E при розрядності 64, та зрівняти при розрядності 128 та 256. Для ПЛІС FPGA Spartan 3A DSP вдалось додатково перевершити класичне вирішення при розрядності 32.

Експериментальна перевірка показала також наявність кращих значень S , що підтверджує доцільність пошуку оптимальних значень розрядності блоків А. Зокрема, розрядність не обов'язково повинна бути однаковою для всіх блоків А.

Експериментальне визначення швидкодії суматора за змінним модулем на основі ОККМ з використанням групового перенесення проводилося тільки на ПЛІС Spartan-3E та Spartan-3A, які на теперішній час не є широкоживаними для реалізації на їх основі складних обчислювальних систем. Тому базуючись на результатах симуляції на часовому рівні, можна зробити висновок, що приріст швидкодії суматорів, реалізованих у ПЛІС старших сімейств (Virtex 5, Virtex 6, Spartan 6), буде носити подібний характер.

Таким чином, подальші дослідження слід спрямувати на визначення оптимальних значень m , та визначення оптимальних кодів класів, заданих в табл. 1 та 2 для зменшення t_{DF} та t_{BC} .

Література

1. Тарасенко В.П. Реалізація операцій в скінчених полях на одновимірному каскаді конструктивних модулів / В.П. Тарасенко, О.К.Тесленко // Системні дослідження та інформаційні технології. – 2006. - № 2. – С. 45-51.
2. Тарасенко В.П. Створення параметричних ядер (softcores) для виконання операцій в скінчених полях / В.П. Тарасенко, О.К. Тесленко, А.І. Роговенко // Радіоелектронні і комп'ютерні системи. – 2008. - № 6. - С. 261-264.
3. Тарасенко В.П. Оптимізація апаратних витрат на реалізацію параметричних ядер (soft-cores) для виконання операцій в скінчених полях / В.П. Тарасенко, О.К. Тесленко, А.І. Роговенко // Радіоелектронні і комп'ютерні системи. – 2009. - № 5. - С. 184-189.
4. Tarasenko V. The performance defining for adders with variable module based on one-dimensional cascade of constructional modules. *Advanced Computer System and Networks: Design and Application / V. Tarasenko, O. Teslenko, A. Rogovenko // Proceedings of the 4th International Conference ACSN-2009. – Lviv. - 2009. – P. 11-13.*
5. Тарасенко В.П. Быстродействующие много-разрядные сумматоры по переменному модулю / В.П. Тарасенко, А.К. Тесленко // Материали міжнародної науково-практичної конференції «Інформаційні технології та інформаційна безпека в науці, техніці та освіті» «ІНФОТЕХ-2007». – СевНТУ. – 2007. - С. 93-97.
6. Spartan-3 Generation FPGA User Guide., UG331 (v1.5) Xilinx, January 21, 2009. - P 211-247.

Надійшла у редакцію 5.02.2010

Рецензент: д-р техн. наук, проф., завідувач кафедри комп'ютерних систем та мереж В.С. Харченко, Національний аерокосмічний університет ім. М.Є. Жуковського «ХАІ», Харків, Україна.

**МЕТОД ГРУППОВОГО ПЕРЕНОСА СУММАТОРА
ПО ПЕРЕМЕННОМУ МОДУЛЮ***В.П. Тарасенко, А.К. Тесленко, А.И. Роговенко*

Рассматривается возможность использования цепей группового переноса в структуре сумматоров по переменному модулю, построенных на основе одномерного каскада конструктивных модулей (ОККМ). Предложена структура сумматора на основе ОККМ, которая в сравнении с ранее описанными повышает быстродействие за счет использования цепей группового переноса. В соответствии с предложенной структурой реализовано физическое устройство на основе Spartan-3A DSP 1800A Starter Board для тестирования сумматоров по переменному модулю и проведена серия экспериментов. На основе полученных результатов сделаны выводы относительно перспективности использования цепей группового переноса в сумматорах по переменному модулю на основе ОККМ для существенного увеличения быстродействия.

Ключевые слова: одномерный каскад конструктивных модулей, VHDL, ПЛИС, сумматор по переменному модулю, групповой перенос.

**BLOCK CARRY CHAIN METHOD OF CONGRUENCE ADDERS
WITH VARIABLE MODULE***V.P. Tarasenko, A.K. Teslenko, A.I. Rogovenko*

The possibilities of using block carry chains in the structure of congruence adder with variable module based on one-dimensional cascade of constructive units are considered in this issue. It is proposed the structure of adders based on ODCCU, which in comparison with previously described increasing performance by using of block carry chain. The digital system is implemented in Spartan-3A DSP 1800A Starter Board for testing congruence adder with variable module, according the proposed structure. Bases on the results of the experiments it was made conclusion of possibility to use the block carry chain in for the congruence adder with variable module based on ODCCU for the increase in performance.

Key words: one-dimension cascade of constructive units, VHDL, PLD, the congruence adder with variable, block carry chains.

Тарасенко Володимир Петрович – д-р техн. наук, професор, завідувачий кафедрою спеціалізованих комп'ютерних систем Національного технічного університету України "КПІ", Київ, Україна, e-mail: vtarasen@scs.ntu-kpi.kiev.ua.

Тесленко Олександр Кирилович – канд. техн. наук, старший науковий співробітник, доцент кафедри спеціалізованих комп'ютерних систем Національного технічного університету України "КПІ", Київ, Україна, e-mail: teslenko@scs.ntu-kpi.kiev.ua.

Роговенко Андрій Іванович – аспірант, старший викладач кафедри інформаційних та комп'ютерних систем Чернігівського державного технологічного університету, Чернігів, Україна, e-mail: arogovenko@gmail.com.