

УДК 004.33

А.О. МЕЛЬНИК, В.А. МЕЛЬНИК

Національний університет «Львівська політехніка», Україна

## СТРУКТУРНА ОРГАНІЗАЦІЯ ПАРАЛЕЛЬНОЇ ПАМ'ЯТІ З ВПОРЯДКОВАНИМ ДОСТУПОМ З ПОПЕРЕДНІМ НАЛАШТУВАННЯМ ТА ЇЇ РЕАЛІЗАЦІЯ В ПРОГРАМОВНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМАХ

Наведено класифікаційні ознаки пам'яті з впорядкованим доступом та запропоновано на їх основі реалізацію в програмовних логічних інтегральних схемах паралельної пам'яті з впорядкованим доступом з попереднім налаштуванням. Здійснено вибір характеристик цієї пам'яті, а саме – кількості входів даних, кількості виходів даних, часу введення даних, часу виведення даних розрядності даних, ємності пам'яті. Розроблено програмну модель цієї пам'яті мовою VHDL, проведено моделювання та наведено результати симуляції її роботи, виконано її логічний синтез. Наведено результати реалізації цієї пам'яті в програмовних логічних інтегральних схемах фірми Xilinx.

**Ключові слова:** паралельна пам'ять, багатопортова пам'ять, пам'ять з впорядкованим доступом, програмовні логічні інтегральні схеми.

### Вступ

В роботах [1-4] запропоновано методи побудови та структурну організацію пам'яті з впорядкованим доступом (ПВД). Пам'ять з впорядкованим доступом орієнтована на роботу з масивами даних. В цій пам'яті забезпечується доступ до даних у наперед встановленому порядку, що вказує місце даного у вихідному масиві.

Вхідні дані записують до ПВД з 1 портів рядками матриці

$$\begin{vmatrix} ID_{0,0} & ID_{0,1} & \dots & ID_{0,1-1} \\ ID_{1,0} & ID_{1,1} & \dots & ID_{1,1-1} \\ \dots & \dots & \dots & \dots \\ ID_{k-1,0} & ID_{k-1,1} & \dots & ID_{k-1,1-1} \end{vmatrix}, \quad (1)$$

де  $ID_{i,j}$  – вхідне дане, яке знаходиться в  $i$ -му рядку ( $i = 0,1,\dots, k-1$ ) та  $j$ -му стовпці ( $j = 0,1,\dots, 1-1$ ) матриці вхідних даних.

Вихідні дані зчитують з ПВД на  $n$  портів рядками матриці

$$\begin{vmatrix} OD_{0,0} & OD_{0,1} & \dots & OD_{0,n-1} \\ OD_{1,0} & OD_{1,1} & \dots & OD_{1,n-1} \\ \dots & \dots & \dots & \dots \\ OD_{m-1,0} & OD_{m-1,1} & \dots & OD_{m-1,n-1} \end{vmatrix}, \quad (2)$$

де  $OD_{s,t}$  – вихідне дане, яке знаходиться в  $s$ -му рядку ( $s = 0,1,\dots, m-1$ ) та  $t$ -му стовпці ( $t = 0,1,\dots, n-1$ ) матриці вихідних даних.

Матриця індексів, які привласнюють кожному даному та за їх значенням, впорядковують дані, має вигляд

$$\begin{vmatrix} SID_{0,0} & SID_{0,1} & \dots & SID_{0,1-1} \\ SID_{1,0} & SID_{1,1} & \dots & SID_{1,1-1} \\ \dots & \dots & \dots & \dots \\ SID_{k-1,0} & SID_{k-1,1} & \dots & SID_{k-1,1-1} \end{vmatrix}, \quad (3)$$

де  $SID_{i,j}$  – індекс вхідного даного  $ID_{i,j}$ , яке знаходиться в  $i$ -му рядку ( $i = 0,1,\dots, k-1$ ) та  $j$ -му стовпці ( $j = 0,1,\dots, 1-1$ ) матриці вхідних даних.

Матриця індексів може надходити до ПВД разом з даними, або на її основі заздалегідь формують код впорядкування, який разом з даними також подають до ПВД.

Пам'ять з впорядкованим доступом є багатопортовою. Вона забезпечує: запис даних з портів, зберігання записаних даних, впорядкування записаних даних відповідно до числових значень індексів, які поступають з даними та визначають їх місце в масиві вихідних даних або відповідно до числового значення коду впорядкування, зчитування впорядкованих даних на порти.

ПВД може використовуватися як буферна багатопортова пам'ять, багатопортова пам'ять процесора, багатопортова пам'ять багатопроцесорної системи тощо. При цьому місце застосування ПВД визначається її класифікаційними ознаками, зокрема, наступними:

- розділені чи об'єднані входи і виходи даних;
- паралельне чи послідовне надходження даних та індексів або коду впорядкування, що передбачає налаштування ПВД перед виконанням впорядкування даних;
- спосіб впорядкування даних – за значенням

їх індексів чи за кодом впорядкування.

Відповідно до цих ознак можна запропонувати ряд типів пам'яті з впорядкованим доступом, серед яких – ПВД з попереднім налаштуванням.

В даній статті пропонується реалізація в програмованих логічних інтегральних схемах (ПЛІС) паралельної ПВД з попереднім налаштуванням, наводиться її структура, виконується її моделювання та робиться оцінка результатів її синтезу.

## 1. Паралельна ПВД з попереднім налаштуванням та опис її інтерфейсу

ПВД цього типу використовується для впорядкування даних в блоках одного розміру, рівного її ємності. Даний тип пам'яті названо пам'яттю з попереднім налаштуванням. Це означає, що перед подачею матриці вхідних даних до пам'яті подають матрицю їх індексів, яка налаштовує внутрішню структуру пам'яті таким чином, щоб забезпечити потрібний порядок розміщення даних у матриці вихідних даних. Пам'ять є паралельною, оскільки в режимі запису дозволяє одночасно записувати  $l$  даних, що складають рядок матриці вхідних даних, а також в режимі зчитування одночасно зчитувати  $n$  даних, що складають рядок матриці вихідних даних.

Інтерфейс паралельної ПВД з попереднім налаштуванням (рис. 1) має  $l$  входів та  $n$  виходів даних. Оскільки запис даних та їх індексів рознесено в часі, вони поступають до пам'яті послідовно, спочатку індекси, а після них дані тими ж входами. Фіксація обчисленого за значенням індексів коду налаштування відбувається сигналом  $T$ . Тут зображено два варіанти ПВД цього типу – з розділеними (ліворуч) та об'єднаними (праворуч) входами та виходами даних.

Зважаючи на подібність зовнішніх інтерфейсів та внутрішньої структури наведених типів ПВД, в

даній статті обмежимося реалізацією паралельної ПВД з попереднім налаштуванням з розділеними входами і виходами даних.

При розробленні ПВД постає завдання вибору її характеристик, а саме:

- кількості входів даних, що дорівнює кількості стовбців  $l$  в матриці вхідних даних;
- часу введення даних  $T_{in}$ , який можна визначити як  $T_{in} = k \cdot t_{clk}$ , де  $k$  – кількість рядків в матриці вхідних даних, яка відповідає кількості тактів запису даних до ПВД,  $t_{clk}$  – тривалість такту читання/запису даних в ПВД;
- кількості виходів даних, що дорівнює кількості стовбців  $n$  в матриці вихідних даних;
- часу виведення даних  $T_{out}$ , який можна визначити як  $T_{out} = m \cdot t_{clk}$ , де  $m$  – кількість рядків в матриці вихідних даних, яка відповідає кількості тактів читання даних з ПВД,  $t_{clk}$  – тривалість такту читання/запису даних в ПВД;
- розрядності даних  $N$ ;
- ємності, яка рівна  $Q = (k \cdot l = m \cdot n) \cdot N$ .

З метою перевірки роботоздатності при забезпеченні простоти виконання моделювання та синтезу паралельної ПВД з попереднім налаштуванням було вибрано наступні її характеристики:  $l = 4$ ,  $m = 4$ ,  $k = 2$ ,  $n = 2$ , розрядність даних  $N = 8$  бітів, ємність  $Q = 64$  біти. Розрядність індексів  $S$  визначено з виразу  $S = \log_2(m \cdot n) = \log_2(k \cdot l) = 3$ .

Опис мовою VHDL інтерфейсу паралельної ПВД з попереднім налаштуванням наведено на рис. 2.

На основі цього опису з використанням середовища проектування Xilinx ISE 13.2 було виконано синтез паралельної ПВД з попереднім налаштуванням, графічне позначення інтерфейсу якої показано на рис. 3.

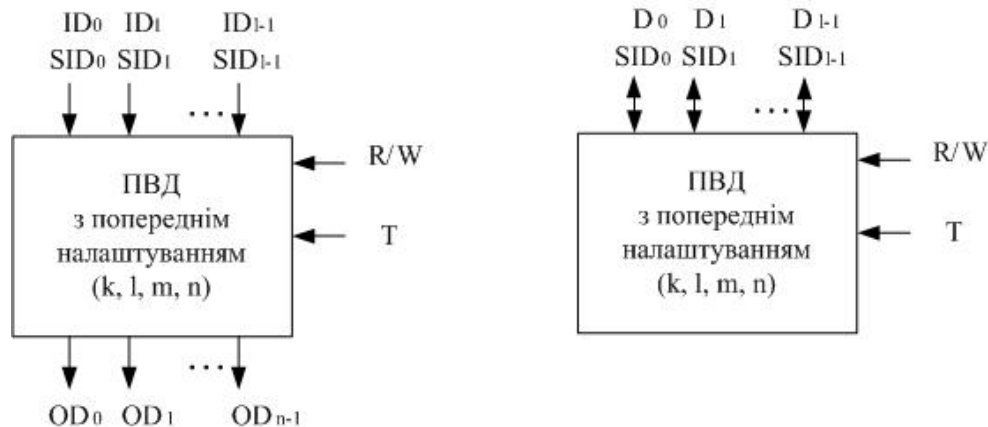


Рис. 1. Інтерфейс паралельної ПВД з попереднім налаштуванням з розділеними та об'єднаними входами і виходами даних

```

ENTITY pvd IS
  PORT (
    D_in_0 : in std_logic_vector (7 downto 0);
    D_in_1 : in std_logic_vector (7 downto 0);
    D_in_2 : in std_logic_vector (7 downto 0);
    D_in_3 : in std_logic_vector (7 downto 0);

    T      : in std_logic;

    CLK    : in std_logic;
    W      : in std_logic;
    R      : in std_logic;

    D_out_0 : out std_logic_vector (7 downto 0);
    D_out_1 : out std_logic_vector (7 downto 0)
  );
END pvdn ;
    
```

Рис. 2. Опис мовою VHDL інтерфейсу паралельної ПВД з попереднім налаштуванням

Тут D\_in\_0 – D\_in\_3 – чотири (оскільки  $l = 4$ ) вхідні порти восьмирозрядних даних (розрядність вказується в дужках після назви порту) та трирозрядних індексів, T – вхід режиму запису даних (дані чи індекси для впорядкування), W – сигнал запису даних, R – сигнал читання даних, CLK – сигнал синхронізації, D\_out\_0, D\_out\_1 – два (оскільки  $n = 2$ ) вихідні порти впорядкованих восьмирозрядних даних.

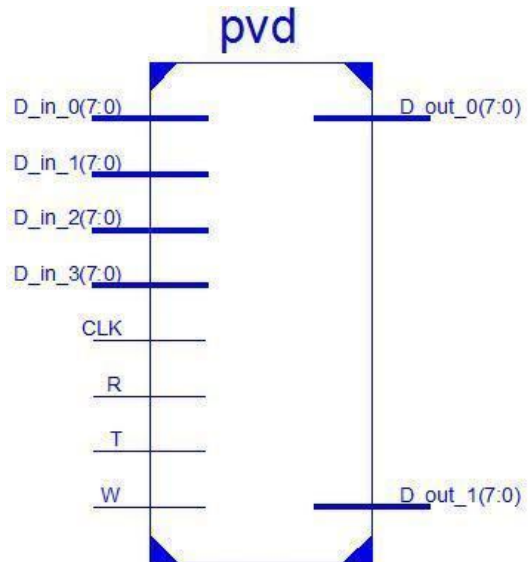


Рис. 3. Графічне позначення інтерфейсу паралельної ПВД з попереднім налаштуванням

## 2. Архітектурний опис паралельної ПВД з попереднім налаштуванням

На рис. 4 наведено схему паралельної ПВД з попереднім налаштуванням, синтезовану з архітектурного опису мовою VHDL в програмному середовищі Xilinx ISE 13.2.

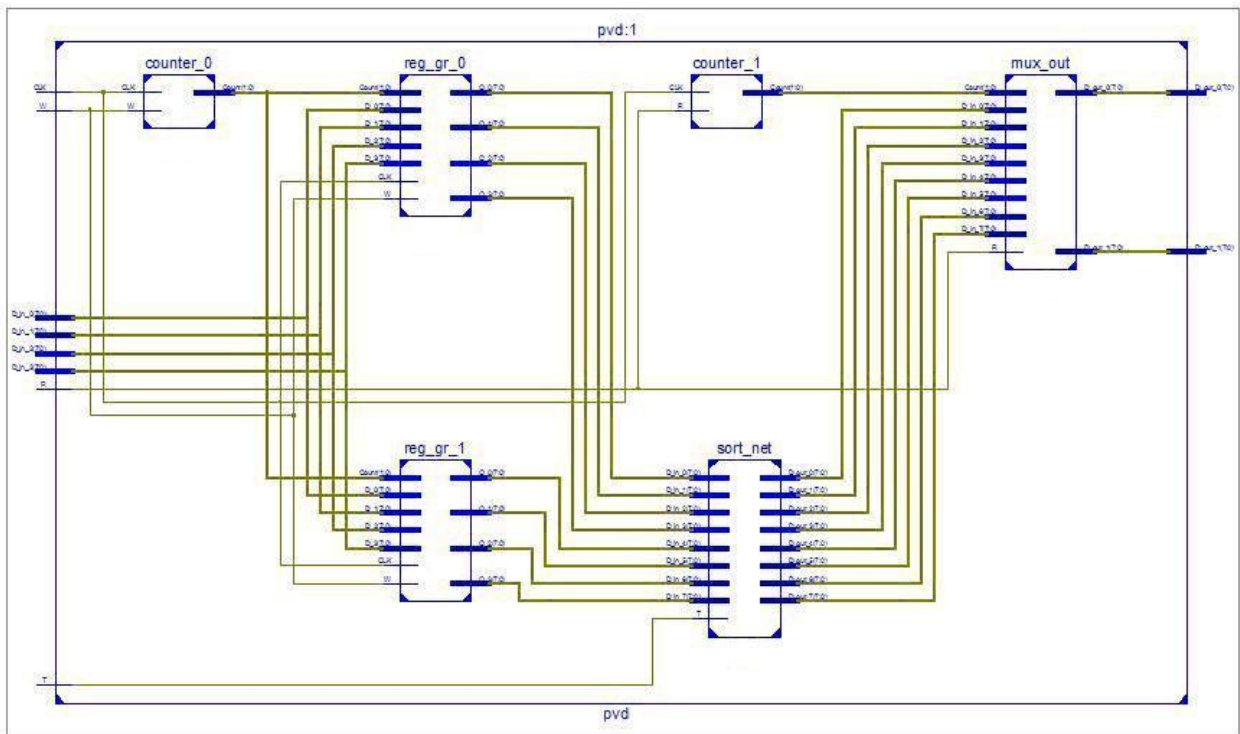


Рис. 4. Структура паралельної ПВД з попереднім налаштуванням, отримана в результаті логічного синтезу засобами Xilinx ISE 13.2

Відповідно до схемотехнічних рішень, запропонованих в роботі [1], головними складовими блоками синтезованої ПВД, наведеної на рис.4, є: запам'ятовуюче середовище даних, побудоване на основі масивів регістрів reg\_rg\_0 і reg\_rg\_1, налаштовувана сортувальна мережа sort\_net, лічильник запису counter\_0, лічильник читання counter\_1 та модуль видачі результатів mux\_out.

### 3. Моделювання роботи паралельної ПВД з попереднім налаштуванням

Часова діаграма роботи паралельної ПВД з попереднім налаштуванням наведена на рис. 5.

На діаграмі показано процес запису до ПВД матриці індексів

$$\begin{vmatrix} 2 & 6 & 4 & 0 \\ 1 & 7 & 5 & 3 \end{vmatrix} \quad (4)$$

та матриці вхідних даних

$$\begin{vmatrix} 06 & 05 & 02 & 0A \\ 0D & 01 & 05 & 15 \end{vmatrix}, \quad (5)$$

та процес зчитування матриці вихідних даних

$$\begin{vmatrix} 01 & 05 \\ 05 & 02 \\ 15 & 06 \\ 0D & 0A \end{vmatrix}, \quad (6)$$

впорядкованих в ПВД відповідно до значень їх індексів.

З часової діаграми видно відповідність роботи даної ПВД запропонованим в роботах [1-4] принципом пам.

### 4. Реалізація в ПЛІС програмної моделі паралельної ПВД з попереднім налаштуванням

В табл. 1 наведено фрагмент звіту про результати синтезу в ПЛІС 6vcx75tff484-2 фірми Xilinx розробленої вище паралельної ПВД з попереднім налаштуванням, отриманого при використанні засо-

бів Xilinx ISE 13.2. В даному кристалі ПВД з наведеними вище характеристиками займає  $\approx 1,12\%$  логічних комірок, що означає, що в ньому можна розмістити таку пам'ять великої ємності, причому, виходячи з структурної організації ПВД [1], ємність не матиме впливу на її частоту.

Таблиця 1

Фрагмент звіту про результати синтезу в ПЛІС паралельної ПВД з попереднім налаштуванням

Selected Device : 6vcx75tff484-2			
Slice Logic Utilization:			
Number of Slice Registers:	86	out of 93120	0%
Number of Slice LUTs:	579	out of 46560	1%
Number used as Logic:	579	out of 46560	1%
IO Utilization:			
Number of IOs:	52		
Number of bonded IOBs:	52	out of 240	21%
Specific Feature Utilization:			
Number of BUFG/BUFGCTRLs:	2	out of 32	6%
Minimum period: 1,247ns (Maximum Frequency: 802,137MHz)			

Видно, що теоретично досягається частота роботи ПВД 802,137 МГц, тобто дана пам'ять може працювати на максимальній частоті ПЛІС, яка приблизно становить 250-300 МГц, а такий показник при великих значеннях  $l$  і  $n$  забезпечить недосягну для інших типів пам'яті продуктивність.

### Висновки

Розроблено програмну модель паралельної ПВД з попереднім налаштуванням та програмні моделі її складових елементів.

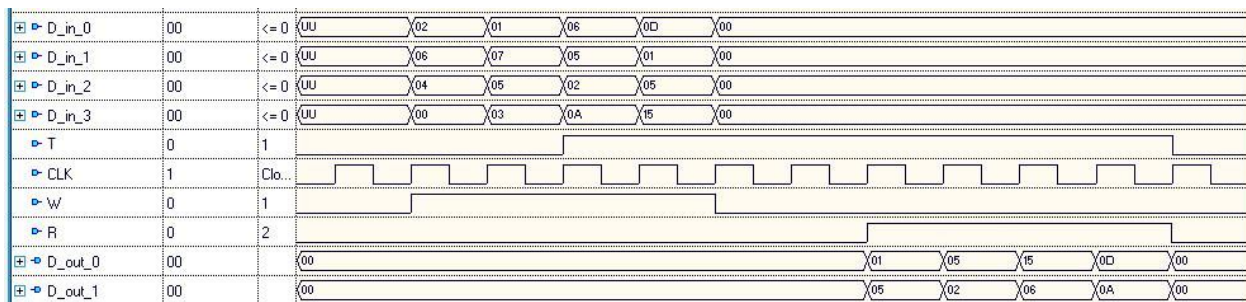


Рис. 5. Часова діаграма роботи паралельної ПВД з попереднім налаштуванням

Проведено синтез програмної моделі паралельної ПВД з попереднім налаштуванням з використанням мови VHDL та отримано відповідні схематичні рішення.

Проведено моделювання роботи паралельної ПВД з попереднім налаштуванням та показано коректність її функціонування.

Здійснено реалізацію в ПЛІС програмної моделі розробленої паралельної пам'яті з впорядкованим доступом з попереднім налаштуванням та проведено оцінку досягнутих характеристик.

## Література

1. Мельник, А.О. Структурна організація пам'яті з впорядкованим доступом на основі налаштовуваних сортувальних мереж [Текст] /

А.О. Мельник // Інформатика та обчислювальна техніка. – ВМУРОЛ, 2011. – С.34-46.

2. Melnyk, A. Organization and application of the programmable ordered access memory [Text] / A. Melnyk, J. Al Rawashdeh, M. Al Hababsah // Proceedings of Xth International Conference "The Experience of Designing and Application of CAD Systems in Microelectronics". - Polyana-Svalyava, Lviv Polytechnic National University, 2009. – P. 240-241.

3. Мельник, А.О. Принципи побудови буферної сортувальної пам'яті [Текст] / А.О. Мельник // Вісник Державного університету "Львівська політехніка" "Комп'ютерна інженерія та інформаційні технології". – № 307. – 1996. – С. 65-71.

4. Мельник, А.О. Спеціалізовані комп'ютерні системи реального часу [Текст] / А.О. Мельник. – Львів: Державний університет "Львівська політехніка", 1996. – 54 с.

Надійшла до редакції 18.01.2013, розглянута редколегією 30.01.2013

**Рецензент:** д-р техн. наук, професор, завідувач кафедри «Спеціалізовані комп'ютерні системи» Р.Б. Дунець, Національний університет «Львівська політехніка», Львів, Україна.

## СТРУКТУРНАЯ ОРГАНИЗАЦИИ ПАРАЛЛЕЛЬНОЙ ПАМЯТИ С УПОРЯДОЧЕННЫМ ДОСТУПОМ С ПРЕДВАРИТЕЛЬНОЙ НАСТРОЙКОЙ И ЕЕ РЕАЛИЗАЦИЯ В ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМАХ

А.А. Мельник, В.А. Мельник

Приведены классификационные признаки памяти с упорядоченным доступом и предложена на их основе реализация в программируемых логических интегральных схемах параллельной памяти с упорядоченным доступом с предварительной настройкой. Осуществлен выбор характеристик этой памяти, а именно – количества входов данных, количества выходов данных, времени ввода данных, времени вывода данных разрядности данных, емкости памяти. Разработана программная модель этой памяти на языке VHDL, проведено моделирование и приведены результаты симуляции ее работы, выполнен ее логический синтез. Приведены результаты реализации этой памяти в программируемых логических интегральных схемах фирмы Xilinx.

**Ключевые слова:** параллельная память, многопортовая память, память с упорядоченным доступом, программируемые логические интегральные схемы.

## STRUCTURAL ORGANIZATION OF THE PARALLEL ORDERED ACCESS MEMORY WITH PRESET AND ITS IMPLEMENTATION IN FIELD-PROGRAMMABLE GATE ARRAYS

A.O. Melnyk, V.A. Melnyk

Classification features of the ordered access memory are shown, and an implementation in field-programmable gate arrays of the parallel ordered access memory with preset is proposed on their base. The parameters of this memory are selected, namely – data inputs number, data outputs number, duration of data writing, duration of data reading, data word width, and memory capacity. A VHDL soft-core of the parallel ordered access memory with preset is developed, modelled and synthesized. The results of this memory soft-core implementation in the Xilinx field-programmable gate arrays are presented.

**Key words:** parallel memory, multi-port memory, ordered access memory, field-programmable gate array.

**Мельник Анатолій Олексійович** – д-р техн. наук, професор, завідувач кафедри «Електронні обчислювальні машини», Національний університет «Львівська політехніка», Львів, Україна. e-mail: aomelnyk@polynet.lviv.ua

**Мельник Віктор Анатолійович** – канд. техн. наук, докторант, доцент кафедри «Безпека інформаційних технологій», Національний університет «Львівська політехніка», Львів, Україна. e-mail: vmelnyk@intron-innovations.com.