

УДК 681.3

А. Н. КАМЕНСКИХ, С. Ф. ТЮРИН

*Пермский национальный исследовательский политехнический университет,
Российская Федерация*

МОДЕЛЬ УСТРОЙСТВА ОБНАРУЖЕНИЯ НЕИСПРАВНОСТЕЙ САМОСИНХРОННЫХ СХЕМ

Анализ строго самосинхронных схем показал, что для обеспечения отказоустойчивого и достоверного поведения необходимо дополнить архитектуру устройством контроля неисправностей. Устройства контроля в самосинхронных схемах должны эффективно использовать заложенные возможности индикации окончания переходного процесса. Предлагается алгоритм индикации неисправностей и модель устройства контроля для строго самосинхронных схем. Устройство тестируется на эффективность обнаружения однократных константных неисправностей. Разработанная архитектура позволяет использовать дублирование схем при резервировании вместо троирования.

Ключевые слова: *Строго самосинхронные схемы, контроль ошибок, отказоустойчивость, достоверность, резервирование.*

Введение

Самосинхронный способ проектирования, как основная альтернатива для привычного синхронного стиля, на сегодняшний день поддерживается многими учеными, созданы программные наборы средств синтеза и анализа самосинхронных схем, различные устройства (FPGA, RISC) и многое другое [1 - 3]. Причина все нарастающего интереса к самосинхронным схемам в их важных свойствах, по сравнению с синхронными аналогами: лучшее быстродействие, достоверность функционирования, снижение энергопотребления, широкий диапазон работоспособности. Из-за сложности проектирования изначально самосинхронный метод был нацелен на проектирование схем для критических областей применения [4]. В высоконадежных устройствах, как правило, используется автоматное управление всеми процессами, так как человек не имеет возможности вмешиваться в работу устройства.

Автоматное управление подразумевает наличие специального узла, который бы занимался формированием сигнала ошибки, без этого узла говорить о вероятности безотказной работы цифрового устройства не возможно. Такой узел отсутствует в стандартной архитектуре строго самосинхронных (ССС) схем, поэтому прежде чем переходить к оценкам и сравнению отказоустойчивости и достоверности синхронных и самосинхронных (СС) схем, необходимо дополнить архитектуру последних устройством контроля. В СССР-схемах все переключения останавливаются при появлении однократных константных неисправностей, за исключением случаев

появления анти-спейсера. В БИС “самосинхронное микроядро” имеется устройство контроля последовательно-параллельного порта, которое фиксирует отсутствие изменений значения сигнала спейсера, для чего используется счетчик [3]. В NCL логике используются пороговые элементы, так сигнал ошибки выдается при появлении высокого логического уровня на более чем половине возможных выходов (в примере 3 из 4), что является следствием неисправности типа константа единицы [5]. Второй подход не использует уже имеющиеся индикаторы самосинхронных схем, а так же не фиксирует зависание в фазе гашения (NULL). В то же время первый подход не фиксирует состояние анти-спейсера на выходе схемы, что может привести к потере данных при их дальнейшей обработке, а, следовательно, недопустимо при использовании устройства в критических системах [6].

Поэтому предлагается дополнить устройство контроля индикатором анти-спейсера. Будем считать, что СССР устройство может находиться в одном из трех состояний:

1. Устойчивое состояние – состояние называется устойчивым, если функция выхода равна значению от аргумента, для самосинхронной схемы $I=f(s)$, то есть если $S=0$ то $I=1$ или $S=1$ то $I=0$ (Null, Data0, Data1).

2. Переходное состояние – состояние называется переходным, если функция выхода не равна значению от аргумента, для самосинхронной схемы $I=f(s)$, то есть если $S=0$ и $I=0$ или $S=1$ и $I=1$.

3. Состояние анти-спейсера – такое состояние может быть следствием множества неисправностей,

по сути, является устойчивым состоянием, но требует дополнительной фиксации.

Устройство контроля должно выдавать сигнал ошибки, если: во-первых, период переходного состояния превысил пороговое значение, во-вторых, на выходе контролируемой схемы запрещенное состояние – анти-спейсер.

1. Алгоритм определения ошибки

Предлагается алгоритм контроля ошибки:

1. Определяется, в каком состоянии находится схема, если схема в устойчивом состоянии счетчик принудительно устанавливается в начало, при появлении анти-спейсера сразу формируется сигнал ошибки. Если схема в переходном состоянии, то переход к счету.

2. Сравнивается значение счетчика с пороговым значением, если они равны, выдается сигнал ошибки и останавливается счет. Если значение счетчика меньше порогового значения, то возврат в начало алгоритма.

Таким образом, когда индикатор определяет переходное состояние в контролируемой схеме, то за каждый цикл работы счетчик увеличивает свое значение на один, до тех пор, пока не достигнет порога. По достижению порога счет останавливается. Если во время счета контролируемая схема перейдет в устойчивое состояние, счетчик принудительно будет сброшен в исходное состояние, рисунок 1. Индикатор $F = \overline{SI} \vee SI$ состояния предложен на рисунке 2.

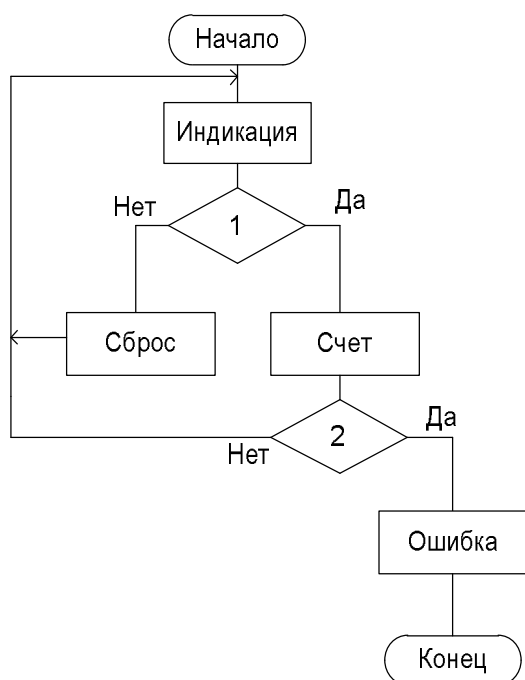


Рис. 1. Алгоритм контроля ошибки

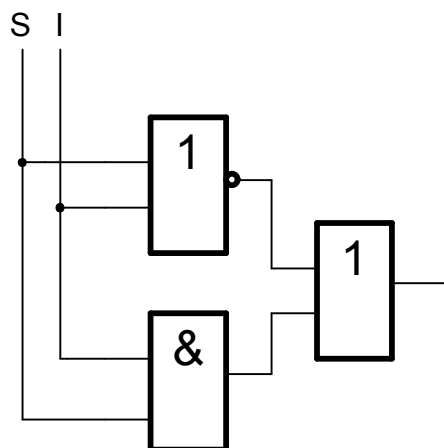


Рис. 2. Индикатор состояния СС схемы

Необходимо измерять длительность сигнала F и сравнивать его с эталоном. Для измерения можно использовать как синхронные, так и самосинхронные счетчики. В случае синхронного счетчика измеряется длительность интервала в тактах внешних часов, в случае самосинхронного счетчика в тактах соответствующих реальной задержке в устройстве. Счетчик увеличивает свое состояние на 1 за каждый цикл, если $D=1$. Когда счетчик досчитает до 3, выдается сигнал ошибки. Тогда при известной задержке счетчика мы можем управлять устройством контроля, настраивая его под каждую схему, в случае использования самосинхронного счетчика, можно дополнительно установить линию задержки между выходом I и входом S, что уменьшит частоту счета.

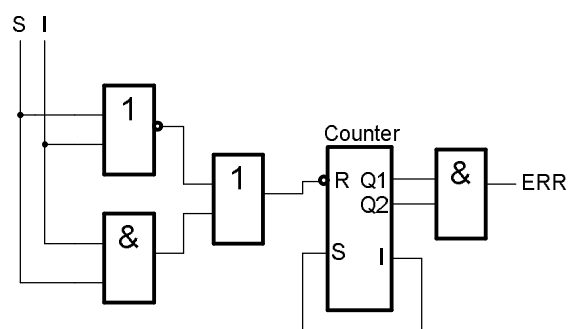


Рис. 3. Устройство контроля СС-схем

2. Моделирование устройства контроля

Устройство контроля было промоделировано в САПР Quartus II v9.0 с применением синхронного счетчика, рисунок 4. Синхронный счетчик позволяет измерять длительность переходной фазы тактами с известной задержкой. То есть может быть заданно условие - выдавать сигнал ошибки, если переходное состояние длится более 500нс. Однако в реальных схемах требуется самосинхронный счетчик, для обеспечения корректной работы при дифференци-

рованих значеннях питаючого напруги, входи живлення счетчика і контролюваної схеми повинні бути підключені до однієї шини. Тоді вимірювання затримки буде проходити в самосинхронних тактах, тривалість яких залежить від зовнішніх умов. Алгоритм контролю довільної СС-схеми можна описати послідовністю кроків, так як алгоритм лінійний, приводить блок-схему до необхідності:

1. Вимірюється затримка СС-схеми при нормальних умовах (t_1)

2. Вивчається $n = k \frac{t_1}{t_c}$, де n – розряд счетчика, k – коефіцієнт, відображає допустимий тривалість перехідного стану, t_1 – затримка СС-схеми при нормальних умовах, t_c – такт самосинхронного счетчика при нормальних умовах.

Методика вибору коефіцієнта k повинна бути представлена пізніше, і виходить з тестів реальних пристроїв і отриманої ймовірності хибної спрацювання пристрою контролю $P_n(k)$.

Поміж тайм-ауту (зависання в фазі) необхідно контролювати появу забороненого набору (анти-спейсера) на виході схеми. Зробити це можна різними способами, можна підключати сигнал помилки напряму на вихід ERR, або через передувальну установку счетчика, рисунок 4.

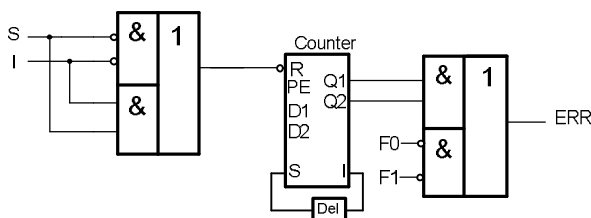


Рис. 4. Пристрій контролю з індикацією забороненого стану

Детально розберемо діаграму, представлену на рисунку 5. Перші 10 нс схема визначає стан і в момент $t=20$ нс індикатори підтверджують стійкий стан NULL, в якому схема знаходиться до установки високого логічного рівня на вході S, запит даних.

Перший запит даних відбувається в момент часу $t=40$ нс, індикатори пристрою контролю визначають перехідний стан, починається рахунок.

В цей же час схема починає обчислення, по закінченні яких формується сигнал підтвердження ($I=0$). Індикатори счетчика фіксують завершення робочої фази і скидають счетчик в початковий стан ($t=68$ нс). Схема знаходиться в стійкому стані (Data1), до часу $t=140$ нс, коли надходить запит спейсера, однак в цей раз ми вводимо помилку, на виході індикатора константа "0".

Індикатори счетчика фіксують перехідний стан, починається звіт. Через 25 нс відбувається переповнення счетчика і видається сигнал помилки, при цьому рахунок зупиняється, таким чином, забезпечується стійкість сигналу помилки.

В цьому стані схема залишається до $t=340$ нс, коли ми знімаємо константу нуля з виходу індикатора, що призводить до скидання счетчика в початок і зняття сигналу помилки через 10 нс. Ще через 50 нс ($t=400$ нс) надходить наступний запит даних. Одночасно з запитом даних ми вводимо несправність, з'являється заборонено, для тестуваного пристрою, стан на виході ($F0=F1=0$).

Слід відзначити, що заборонений набір не виявляється індикаторами ССС пристрою, наслідком чого є поява підтвердження закінчення всіх перехідних процесів в момент часу $t=420$ нс, а пристрій контролю видає сигнал помилки в момент часу $t=415$ нс, що дозволяє відключити несправний канал до появи даних на виході.

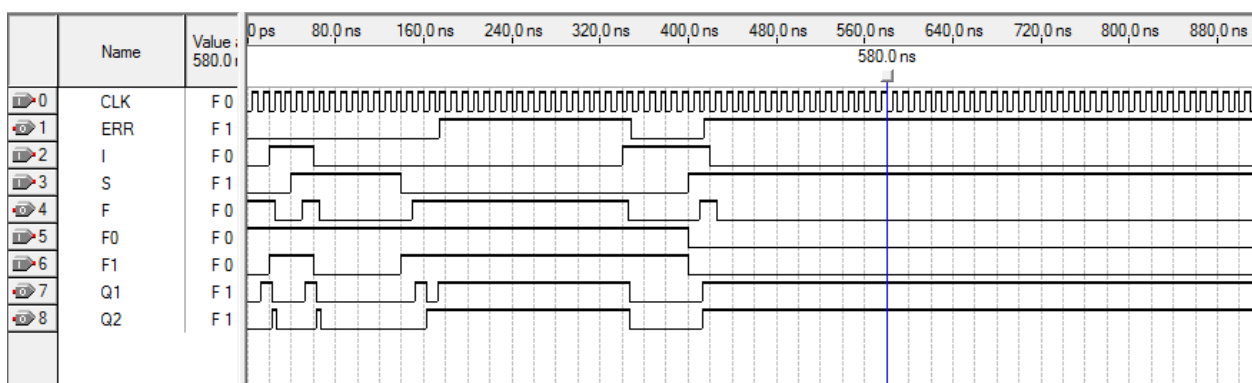


Рис. 5. Тимчасова діаграма пристрою контролю з синхронним счетчиком

Заключення

Предлагаемое устройство контроля использует возможности индикаторов ССС-схем, таким образом, фиксируется не завершение переходного процесса, которое является следствием неисправностей. При этом решается проблема, когда индикаторы не способны зафиксировать ряд неисправностей (анти-спейсер), выдавая сигнал подтверждения. Таким образом, предлагаемое устройство контроля позволяет обеспечить своевременный контроль неисправностей, что может быть использовано, например, для отключения отказавших каналов в схемах резервирования [6].

Литература

1. Reese, R. B. *Approach to Asynchronous Design [Text]* / R. B. Reese, S. C. Smith, M. A. Thornton // *Asynchronous Circuits and Systems (ASYNC)*, -18th IEEE International Symposium on. – IEEE- 2012. – P. 65-72.

2. Strauch, T. *Multi-FPGA System With Unlimited and Self-Timed Wave-Pipelined Multiplexed Routing [Text]* / T. Strauch // *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on.* –2011. – №. 9. – P. 1549-1558.

3. Степченко, Ю. А. *Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле [Текст]* / Ю. А. Степченко, В. С. Петрухин, Ю. Г. Дьяченко // *Нано-и микросистемная техника.* – 2006. – №. 5. – С. 29-36.

4. Stepchenkov, Y. A. *Self-Timed Computing Device for High-Reliable Applications [Text]* / Y. A. Stepchenkov // *Problems of Perspective Micro-and Nanoelectronic Systems Development.* – 2010. – С. 418-423.

5. *Надежность строго самосинхронных схем. [Электронный ресурс]. – Режим доступа: <http://www.dsol.ru/uploads/pdf/nadejnost.pdf> –12.03.2014.*

6. Kamenskih, A. N. *Application of redundant basis elements to increase self-timed circuits reliability [Text]* / A. N. Kamenskih, S. F. Tyurin // *Proceedings of IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (ElConRusNW).* –Russia, Saint- Petersburg, 2014.

Поступила в редакцию 17.03.2014, рассмотрена на редколлегии 25.03.2014

Рецензент: д-р техн. наук, проф. В. И. Хаханов, Харьковский национальный университет радиоэлектроники, Харьков, Украина.

FAULT DETECTION UNIT MODEL OF SELF-TIMED CIRCUITS

A. N. Kamenskih, S. F. Tyurin

Strictly self-timed circuits analysis showed that for valid and reliable behavior architecture of self-timed circuits should be added by fault detection unit. Fault detection units of self-timed circuits should effectively use indicators of transition process completion time. Fault detection algorithm and unit model is offered for strictly self-timed circuits. The unit is tested using stuck-at fault model. This architecture allows using duplication instead of majority function elements.

Keywords: Strictly self-timed circuits, redundancy, validity, reliability, fault monitoring.

МОДЕЛЬ ПРИСТРОЇ КОНТРОЛЮ ПОРУШЕНЬ САМОСІНХРОННИХ СХЕМ

A. H. Каменських, С. Ф. Тюрін

Аналіз строго самосінхронних схем показав, що для забезпечення стійкого до відмов і достовірного поведінки необхідно доповнити архітектуру пристроєм контролю несправностей. Пристрої контролю в самосінхронних схемах повинні ефективно використовувати закладені можливості індикації закінчення перехідного процесу. Пропонується алгоритм індикації несправностей і модель пристрою контролю для строго самосінхронних схем. Пристрій тестується на ефективність виявлення однократних константних несправностей. Розроблена архітектура дозволяє використовувати дублювання схем при резервуванні замість трювання.

Ключові слова: Строго самосінхронні схеми, контроль помилок, відмовостійкість, достовірність, резервування.

Каменських Антон Николаевич – аспирант Пермского национального исследовательского политехнического университета, Пермь, Россия, e-mail: antoshkinoinfo@yandex.ru.

Тюрин Сергей Феофанович – Заслуженный изобретатель РФ, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета, Пермь, Россия, e-mail: tyurinsergfeo@rambler.ru.