

УДК 004.274:681.5

А. Е. ПЕРЕПЕЛИЦЫН

Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», Украина

ИСПОЛЬЗОВАНИЕ ПАРАМЕТРИЗИРУЕМЫХ IP ИНФРАСТРУКТУР ДЛЯ РАЗРАБОТКИ ВСТРОЕННЫХ ОТКАЗОУСТОЙЧИВЫХ СИСТЕМ НА ПЛИС

Предлагаются модели параметризуемых IP-ядер и IP инфраструктур, позволяющие аналитически описать процесс их параметризации. Дается методика разработки отказоустойчивых систем на основе IP- и IP-ориентированных стратегий, которые позволяют определить критерии и в последующем автоматизировать принятие проектных решений. Предлагается методика оценки надежности параметризуемых IP инфраструктур. Приводится пример использования рассмотренных методик для создания макета модификации параметризуемого устройства управления противообледенительной системой самолета АН 140 на ПЛИС.

Ключевые слова: ПЛИС, FPGA, IP-ядра, IP, параметризация, мультипараметризация, ресурсы ПЛИС, внутрикристальное резервирование, версияльность, отказоустойчивость.

Введение

Одним из возможных вариантов построения встроенной цифровой системы (ВЦС) является реализация на программируемых логических интегральных схемах (ПЛИС). Системы такого типа работают в бортовых комплексах, системах защиты реакторов и т.д., в агрессивной среде, вызывающей отказы аппаратуры, что вынуждает использовать резервирование. Подобные задачи требуют специальных аппаратных решений и совершенствования процессов проектирования, особенно при сложной функциональности или особых требованиях к надежности и безопасности.

Упростить реализацию систем на ПЛИС можно путем использования нестандартных библиотечных модулей, получивших название IP-ядра (Intellectual Property) [1]. Они являются, с одной стороны, универсальными и надежно повторяемыми, а с другой стороны, параметризуемыми, т.е. имеют возможность параметрической настройки под конкретный проект. Кроме того, они обладают высокой надежностью, которая обеспечивается тщательным тестированием. Повторное применение IP-ядер позволяет уменьшить трудозатраты и сроки проектирования цифровых устройств [2, 3].

Внедрение нескольких IP-ядер в один кристалл ПЛИС позволяет организовывать инфраструктуру IP-ядер – IP (Infrastructure of IP) [3]. Если инфраструктура включает средства обеспечения отказоустойчивости, то она называется отказоустойчивой [4, 5].

Развитие методов проектирования параметризуемых отказоустойчивых IP актуально, так как, с одной стороны, внутрикристальное резервирование

(резервирование на кристалле) может существенно повысить отказоустойчивость встроенных систем [6], а с другой, – параметризация позволяет достичь универсальности и гибкости. Это особенно важно при разработке авиационных, ракетно-космических и других систем, где характеристики надежности и энергопотребления являются критичными [7].

Таким образом, целью работы является повышение безотказности встроенных систем на ПЛИС и совершенствование процесса их проектирования с использованием IP-технологии.

Для достижения поставленной цели решаются задачи анализа технологий IP (раздел 1), разработки моделей параметризуемых IP-ядер и инфраструктур (раздел 2), методики проектирования и оценки надежности отказоустойчивых систем на ПЛИС с использованием параметризуемых IP-ядер и IP (разделы 3 и 4 соответственно), а также их экспериментального исследования (раздел 5).

1. Анализ технологий IP для систем на ПЛИС

1.1. Технология IP-ядер

IP-ядро – это блок логических элементов или данных, которые используются при создании проекта на ПЛИС (FPGA или ASIC).

Как важнейшие элементы при повторном использовании, IP-ядра являются частью динамично развивающейся индустрии автоматизации проектирования электронных приборов и устройств (EDA – electronic design automation) в направлении повторного использования ранее разработанных компонентов.

IP-ядра діляться на три категорії: *hard cores* – жорсткі ядра, *firm cores* – тверді ядра (їх ще називають напівжорсткими) і *soft cores* – м'які ядра [4]. *Hard*-ядра являються фізичними прикладами IP-проектирования. Вони являються найменше портативними по порівнянню з двома іншими типами ядер. Відміння від *hard*-ядер, *firm*-ядра реконфігуруються для різних приложень. Самими гнучкими являються *soft*-ядра, вони містять список з'єдинень (*net-list*) або код на мові HDL.

На мові VHDL існує два основні шляхи створення проектів, описуючих багато модулів з ідентичними функціями (перестраиваемых модулів) [8]:

- використання параметрів налаштування (секція *GENERIC*);

- розробка декількох архітектурних тел, підпорядкованих загальній сутності (*ENTITY*), іншими словами, маючих однакову алгоритмічну основу при різних способах описання або способу реалізації.

Для FPGA параметризоване IP-ядро представляє собою модуль, містять декларацію параметрів налаштування в розділі *GENERIC*. Фактичне значення задається в списку відповідностей (*GENERIC MAP*) оператора входження.

Параметри, визначають кількісні властивості реалізацій (наприклад, розрядність даних, час затримки), використовуються в вираженнях всередині підпорядкованих архітектурних тел як звичайні константи. Крім того, часто застосовуються параметри структурного характеру, уточнюючі функції, реалізуємі конкретними входженнями параметризованого модуля або його структуру. Частіше за все такі параметри використовуються в операторах генерації (*GENERATE*).

В випадках, коли варіативність компонента досягається розробкою декількох архітектурних тел, т. е. первинному проектному модулю (*ENTITY*) цього компонента в бібліотеці проекту відповідає декілька різних архітектурних тел, проектний модуль вищого рівня ієрархії повинен містити оголошення конфігурації компонента. Оголошення конфігурації визначає, яке саме архітектурне тіло компонента використовується в поточному проекті.

Крім запису конфігурації безпосередньо в архітектурному тілі, зсилаючись на конфігуруємі модуль, мовою VHDL передбачає можливість запису конфігурацій в окремому виділеному первинному проектному модулі, який називається декларацією конфігурації (*Configuration Declaration*). Її ієрархічний рівень такої ж, як у декларації *ENTITY* і декларації пакетів, і декларація конфігурації не може бути її склад-

ною частиною. Конфігурації компонентів, містять в модулі декларації конфігурації, доступні для різних архітектурних тел і забезпечують можливість сквозного конфігурування ієрархічних структур. В загальному випадку декларація конфігурації може також містити оголошення параметрів і навіть оголошення відповідності портів.

1.2. Технологія IP

IP-підхід являється потужним інструментом при створенні систем на кристалі – *SoC*, дозволяє гнучко декомпозувати складний проект на більш дрібні підзадачі, і, як наслідок, зменшити кількість помилок проектування в кінцевому продукті. В загальному випадку, система на кристалі може включати в себе різні типи блоків: програмуємі процесорні ядра, блоки *ASIC*, блоки програмуємі логіки, пам'яті, периферійних пристроїв, аналогові компоненти, різні інтерфейсні схеми.

Якщо IP включає в себе засоби забезпечення стійкості, то така інфраструктура називається стійкою. Вона може складатися з IP-ядер (в тому числі параметризованих) і блоку порівняння (*BC*) або мажоритарного елемента [9, 10].

Таким чином, технологія IP надає можливість організації різноманітних архітектур на основі взаємодіючих IP-ядер, забезпечуючи реалізацію цифрового пристрою на одному кристалі, підвищення продуктивності, надійності і гнучкості реалізуємі системи.

2. Моделі параметризуємих IP-ядер і IP інфраструктур

2.1. Моделі параметризуємих IP-ядер

Для формального описання параметризації необхідно в першу чергу представити моделі самих IP-ядер. Можливо виділити дві моделі, по-різному описуючі поведінку реалізуємого компонента:

- теоретико-множественна модель:

$$M_{IP} = \left\{ X, Z, F = \{F_i\}_{i=1}^n, A = \{A_j\}_{j=1}^m \right\},$$

де X і Z – алфавіти входних і вихідних сигналів,

$F = \{F_i\}_{i=1}^n$ – множина функцій;

$A = \{A_j\}_{j=1}^m$ – множина реалізованих для

данної сутності архітектур, причому $\forall A_j \in A$ реалізовано $\{F_i\}_{i=1}^n$ (кожна архітектура незалежно реалізує всі множини функцій);

– автоматная модель:

$$\mathfrak{A}_{IP} = \{X, Z, Y, Y_0, t, \delta, \lambda\},$$

где Y – множество состояний автомата,

Y_0 – начальное состояние,

δ – функция переходов,

λ – функция выходов.

В данном контексте необходимо определить понятие параметризации. Под параметризацией будем понимать процесс задания требуемых значений при использовании IP-ядра, а также формирование необходимых параметров при его проектировании.

Исходя из этого, можно выделить следующие виды параметризации:

– по входным сигналам: $\pi_X : X_\pi \subseteq X$;

– по выходным сигналам: $\pi_Z : Z_\pi \subseteq Z$;

– по множеству внутренних состояний, при котором предполагается выбор подмножества из множества $\pi_{Y_1} : Y_\pi \subseteq Y$ или выбор одной из групп под-

множеств $\pi_{Y_2} : Y = \bigcup_{g=1}^k Y_{\pi_g}$;

– по функциям: $\pi_F : F_\pi \subseteq F$.

Каждый из этих видов параметризации однозначно определяет соответствующее подмножество, поэтому, дополнив приведенные выше модели множеством $\pi = \{\pi_X, \pi_Z, \pi_Y, \pi_F\}$, получим итоговые модели параметризации:

$$M_{\pi IP} = \{X, Z, F, A, \pi\}, \quad (1)$$

$$\mathfrak{A}_{\pi IP} = \{X, Z, Y, Y_0, t, \delta, \lambda, \pi\}. \quad (2)$$

2.2. Модели параметризуемых ПР

По степени управления внутренней структурой можно выделить следующие виды параметризации:

– «вырожденная»/тривиальная параметризация ПР, осуществляемая через параметры IP-ядер;

– сквозная/нетривиальная параметризация.

В соответствии с этой классификацией можно записать две модели параметризации:

– модель ПР с параметризуемыми ядрами (с фиксированными функциями и структурой):

$$M_{IP} = \{M_{\pi IP}, F, S\};$$

– модель ПР с параметризуемой структурой и ядрами, предусматривающая возможность задания числа наборов IP-ядер и/или возможность задания связей между IP-ядрами и их параметризацию:

$$M_{IP} = \{M_{\pi IP}, F_\pi, S_\pi\}.$$

Автоматная модель параметризуемой ПР представляет собой модель коллектива автоматов, каждый из которых описывается моделью (2).

3. Методика разработки отказоустойчивых систем с использованием параметризуемых IP-ядер и инфраструктур

ПР для отказоустойчивых систем разнообразны по архитектуре, имеют различные параметры и конфигурацию. Основными параметрами IP-ядер являются: разрядность шин данных, рабочая частота, размер временного буфера, размер памяти (блока регистров) и т.д. Чтобы сократить время разработки, ПР инфраструктура должна быть настраиваемой для использования во множестве приложений, сохраняя при этом высокий уровень надежности и отказоустойчивости. Параметризуемое IP-ядро может быть изменено в соответствии с конфигурацией целевой системы (функциональный IP-блок).

Существует два типа параметров ПР:

– функциональные;

– структурные и архитектурные.

Первая группа параметров в большинстве случаев зависит от функциональности IP-блоков, являющихся пороговыми элементами, средствами диагностики, блоками контроля каких-либо процессов, средствами реконфигурации и обнаружения ошибок, которые формируют инфраструктуру IP-ядер. Эти параметры, как правило, соответствуют параметрам функциональных блоков: разрядность шин, размер буфера, размер памяти и т.д.

Второй набор параметров относится к структурным или архитектурным свойствам инфраструктуры IP-ядер. Это уровень взаимодействия функциональных IP-блоков и средств диагностики, контроля, мажоритирования и так далее.

Если резервные каналы выполнены по многоверсионной технологии, то различные версии реализации IP-ядер могут также задаваться как параметры. В этом случае разработчик имеет возможность выбрать нужную версию реализации при проектировании инфраструктуры IP-ядер [9].

Таким образом, при использовании параметризуемых IP-ядер и ПР можно предложить следующие этапы разработки отказоустойчивых систем:

– принятие решения о выборе стратегии разработки как IP-ориентированной или ПР-ориентированной технологии (это решение зависит от того, насколько удовлетворяют разработчика предложенные компоненты ПР, спроектированные ранее, с точки зрения обеспечения требуемого уровня надежности);

– если принимается IP-ориентированная стратегия, то разработчик осуществляет конфигурирование и параметризацию выбранных IP-ядер (последующие этапы разработки, включая верификацию,

являются стандартными и реализуются в соответствии с методикой, описанной в [2]);

– если выбирается ПР-ориентированный подход, то осуществляется параметризация инфраструктуры (выбор резервных каналов, версионность, средства контроля и реконфигурации) в соответствии с требованиями к надежности.

4. Методика оценки надежности систем на основе IP инфраструктур

Оценка надежности имплементированной в ПЛИС инфраструктуры базируется на расчете вероятности безотказной работы в соответствии с ее структурной схемой надежности, количеством логических ячеек, занимаемых каждым IP-ядром, и интенсивностью отказов одной логической ячейки.

В общем случае интенсивность отказов кристалла ПЛИС может быть описана формулой:

$$\lambda_{PLD} = \lambda_{i0} + \lambda_{LE} n_{LE} + \lambda_{SRV}, \quad (3)$$

где λ_{PLD} – интенсивность отказов всего чипа,

λ_{i0} – интенсивность отказов выводов ПЛИС,

λ_{LE} – интенсивность отказов одной логической ячейки,

λ_{SRV} – интенсивность отказов служебных составляющих ПЛИС.

Показатель λ_{i0} может быть учтен коэффициентом $\alpha \approx 0,1 \div 0,3$, определяющим вклад выводов в общую интенсивность отказов всего кристалла. Аналогичным образом коэффициентом $\beta \approx 0,2 \div 0,3$ можно учесть долю служебных ячеек от общего числа логических ячеек:

$$\lambda_{PLD} = \alpha \lambda_{PLD} + \lambda_{LE} n_{LE} (1 + \beta). \quad (4)$$

Подставив в выражение (4) α и β , получим λ_{LE} :

$$\lambda_{LE} = \frac{\lambda_{PLD} (1 - \alpha)}{n_{LE} (1 + \beta)}. \quad (5)$$

Далее производится оценка сложности каждого IP-ядра, т.е. определяется число логических ячеек n_{IP} . В процессе разработки и исследования ПР-ориентированной ПОС был установлен факт, состоящий в том, что сумма логических ячеек отдельных IP-ядер не соответствует числу логических ячеек всей архитектуры.

Поскольку отказ одной ячейки в ядре приводит к его отказу, при допущении о независимости этих отказов, получаем формулу:

$$\lambda_{IP} = n_{IP} \cdot \lambda_{LE}$$

Исходя из структуры ПР, строится структурная схема надежности ПР и определяется вероятность безотказной работы.

5. Экспериментальные исследования и практические результаты

5.1. Разработка ПОС с использованием параметризуемой ПР

Предложенная методика разработки отказоустойчивых систем на основе параметризуемых ПР была реализована при проектировании устройства управления важной для безопасности противообледенительной системы самолета (ПОС), которое формирует по определенному закону сигналы циклической коммутации токов в нагревательных элементах на основании входных сигналов от датчиков температуры и обледенения [5, 10, 11].

Проект разрабатывался на языке VHDL в САПР Quartus II 7.2. Для реализации внутрикристалльного резервирования настройка оптимизатора «Remove Duplicate Registers» должна быть выключена [12].

Вся функциональность устройства управления ПОС была реализована в одном IP-ядре с широкой параметризацией. В качестве параметров были выбраны характеристики устройства управления (рис. 1), значения которых определяются конечной реализацией ПОС (разрядность шины температуры, частота тактирования, диапазоны температур и соответствующие им длительности коммутации токов, продолжительность паузы, а также число коммутируемых каналов). Затем была разработана еще одна версия (отличающаяся языковыми конструкциями, способом описания и т.д.).

Также было разработано IP-ядро, представляющее собой параметризуемый мажоритарный элемент и параметризуемое IP-ядро, реализующее схему сравнения.

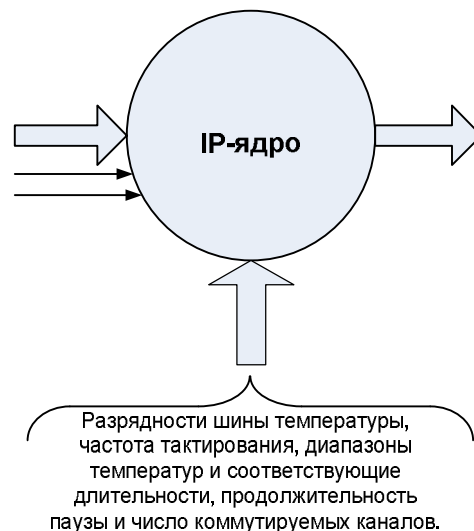


Рис. 1. Абстрактное представление параметризации IP-ядра, реализующего функциональность ПОС

Для инфраструктуры в целом, кроме перечисленных функциональных параметров, необходимо задать тип резервирования, что можно представить суммарным числом резервных каналов каждой версии (рис. 2). Такой подход позволил универсально описать реализуемую ИР, представляя одной и той же группой структурных параметров как версию, так и задание требуемой архитектуры.

В качестве реализуемых архитектур было выбрано двухканальное дублирование, трехканальное мажоритирование с порогом 2, четырехканальное резервирование по схеме 2x2 (Pair-And-A-Spare Scheme) и пятиканальное мажоритирование с порогом 3.

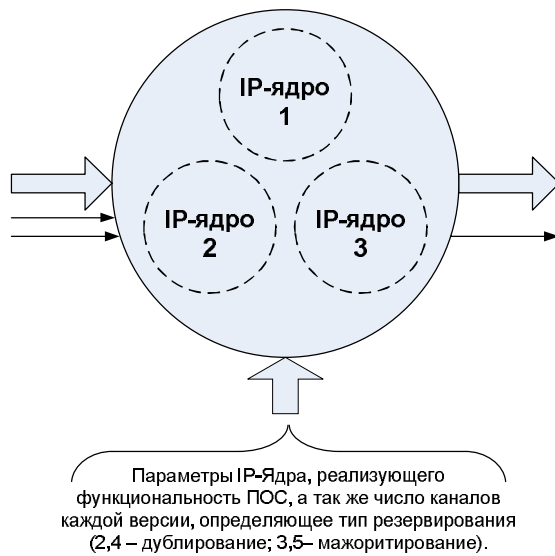


Рис. 2. Абстрактное представление параметризации инфраструктуры IP-ядер, реализующей ПОС

Графическое представление разработанной инфраструктуры приведено на рисунке 3. Все функциональные параметры IP-ядер, входящих с состав инфраструктуры, принимают те же значения, что и соответствующие параметры ИР, т.е. реализован подход сквозной параметризации, предусматривающий передачу соответствующих функциональных параметров на все уровни декомпозиции проекта. Этот факт, а также предоставление возможности управления количеством используемых ресурсов FPGA посредством выбора одной из реализуемых архитектур, позволяет отнести разработанную ИР инфраструктуру к мультипараметризуемым проектам на ПЛИС.

Разработанная инфраструктура предусматривает параметрическое задание одного из четырех видов резервирования. Число резервных каналов определяется суммой заданного количества IP-ядер каждой версии. Количество логических ячеек, необходимых для реализации каждого из IP-ядер с параметрами по умолчанию, приведено в таблице 1.

Parameter	Value
i_bus_size	8
i_clock_rate	27000000
i_temperature_1	5
i_temperature_2	-10
i_temperature_3	-20
i_duration_1	20
i_duration_2	40
i_duration_3	60
i_standstill	40
i_phase_count	3
i_unit_version_1	3
i_unit_version_2	0

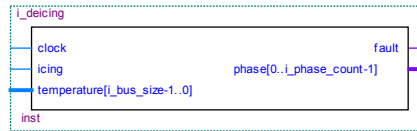


Рис. 3. BSF представление разработанной ИР с параметрами по умолчанию

Таблица 1

Количество логических элементов, необходимых для реализации IP-ядер в составе ИР инфраструктуры

Варианты IP-ядер	Число LE
ПОС версии 1 (deicing)	92
ПОС версии 2 (antiicing)	119
Средства контроля (СК)	8
Мажоритарный элемент «2 из 3»	11
Мажоритарный элемент «3 из 5»	25

При двух каналах получаем простейшую схему двухканального дублирования (рис. 4а), структурная схема надежности (ССН) которой представляет собой последовательное включение каналов (рис. 4б), что уступает надежности одного канала, однако позволяет выявить внутренний отказ (при равных вероятностях безотказной работы каналов вероятность безотказной работы такой системы описывается формулой $P_{\text{системы}} = P^2 \cdot P_{\text{СК}}$).

Дублирование предыдущей схемы задействует четыре канала (рис. 4в), позволяя парировать один отказ и выявить второй отказ. Структурная схема надежности такой системы приведена на рисунке 4г. В качестве средств контроля в этих двух архитектурах используется одно и то же IP-ядро. На входы fault1 и fault2 подаются сигналы признака неисправности в соответствующем канале, что позволяет выявить, в каком из каналов отказ.

Использование мажоритарного резервирования по схеме 2 из 3 позволяет парировать один отказ и выявлять второй при трех каналах (рис. 4д).

Четвертым видом резервирования является пятиканальное мажоритирование с порогом 3, что позволяет парировать до двух отказов и выявлять третий (рис. 4ж). Структурные схемы надежности этого и предыдущего вариантов параметризации приведены на рисунках 4е и 4з соответственно.

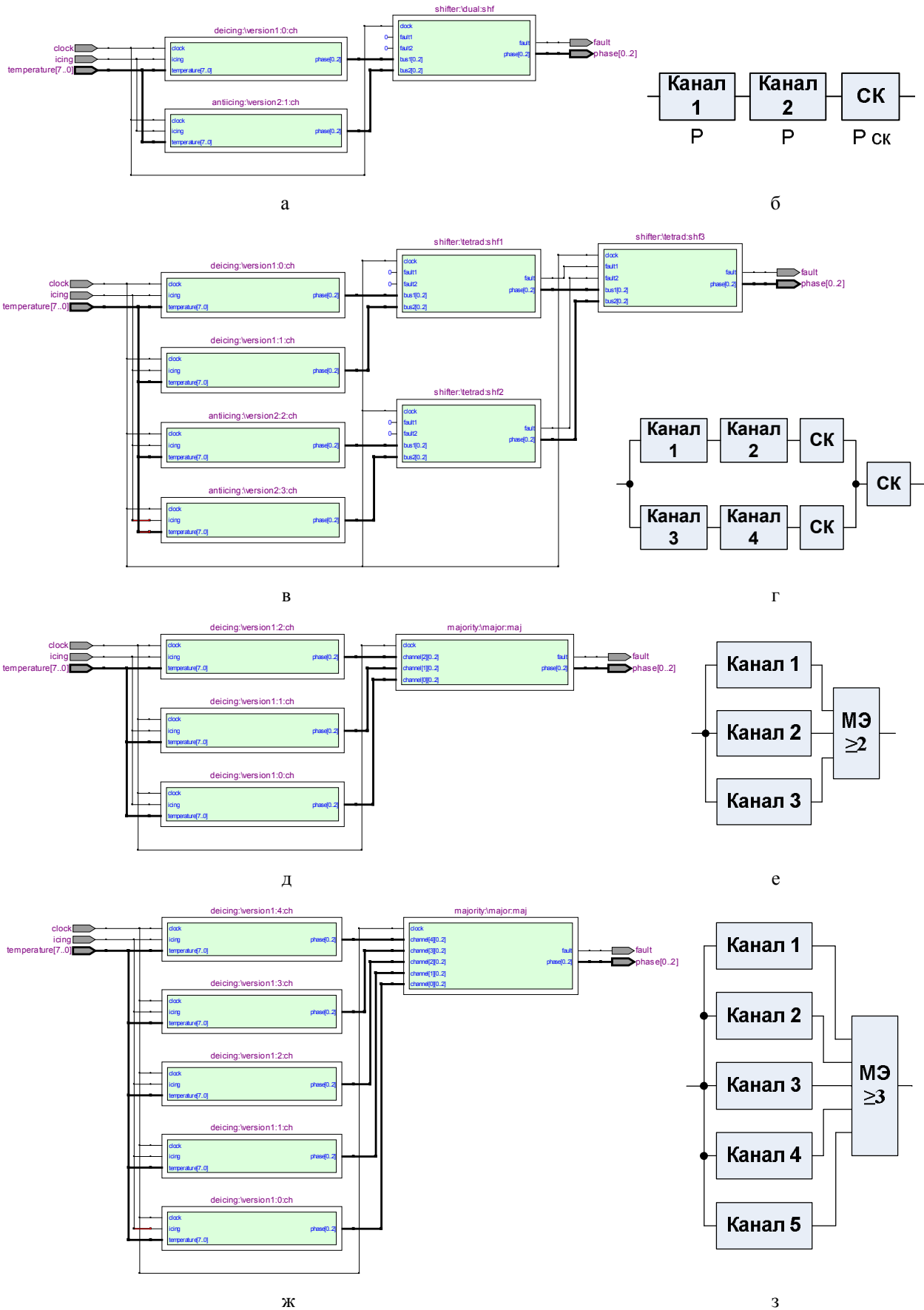


Рис. 4. RTL представлення і ССН для всіх реалізуємих архітектур, задаємих обцим числом каналів ІР: а і б – при 2 каналах, в і г – при 4 каналах, д і е – при 3 каналах, ж і з – при 5 каналах соответственно

5.2. Исследование надежности

Для разработанной ИР была проведена оценка надежности параметризуемого прототипа устройства управления ПОС в соответствии с методикой, описанной в разделе 4. Наиболее интересные результаты иллюстрируются ниже.

На рисунке 5 представлено сравнение различных архитектур, задаваемых числом каналов каждой версии (например, v1v1v1 – мажоритарный элемент с порогом 2, у которого все каналы реализованы с использованием версии 1, что соответствует набору параметров, изображенных на рисунке 3). Критерием сопоставления является показатель использования логических ячеек конкретным вариантом реализации (по вертикальной оси).

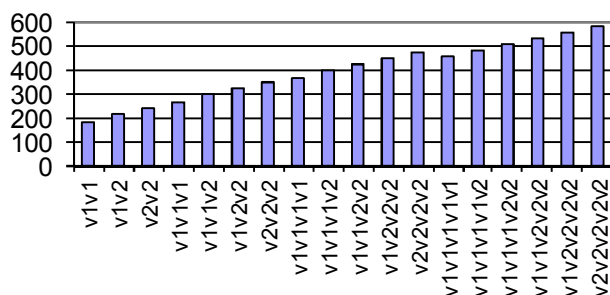


Рис. 5. Сравнение количества используемых ресурсов ПЛИС при различных вариантах параметризации проекта разработанной ИР

Информация об интенсивности отказов кристаллов ПЛИС фирм Altera и Xilinx может быть получена из публикуемых ими отчетов (Reliability Report). Также следует принимать во внимание рост интенсивности единичных сбоев (Single Event Upsets) на несколько порядков для FPGA на основе SRAM с увеличением высоты во время полёта самолета.

По методике из раздела 4 был проведен расчет интенсивности отказов одной логической ячейки ПЛИС Altera серии Cyclone семейства Cyclone в корпусе EP1С3Т144С8N при $\lambda_{PLD} = 10^{-7}$ 1/ч, $n_{LE} = 2910$, $\alpha = 0,2$ и $\beta = 0,2$:

$$\lambda_{LE} = \frac{0,8 \cdot 10^{-7}}{1,2 \cdot 2910} \approx 2,29 \cdot 10^{-11} \text{ 1/ч.}$$

На основе этого проведен анализ вероятностей безотказной работы всех реализуемых ИР инфраструктурой архитектур, соответствующих структурным схемам надежности на рисунках 4б, 4г, 4е, 4з. Графическое представление результатов этого анализа приведено на рисунке 6. Анализ полученных результатов требует учета масштаба рассматриваемой области времени и количества ресурсов ПЛИС, используемых для реализации каждого из ИР-ядер.

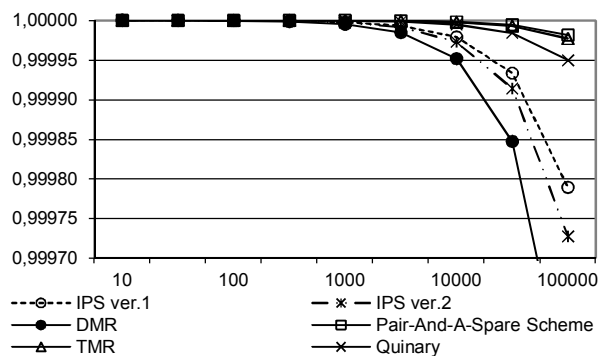


Рис. 6. Графики вероятности безотказной работы двух версий каналов и всех архитектур, реализуемых параметризацией разработанной ИР

Данные результаты не противоречат теоретически предсказываемому преимуществу мажоритарных архитектур и объясняются ограниченностью рассматриваемой временной области (в динамике соотношение кривых принимает узнаваемый вид).

Результаты исследования предоставили возможность разработчикам ПОС осуществить выбор реализации ИР инфраструктуры (или ее параметризацию) в широких пределах с учетом требований конечного проекта (требований к надежности, занимаемым ресурсам кристалла ПЛИС). В частности оказалось, что в рамках данного проекта из 3-5 канальных архитектур приоритетный ряд имеет вид: 4, 3, 5 (наилучший показатель у 4-х канальной архитектуры, изображенной на рис. 4в, которая соответствует структурной схеме надежности на рис. 4г).

Выводы

К основным результатам данной работы следует отнести:

- модели параметризуемых ИР-ядер и ИР инфраструктур, которые позволяют аналитически описать ИР-ядра и процесс их параметризации;
- элементы методики разработки отказоустойчивых систем на основе ИР- и ИР-ориентированных стратегий, которые позволяют определить критерии и в последующем автоматизировать принятие проектных решений.
- методика оценки надежности параметризуемых ИР, особенностью которой является учет возможного расхождения суммы логических ячеек отдельных ИР-ядер и их инфраструктуры, что позволяет в конечном итоге повысить точность оценки устойчивости системы к одиночным и кратным отказам.

Анализ полученных результатов позволяет сделать вывод о том, что использование параметризуемых ИР-ядер и параметризуемых ИР является

следующим шагом проектирования отказоустойчивых встроенных систем на программируемой логике, позволяя, с одной стороны, упростить процесс разработки, а с другой, – повысить надежность проектов за счет заранее разработанных нестандартных библиотечных модулей.

Результаты данной работы были апробированы при создании макета модификации устройства управления ПОС АН 140, что позволило оценить и сформулировать рекомендации по повышению надежности характеристик.

Полученные результаты могут быть использованы при разработке встроенных систем, выполняемых с использованием технологии ПЛИС, и развиты в направлении, связанном с максимально детальным исследованием физики отказов и их проецирования на логическую структуру.

Литература

1. Zorian, Y. *What is an Infrastructure IP?* [Text] / Y. Zorian // *IEEE Design & Test of Computers*. – 2002. – vol. 19, no. 3. – P. 5-7.

2. *Отказобезопасные информационно-управляющие системы на программируемой логике* [Текст] / Е. С. Бахмач, А. Д. Герасименко, В. А. Головир и др. ; под ред. В. С. Харченко, В. В. Скляр. – Харьков : Национальный аэрокосмический университет «ХАИ», Научно-производственное предприятие «Радий», 2008. – 380 с.

3. *Verilog & System Verilog. Проектирование и верификация цифровых систем на кристаллах* [Текст] / В. И. Хаханов, И. В. Хаханова, Е. И. Литвинова, О. А. Гузь. – Харьков : ХНУРЭ, 2010. – 526 с.

4. *Отказоустойчивые встроенные системы на программируемой логике. Лекционный материал* [Текст] / В. Н. Локазыук, С. Б. Остроумов, О. В. Поморова и др. ; под ред. В. С. Харченко. – Министерство образования и науки Украины, Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», 2008. – 264 с.

5. *Отказоустойчивые встроенные системы на программируемой логике. Практикум* [Текст] / Е. В. Бабешко, В. А. Куланов, В. Н. Локазыук и др. ; под ред. В. С. Харченко. – Министерство образования и науки Украины, Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», 2008. – 118 с.

6. Харченко, В. С. *Отказоустойчивые встроенные цифровые системы на программируемых логических интегральных схемах (ПЛИС)* [Текст] : учебное пособие / В. С. Харченко, В. В. Тарасенко, А. А. Ушаков. – Харьков : Нац. аэрокосм. ун-т «Харьк. авиац. ин-т», 2004. – 210 с.

7. *Fault-tolerant FPGA: Architectures and design for programmable logic intellectual property core in SoC* [Text] / M. Amagasaki, Q. Zhao, M. Iida, M. Kuga,

T. Sueyoshi // *IEICE Transactions on Information and Systems*. – 2015. – vol. E98D, № 2. – P. 252-261.

8. *Грушвицкий, Р. И. Проектирование систем на микросхемах программируемой логики* [Текст] / Р. И. Грушвицкий, А. Х. Мурсаев, Е. П. Узрюмов. – СПб. : БХВ-Петербург, 2002. – 608 с.

9. Prokhorova, J. *Checking and Reconfiguration Techniques for Multi-version IP in SoPC* [Text] / J. Prokhorova // *Proceedings of the IXth International Conference CADSM 2007, Lviv-Polyana, Ukraine, February 20-24, 2007*. – P. 192-193.

10. *Fault-Tolerant SOPC-Based Approaches with Multi-Version IP* [Text] / V. Kharchenko, J. Prokhorova, S. Ostroumov, V. Kulanov // *Radioelectronic and computer systems*. – 2007. – № 8 (27). – P. 71-77.

11. *Dependable SoPC-based On-board Ice Protection System: from Research Project to Implementation* [Text] / Y. Prokhorova, V. Kharchenko, S. Ostroumov, S. Yatsenko, M. Sidorenko, B. Ostroumov // *Proceedings of International Conference on Dependability of Computer Systems (DepCoS-RELCOMEX 2008)*, Szklarska Poreba, Poland, June 26-28, 2008. – P. 135-142.

12. Kulanov, V. *Parameterized IP Infrastructures for Fault-Tolerant FPGA-Based Systems: Development, Assessment, Case-Study* [Text] / V. Kulanov, V. Kharchenko, A. Perepelitsyn // *Proceedings of IEEE East-West Design & Test Symposium*. – 2009. – P. 322-325.

References

1. Zorian, Y. *What is an Infrastructure IP?*. *IEEE Design & Test of Computers*, 2002, vol. 19, no. 3, pp. 5-7.

2. Bachmach, E. S., Herasimenko, A. D., Golovir V. A. *Otkazobezopasnye informacionno-upravljajushhie sistemy na programmiruemoj logike* [Fail-safe PLD-Based Information and Control Systems], Pod red. Kharchenko V. S. i Sklara V. V. Kharkov, Nationalniy aerokosmicheskij universitet «KhAI», Nauchno-proizvodstvennoe predpriyatje «Radij» Publ., 2008. 380 p.

3. Hahanov, V. I., Hahanova, I. V., Litvinova, Y. I., Guz, O. A. *Verilog & System Verilog. Proektirovanie i verifikacija cifrovyh sistem na kristallah* [Verilog & System Verilog. Design and verification for SoC], Kharkov, KhNURE Publ., 2010. 526 p.

4. Lokazyuk, V. N., Ostroumov, S. B., Pomorova, O. V., Prokhorova, Y. N., Ushakov, A. A., Kharchenko, V. S. *Otkazoustojchivye vstroennye sistemy na programmiruemoj logike. Lekcionnyj material* [Fault-tolerant embedded PLD-systems. Lectures]. Ministerstvo obrazovanija i nauki Ukrainy, National Aerospace University "Kharkov Aviation Institute" Publ., 2008. 264 p.

5. Babeshko, E. V. Kulanov, V. A., Lokazyuk V. N., Ostroumov, S. B., Pomorova, O. V., Prokhorova, Y. N., Kharchenko, V. S. *Otkazoustojchivye vstroennye sistemy na programmiruemoj logike. Praktikum* [Fault-tolerant embedded PLD-systems. Training]. Ministerstvo obrazovanija i nauki Ukrainy, National Aerospace

University "Kharkov Aviation Institute" Publ., 2008. 118 p.

6. Kharchenko, V. S., Tarasenko, V. V., Ushakov, A. A. *Otkazoustojchivye vstroennye cifrovye sistemy na programmirovaniy logicheskikh integral'nykh shemah (PLIS). Uchebnoe posobie* [Fault-Tolerant Embedded Digital FPGA Systems], Kharkiv, KhAI Publ., 2004. 210 p.

7. Amagasaki, M., Zhao, Q., Iida, M., Kuga, M., Sueyoshi, T. Fault-tolerant FPGA: Architectures and design for programmable logic intellectual property core in SoC. *IEICE Transactions on Information and Systems*, 2015, vol. E98D, no. 2, pp. 252-261.

8. Grushvitsky, R. I., Mursaev, A. H. Ugryumov, E. P. *Proektirovanie sistem na mikroshemah programmirovemoj logiki* [System designing on pro-grammable logic chips], Saint-Petersburg, BKHV-Peterburg Publ., 2002, 608 p.

9. Prokhorova, J. Checking and Reconfiguration Techniques for Multi-version IIP in SoPC. *Proceedings*

of the IXth International Conference CADSM 2007, Lviv-Polyana, Ukraine, February 20-24, 2007, pp. 192-193.

10. Kharchenko, V., Prokhorova, J., Ostroumov, S., Kulanov, V. Fault-Tolerant SOPC-Based Approaches with Multi-Version IIP. *Radioelectronic and computer systems*, 2007, no. 8 (27), pp. 71-77.

11. Prokhorova, Y., Kharchenko, V., Ostroumov, S., Yatsenko, S., Sidorenko, M., Ostroumov, B. Dependable SoPC-based On-board Ice Protection System: from Research Project to Implementation. *Proceedings of International Conference on Dependability of Computer Systems (DepCoS-RELCOMEX 2008)*, Szklarska Poreba, Poland, June 26-28, 2008, pp. 135-142.

12. Kulanov, V., Kharchenko, V., Perepelitsyn, A. Parameterized IP Infrastructures for Fault-Tolerant FPGA-Based Systems: Development, Assessment, Case-Study. *Proceedings of IEEE East-West Design & Test Symposium*, 2009, pp. 322-325.

Поступила в редакцію 11.03.2016, рассмотрена на редколлегии 14.04.2016

ЗАСТОСУВАННЯ ПАРАМЕТРИЗОВНИХ ІР ІНФРАСТРУКТУР ДЛЯ РОЗРОБКИ ВБУДОВАНИХ ВІДМОВОСТІЙКИХ СИСТЕМ НА ПЛІС

А. Є. Перепелицин

Пропонуються моделі параметризованих ІР-ядер і ІР інфраструктур, що дозволяють аналітично описати процес їх параметризації. Надається методика розробки відмовостійких систем на основі ІР- і ІІР-орієнтованих стратегій, які дозволяють визначити критерії та в подальшому автоматизувати процес прийняття проектних рішень. Пропонується методика оцінки надійності параметризованих ІР інфраструктур. Наводиться приклад використання розглянутих методик для створення макета модифікації параметризованого пристрою керування протиобліднювальною системою літака АН 140 на ПЛІС.

Ключові слова: ПЛІС, FPGA, ІР-ядра, ІІР, параметризація, мультипараметризація, ресурси ПЛІС, резервування на кристалі, версійність, відмовостійкість.

USAGE OF PARAMETRIZABLE IP INFRASTRUCTURES FOR FPGA-BASED FAULT-TOLERANT ONBOARD SYSTEMS DEVELOPMENT

A. E. Perepelitsyn

The models of parametrizable IP-cores and IP infrastructures are proposed. These models allow to describe process of their parametrization analytically. The fault-tolerant systems development technique based on IP- and IIP-oriented approaches is given. This technique allows to define the criteria for automation of options choice for design flow. The technique of reliability assessment of parametrizable IP infrastructures is offered. The example of usage of considered techniques for development of FPGA-based parametrizable control unit prototype for aircraft ice protection system of Antonov An-140 is given.

Key words: PLD, FPGA, IP-cores, IIP, parameterization, multiparametrization, FPGA resources, on-chip redundancy, versioning, fault tolerance.

Перепелицын Артём Евгеньевич – ст. преп. каф. компьютерных систем и сетей Национального аэрокосмического университета им. Н. Е. Жуковского «ХАИ», Харьков, Украина, e-mail: a.perepelitsyn@csn.khai.edu.

Perepelitsyn Artem Evgenevich – senior lecturer of Computer Systems and Networks department, National Aerospace University "Kharkov Aviation Institute", Kharkov, Ukraine, e-mail: a.perepelitsyn@csn.khai.edu.