УДК 004.31, 621.31

Т. І. ТКАЧУК

Національний університет «Львівська політехніка», Львів

АНАЛІЗ VHDL-МОДЕЛЕЙ ОПТИМІЗОВАНИХ МАТРИЧНИХ ПРИСТРОЇВ МНОЖЕННЯ

Реалізовано VHDL-моделі оптимізованих структур матричних пристроїв множення (ПМ) з горизонтальним та діагональним розповсюдженням переносу. Описано конвеєрний варіант оптимізованого матричного ПМ з діагональним переносом. Проведено аналіз розроблених VHDL-моделей ПМ та наведено отримані часові діаграми роботи таких пристроїв. Методом моделювання реалізованих VHDL-моделей пристроїв множення на ПЛІС програмними засобами Quartus II компанії Altera отримано кількісні характеристики роботи таких пристроїв в реальних умовах.

Ключові слова: *матричні пристрої множення, Н-модель алгоритму, характеристики складності, VHDL-модель, ПЛІС, Quartus II.*

Вступ. Постановка проблеми

Високошвидкісна обробка алгоритмів спеціальних функцій є одним з важливих завдань у створенні спеціалізованих комп'ютерних систем (СКС). Провівши аналіз таких алгоритмів стає зрозуміло, що одним з основних арифметичних елементів у них є ПМ. Стрімкий розвиток нової елементної бази та нових комп'ютерних технологій вимагає нових підходів до проектування та оптимізації даного класу пристроїв виконання арифметичних операцій, які реалізуються апаратним методом [1-3].

Підчас синтезу будь-яких схем точного множення двійкових чисел, насамперед аналізується матриця, яку називають нульовим шаром схеми множення. Найпоширенішими синтезованими ПМ, які були реалізовані таким методом, є матричні ПМ з горизонтальним та діагональним розповсюдженням переносу [4].

Проведення параметричної оптимізації матричних ПМ методом аналізу характеристик складності Н-моделі алгоритму дало змогу отримати оптимізовані ПМ з горизонтальним та діагональним розповсюдженням переносу.

Сьогодні для реалізації пристроїв СКС все частіше використовують ПЛІС (FPGA) [5]. Метою даної статті є реалізація та проведення аналізу VHDL моделей оптимізованих схем матричних (ПМ), а також у статті наведені отримані тестові дані моделювання VHDL моделей на ПЛІС компанії ALTERA.

1. Оптимізований матричний ПМ з горизонтальним переносом

Матричний ПМ з горизонтальним переносом реалізовано у вигляді матриці з'єднаних між собою комірок. Це комбінаційна схема, управління якої обмежено подачею на вхід двох n-розрядних співмножників.

Фрагмент матриці оптимізованого ПМ з горизонтальним переносом зображено на рисунку (рис. 1). Схема відтворена без вхідних ліній нульового шару, але матриця кон'юнкцій збережена у комірках Гілда (Г) та комірках напівсуматора (Н). Характеристики складності такої схеми наступні: структурна складність S=14, часова L=3n – 6, апаратна складність $A=(n-1)^2$, програмна складність P=0 [6].

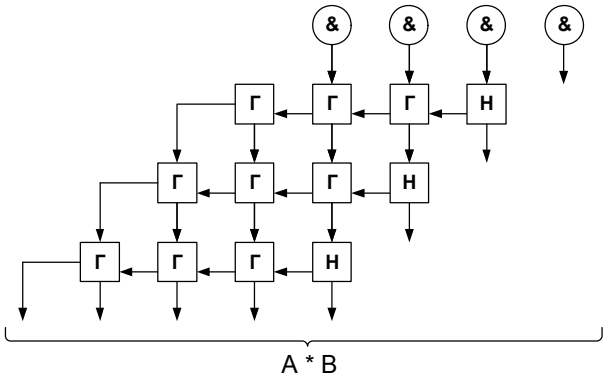

Рис. 1. Оптимізований ПМ з горизонтальним переносом

Оптимізований матричний ПМ з горизонтальним розповсюдженням переносу має зменшені значення апаратної та часової характеристик складності, значення структурної складності зросло з появою неоднорідності елементів матриці.

Для подальшого аналізу оптимізований матричний ПМ з горизонтальним розповсюдженням переносу описано мовою VHDL. При аналізі інтегрованих ПМ у ПЛІС компанії Altera виявлено, що розробниками використовуються ПМ з розрядністю вхідних даних 9 біт, таким чином матричні ПМ проана-

© Т. І. Ткачук

лізовані у даній статті також мають розрядність вхідних даних 9 біт, для більш точного порівняння результатів роботи.

Результати моделювання в системі Quartus II VHDL-моделі (рис. 2) оптимізованого матричного ПМ з горизонтальним переносом показали, що для реалізації одного такого пристрою необхідно 154 логічні елементи. Якщо реалізовувати такий пристрій на ПЛІС сімейства Cyclone IV GX, то один такий ПМ займатиме менше одного відсотка кристалу. Час спрацювання його буде рівним 11.9нс (~84MHz). На рисунку (рис. 3) наведено часову діаграму роботи оптимізованого матричного ПМ з горизонтальним розповсюдженням переносу з випадковим набором вхідних даних.

2. Оптимізований матричний ПМ з діагональним переносом

Оптимізований матричний ПМ з діагональним розповсюдженням переносу має більш неоднорідну структуру, вона складається з матриці комірок Гілда та елементів кон'юнкції, до якої приєднаний n розрядний суматор. Програмна складність такої схеми також рівна нулю. Апаратна складність є більшою $A=n^2-n$, це пояснюється появою додаткового n-розрядного суматора. Часова складність L=2n-2. Структурна складність S=21.1 [7]. На рисунку (рис. 4) зображена структурна схема оптимізованого ПМ з діагональним розповсюдженням переносу.

Перевагою даного ПМ є зменшена часова складність, приблизно в 1,5 рази у порівнянні з оптимізованим ПМ з горизонтальним розповсюдженням переносу. Таке значення часової складності отримано методом збільшення структурної та апаратної характеристик складності пристрою, що дало змогу зменшити максимальний критичний шлях розповсюдження сигналу [7]. Даний варіант ПМ (рис. 4) було удосконалено зменшенням значення часової характеристики складності методом конвеєрної організації схеми. Наступним кроком є реалізація VHDL-моделі конвеєрного матричного ПМ та проведення емуляції цієї моделі на ПЛІС для отримання числових характеристик такого пристрою.

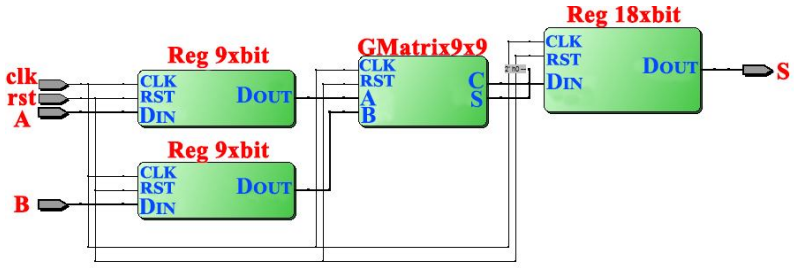

Рис. 2. Структура VHDL Моделі оптимізованого матричного ПМ з горизонтальним переносом

Рис. 3. Часова діаграма роботи оптимізованого матричного ПМ з горизонтальним переносом

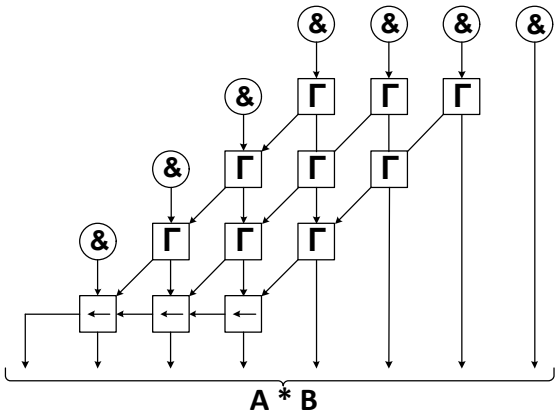

Рис. 4. Фрагмент матриці оптимізованого ПМ з діагональним розповсюдженням переносу

4. Конвеєрний матричний ПМ з діагональним переносом

Двоступеневий конвеєрний варіант матричного ПМ з діагональним переносом зображений на рисунку (рис. 5). Розділення схеми проведено двома регістрами по горизонталі між матрицею комірок Гілда і елементів кон'юнкції, та додатковим n-розрядним суматором. Для кожної частини розділеної схеми часова складність однакова L=n-1, а її значення не зв'язане з довжиною конвеєрних регістрів. Апаратна та структурна характеристики складності такого ПМ зросли, за рахунок доданих конвеєрних регістрів $A=n^2+4n-2$, та S=25.3.

Методом реалізації структури (рис. 5) мовою опису апаратних засобів VHDL, проведено аналіз VHDL-моделі конвеєрного матричного ПМ з діагональним переносом. У результаті моделювання роботи VHDL-моделі ПМ на ПЛІС сімейства Cyclone IV GX програмними засобами Quartus II отримано структурну схему (рис. 6). Такий пристрій займатиме однин відсоток кристалу, а саме 197 логічних елементів. Час спрацювання сходинки конвеєра такого ПМ на даному кристалі буде рівним 7.06нс (~141,64 MHz).

Провівши аналіз характеристик складності конвеєрного варіанту матричного ПМ з діагональним розповсюдженням переносу можна зробити висновок, що методом збільшення структурної та апаратної характеристик складності пристрою, було досягнуто покращення значення часової характеристики складності. На рисунку (рис. 7) наведено часову діаграму роботи конвеєрного варіанту ПМ з набором випадкових вхідних даних. Проаналізувавши діаграму (рис. 7) видно, що результат множення з'являється через два такти після появи даних на вході, що відповідає роботі двоступеневого конвеєра.

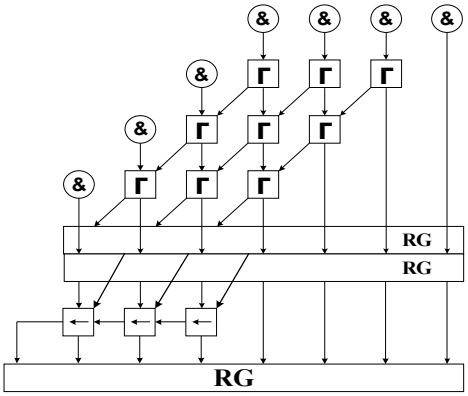

Рис. 5. Конвеєрний матричний ПМ з діагональним розповсюдженням переносу

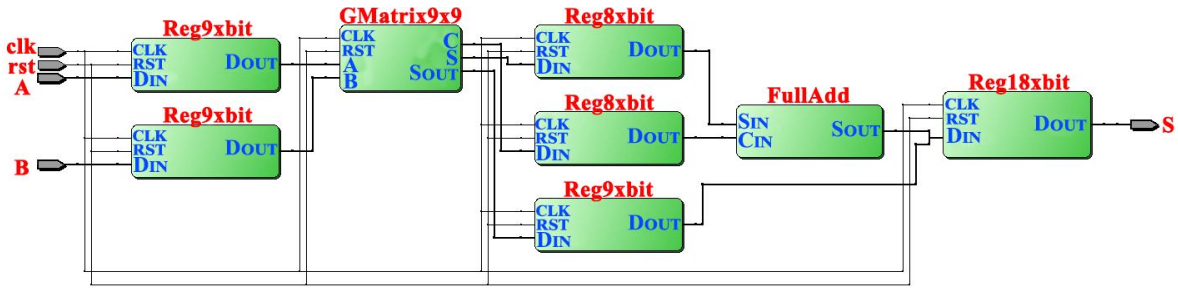

Рис. 6. Структура VHDL моделі оптимізованого конвеєрного ПМ з горизонтальним переносом

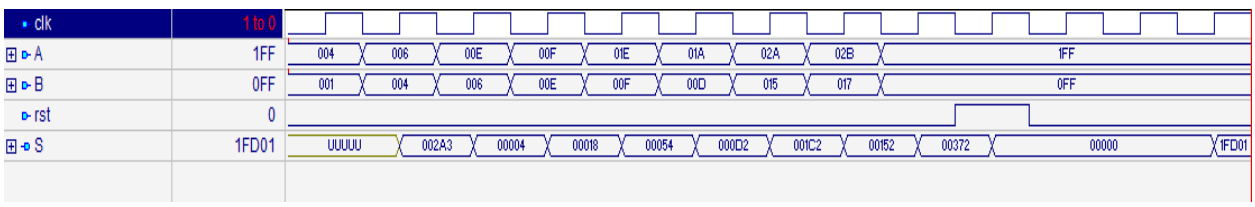

Рис. 7. Часова діаграма роботи конвеєрного матричного ПМ з діагональним переносом

Висновки

Аналіз характеристик складності Н-моделі алгоритмів ПМ дав змогу максимально оптимізувати структуру матричних ПМ, що значно спростило та прискорило процес проектування їх VHDL моделей. Реалізація VHDL моделі кожного з розглянутих ПМ дала змогу провести моделювання їх роботи на ПЛІС за допомогою програмного забезпечення Quartus II компанії Altera, в результаті чого було отримано числові характеристики їх розміру на кристалі, та час появи результату операції множення на виході схеми. Розглянуті схеми матричних ПМ розрізняються за всіма характеристиками складності та часом спрацювання на кристалі. Вибір тієї чи іншої повністю залежить від напрямку застосування СКС у яких вони будуть використовуватися.

ПМ з горизонтальним переносом найкраще підходить для спрощених, мало розрядних процесорів з мінімальною структурною та апаратною складністю. Частота роботи такого ПМ на ПЛІС рівна 11.9нс (~84MHz).

Конвеєрний ПМ з діагональним розповсюдженням переносу доцільно використовувати у обчислювальних процесорах, до яких поставлена вимога отримання високої швидкодії, де пристрій множення використовується як слабо зв'язаний з іншими вузлами системи. Час спрацювання сходинки конвеєра такого ПМ на ПЛІС рівний 7.06нс (~141,64 MHz).

Подальші дослідження скеровані на поглиблений аналіз розробленої VHDL моделі конвеєрного варіанту ПМ та пошуку шляхів оптимізації та зменшення часу спрацювання сходинки конвеєра, а також його тестування у реальних умовах.

Література

1. Черкаський, М. В. Характеристики складності пристроїв множення [Текст] / М. В. Черкаський, Т. І. Ткачук // Радіоелектронні і комп'ютерні системи. – 2012. – № 5(57). – С. 142-147.

2. Spitzer, A. Method of switching packets in networks on chip with matrix topology [Text] / A. Spitzer, R. Dunets. // Journal of Information, Control and Management Systems. –2012. – Vol. 10, No. 1. – P. 105-111.

3. Jeevitha, M. VLSI Based Combined Multiplier Architecture [Text] / M. Jeevitha, R. Muthaiah // Journal of Artificial Intelligence. – Tamil Nadu, India, Mar. 2013. – P. 145-153.

4. Dunets, R. Models of hardware integration of sensors elements with cyber-physical systems [Text] / R. Dunets, H. Klym, R. Kochan // Proc. of the XIIIth Int. Conf. "Modern problems of radio engineering, telecommunications, and computer science" TCSET'2016, Slavsko, Ukraine, Feb, 2016. – P. 270-274.

5. Дунець, Р. Б. Підхід до класифікації комунікаційних середовищ мереж на кристалі [Текст] // Вісник НУ "Львівська політехніка" Комп'ютерні системи та мережі. – Львів, 2014. – Вип. 806. - С. 57-61.

6. Cherkaskyy, M. H-Model of the Algorithm. [Text] / M. Cherkaskyy, Murad Hussein Khalil // Modern Problems of Radio Engineering, Telecommunications and Computer Science. Proc. of the Int. Conf. TCSET"2006. Lviv, Publ. House of Lviv Polytechnic, 2006. – P. 44-45.

7. Черкаський М., Ефективний пристрій згортки [Текст] / М. Черкаський, Т. Ткачук // Вісник «Комп'ютерні науки та інформаційні технології» Національного університету «Львівська політехніка». – 2012. – № 732. – С. 66-71.

References

1. Cherkaskyy, M. V., Tkachuk, T. I. Kharakterystyky skladnosti prystroyiv mnozhennya [Characteristics of complexity of multiplication devices]. *Radioelektronni i kompyuterni systemy*, 2012, vol. 5(57), pp. 142-147.

2. Spitzer, A., Dunets, R. Method of switching packets in networks on chip with matrix topology. *Journal of Information, Control and Management Systems*, 2012, vol. 10, no.1, pp. 105-111.

3. Jeevitha, M., Muthaiah, R. VLSI Based Combined Multiplier Architecture. *Journal of Artificial Intelligence*, 2013, pp. 145-153.

4. Dunets, R., Klym, H., Kochan, R. Models of hardware integration of sensors elements with cyber-physical systems. *TCSET'2016 Proc. of the XIIIth Int. Conf., Modern problems of radio engineering, telecomm. and computer science*, 2016, pp. 270-274.

5. Dunets, R. B. Pidkhid do klasyfikatsiyi komunikatsiynykh seredovyshch merezh na krystali [The approach to classification of communications media networks on chip]. *Komp"yuterni systemy ta merezhi*, 2014, vol. 806, pp. 57-61.

6. Cherkaskyy, M., Khalil, Hussein M. H-Model of the Algorithm. *Proc. of the Int. Conf. TCSET"2006*. Lviv, House of Lviv Polytechnic Publ., 2006, pp. 44-45.

7. Cherkaskyy, M., Tkachuk, T. Efektyvnyy prystriy zhortky [Effective convolution device]. *Visnyk Kompyuterni nauky ta informatsiyni tekhnolohiyi*, 2012, vol. 732, pp. 66-71.

Надійшла до редакції 15.03.2016, розглянута на редколегії 14.04.2016

АНАЛИЗ VHDL-МОДЕЛЕЙ ОПТИМИЗИРОВАННЫХ МАТРИЧНЫХ УСТРОЙСТВ УМНОЖЕНИЯ

Т. И. Ткачук

Реализовано VHDL-модели оптимизированных структур матричных устройств умножения с горизонтальным и диагональным переносом. Описано конвейерный вариант оптимизированного матричного устройства умножения с диагональным переносом. Проведен анализ реализованных VHDL-моделей устройств умножения и приведены временные диаграммы работы таких устройств. Методом моделирования VHDL-моделей устройств умножения на ПЛИС программными средствами Quartus II компании Altera получено количественные характеристики роботы таких устройств в реальных условиях.

Ключевые слова: матричные устройства умножения, Н-модель алгоритма, характеристики сложности, VHDL-модель, ПЛИС, Quartus II.

ANALYSIS OF VHDL-MODELS OF OPTIMIZED MATRIX MULTIPLICATION DEVICES

T. I. Tkachuk

In this article VHDL-models of optimized structures of matrixed multiplication devices was implemented. Pipelined version of optimized matrix multiplication device with diagonal transfer is described. The analysis of VHDL-models of optimized multiplication devices was provided and time diagrams of functionality of such devices are also provided. By the method of emulation of VHDL-models of multiplication devices on the FPGA by Quartus II software of Altera company, the frequency characteristics of real-time work of this devices were given.

Key words: matrix devices of multiplication, H-model of algorithm, pipelined multiplier, characteristics of complexity, VHDL-model, FPGA, Quartus II.

Тарас Ігорович Ткачук – асистент кафедри спеціалізовані комп'ютерні системи, Національний університет "Львівська політехніка, Львів, Україна, e-mail: taras.i.tkachuk@lpnu.ua.

Taras Ihorovich Tkachuk – assistant of Dep. of Specialized Computer Systems, Lviv Polytechnic National University, Lviv, Ukraine, e-mail: taras.i.tkachuk@lpnu.ua.