

УДК 681.3.042

В.М. Рудницький, І.М. Федотова-Півень

Черкаський державний технологічний університет, Черкаси

МЕТОД ПІДВИЩЕННЯ ШВИДКОДІЇ АРИФМЕТИЧНИХ ПРИСТРОЇВ ЗА РАХУНОК СУМІЩЕНОГО ВИКОНАННЯ ОПЕРАЦІЙ В СТРУКТУРНО-БЛОКОВИХ КОДАХ

В статті розглянуто метод одночасного виконання кількох $k \in \{2; 3; 4; 5\}$ операцій додавання з використанням структурно-блокових кодів, який дає можливість підвищити швидкодію арифметичних пристроїв. Визначено ряд систем числення, найбільш перспективних для додавання методом суміщеного виконання операцій і для знаходження оптимальних схем технічних рішень арифметичних пристроїв.

Ключові слова: підвищення швидкодії суматора, структурно-блокові коди, мікроконвеєрне додавання.

Вступ

Постановка проблеми. Обчислювальна техніка (ОТ) широко використовується для автоматизації управління виробничими і технологічними процесами. Зростають вимоги до якості, складності технічних засобів управління, жорсткість умов їх експлуатації і відповідальність виконуваних ними завдань, а тому ефективність систем управління прямо залежить від надійності технічних засобів. Проблема підвищення швидкодії, продуктивності і надійності технічних засобів обробки цифрової інформації – одна з найбільш актуальних в сучасній електроніці.

Аналіз останніх досліджень і публікацій. Питання розробки, проектування і використання цифрових елементів, вузлів і пристроїв для засобів обробки інформації розглядалися в роботах В.М. Глушкова, А.Д. Закревського, С.І. Баранова, В.А. Скларова, В.В. Соловйова, Е.П. Угрюмова, П.Н. Бібіло та ін. Значна частина методів забезпечення надійності засобів обчислювальної техніки базується на надлишковості – апаратній або інформаційній. Значний внесок у створення надійних систем керування з допомогою інформаційної надлишковості, а саме кодування інформації, зробили Дж. фон Нейман, К. Шеннон, Дж. Поуен, С. Виноградов, М.О. Гаврилов, О.П. Стахов, Є.І. Брюхович, Ю.Г. Дадаєв та ін.[1]. Аналіз існуючих кодових систем свідчить, що їх властивості залежать від рівня надлишковості.

Відомо, що в обчислювальних системах найбільш поширеною і часто використовуваною арифметичною операцією є додавання [2, с. 678], оскільки воно є структурним блоком при виконанні всіх інших арифметичних операцій. Тому суматор є основним, критичним пристроєм, що обмежує швидкодію системи. [2, с. 678]. Отже, підвищення швидкодії суматора та зменшення його собівартості є основною складовою збільшення продуктивності всієї обчислювальної системи.

Одним із перспективних напрямів забезпечення високої швидкодії суматора є застосування структурних кодів [3, 4] та використання мікроконвеєрного додавання [5, с. 184]. Проте на даний час напрямок

підвищення швидкодії за рахунок суміщеного виконання декількох операцій розглянуто не достатньо.

Мета статті: розробити метод підвищення швидкодії арифметичних пристроїв за рахунок суміщеного виконання операцій в структурно-блокових кодах (СБК).

Виклад основного матеріалу

В основу проведеного дослідження була покладена ідея підвищення швидкодії операцій множення і ділення за рахунок суміщення виконання декількох операцій додавання. Теоретично висока надлишковість структурно-блокових кодів дозволяє створити умови для реалізації даного підходу. Одним з найбільш дієвих методів прискорення операції додавання є скорочення максимальних шляхів поширення переносів за рахунок введення надлишковості при представленні цифр в r -ковій системі числення [5, с. 173]. Важливо при цьому, щоб поширення переносів не залежало від довжини доданків [5, с. 173].

В ряді робіт проводилося моделювання СБК та правил виконання операції додавання [6, 7]. Взнявши за основу дані методи узагальнимо їх для синтезу СБК правил виконання одночасного додавання декількох чисел. Теоретично одночасне виконання декількох операцій додавання може бути описано на основі залежності:

$$\sum_{i=1}^k B_n^{y_i} = \sum_{j=1}^M a_j B_n^{x_j}, \quad (1)$$

де k – кількість доданків; M – кількість розрядів результату; $a_j \in \{0;1\}$ – коефіцієнт наявності розряду в результаті; x_j – значення розряду результату; B_n – ваговий коефіцієнт n -го розряду. Проте для практичного вирішення даної задачі необхідно визначити початкові умови (значення коефіцієнтів), рекурентні послідовності $B_n = B_{n-1} \pm B_{n-2} \pm \dots \pm B_{n-l}$, а також знайти невідомі k, M, a_j, x_j, y_i , які задовольняють рівняння (1).

Оскільки ця задача в загальному вигляді вирішується надзвичайно громіздко, введемо такі обмеження: 1) розглядається лише двійкова система числення (СЧ), тобто $x_j, y_i \in \{0;1\}$; 2) кількість додан-

ків $k \in \{1; 2; 3; 4; 5\}$; 3) кількість розрядів результату $1 \leq M \leq 10$.

Але навіть ці обмеження не дозволяють аналітично вирішити цю задачу.

Для її розв'язання було розроблено спеціальне математичне програмне забезпечення, покладене в основу програмного комплексу (ПК), структура якого представлена на рис. 1.

Враховуючи обмеження, які накладають засоби ОТ, обмежимося рекурентними послідовностями виду: $V_n = V_{n-f} \pm V_{n-g} \pm V_{n-h}$, де $1 \leq f \leq 5$, $2 \leq g \leq 6$, $3 \leq h \leq 7$.

З врахуванням обмежень кількість варіантів систем числення, які необхідно проаналізувати, визначається за формулою

$$v = \prod_{p=1}^m x_p \prod_{s=1}^t y_s, \quad (2)$$

де x_p – рекурентні послідовності; y_s – початкові значення ряду; t – кількість початкових значень; m – кількість вагових значень (кофіцієнтів).

В результаті роботи ПК для кожного виду рекурентних послідовностей $V_n = V_{n-f} + V_{n-g} - V_{n-h}$, $V_n = V_{n-f} - V_{n-g} + V_{n-h}$, $V_n = V_{n-f} + V_{n-g} + V_{n-h}$ було проаналізовано 10^7 початкових значень від 1 1 1 1 1 1 до 10 10 10 10 10 10 і 5^3 рекурентних послідовностей. Тому $v = 1\ 250\ 000\ 000$ згідно з (2).

Результати роботи підсистеми синтезу правил додавання ПК виявили значну повторюваність результатів. На етапі підсистеми аналізу кодів з файлу невідсортованих результатів спочатку вилучалися повторювані блоки з найбільшою кількістю рядків при збереженні значень початкових кофіцієнтів, потім – блоки з меншою кількістю рядків, і т.д. до повторюваних блоків з найменшою кількістю рядків. Так було досягнуто вилучення всіх повторень з початкового файлу.

В результаті аналізу було визначено СЧ, найбільш перспективні для подальшого дослідження. Кожна з них характеризується: а) рекурентною послідовністю, на основі якої утворена СЧ; б) початковими умовами; в) системою правил одночасного додавання:

1) системи числення з:

а) $V_n = V_{n-1} + V_{n-2} - V_{n-3}$;

б) 1 1 1 2 2 3 4; 1 1 1 2 2 4 6; 1 1 1 2 2 5 8; 1 1 1 2 2 6 10;

$$в): \begin{cases} 0 + 0 = 0; \\ V_n + 0 = V_n; \\ 2V_n = V_{n+1} + V_{n-1}; \\ 3V_n = V_{n+1} + V_n + V_{n-1}; \\ 4V_n = V_{n+2} + V_{n+1} + V_{n-1} + V_{n-2}; \end{cases} \quad (3)$$

2) системи числення з:

а) $V_n = V_{n-1} + V_{n-3} - V_{n-4}$;

б) 1 1 2 2 4 6 8; 1 1 3 3 4 5 6; 1 1 3 3 5 7 9;

в) система (3);

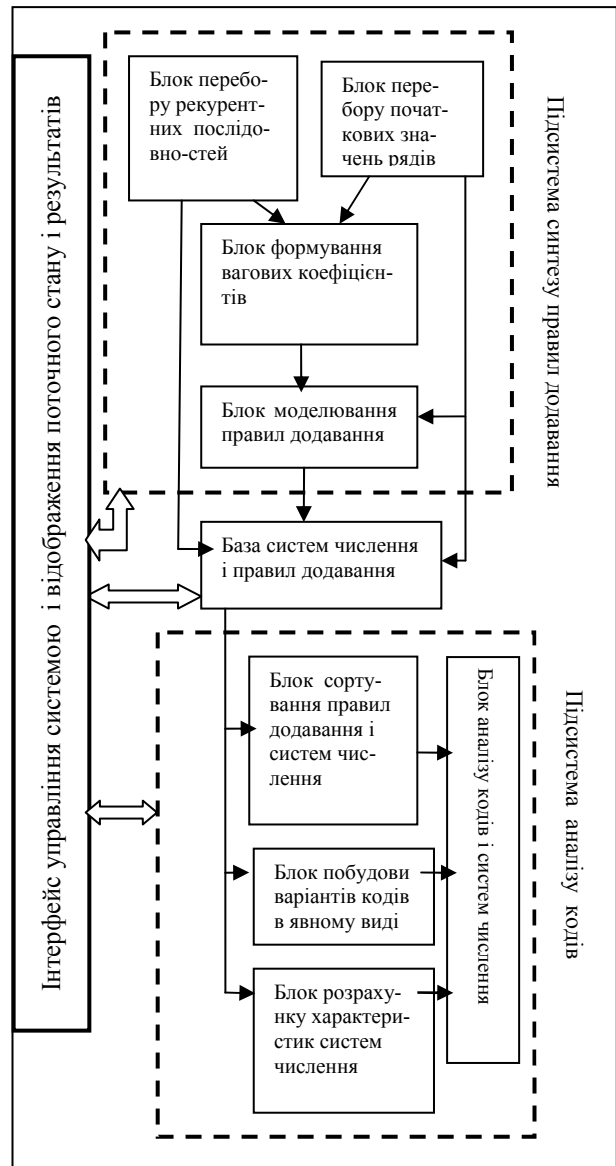


Рис. 1. Структура програмного комплексу одночасного виконання декількох операцій додавання

3) системи числення з:

а) $V_n = V_{n-1} + V_{n-4} - V_{n-5}$,

$$V_n = V_{n-2} + V_{n-3} - V_{n-5};$$

б) 1 1 1 2 3 4 5; 1 1 3 4 5 6 7;

в) система (3);

4) системи числення з:

а) $V_n = V_{n-1} + V_{n-3} + V_{n-4}$;

б) 1 1 1 2 3 5 8; 1 1 1 2 4 6 10;

$$в): \begin{cases} 0 + 0 = 0; \\ V_n + 0 = V_n; \\ 2V_n = V_{n+1} + V_{n-2}; \\ 3V_n = V_{n+2} + V_{n-2}; \\ 4V_n = V_{n+2} + V_n + V_{n-2}; \\ 5V_n = V_{n+2} + V_{n+1} + V_{n-1} + V_{n-4}. \end{cases} \quad (4)$$

Результати проведених обчислень створили теоретичну базу для підвищення швидкодії арифметичних пристроїв за рахунок суміщеного виконання операцій.

Висновки

Проведені дослідження підтвердили гіпотезу одночасного виконання додавання кількох чисел. Визначено ряд СЧ, перспективних для реалізації підвищення швидкодії арифметичних пристроїв

Подальші дослідження будуть направлені на вибір оптимальних схемотехнічних рішень одночасного виконання додавання.

Список літератури

1. Пантелеєва Н.Н. Контроль ошибок в двоичных структурно-блочных кодах / Н.Н. Пантелеєва, В.Н. Рудницький // Вісник ЧДТУ. – Черкаси, 2004. – № 4. – С. 69-73.
2. Рабаи Жан М. Цифровые интегральные схемы. Методология проектирования / Жан М. Рабаи, Ананта Чандракасан, Боривоже Николіч.– 2-ое изд. – М.: Изд. "Вильямс", 2007. – 912 с.
3. Ткаченко А.В. Адаптивный прием структурных кодов / А.В. Ткаченко // Электронное моделирование. –

1992. – Т. 14, № 2. – С. 63-65.

4. Пантелеєва Н.Н. Синтез функциональных узлов комбинационного типа в структурных кодах / Н.Н. Пантелеєва // Вісник ЧДТУ. – Черкаси, 2004. – № 4. – С. 49-52.

5. Шауман А.М. Основы машинной арифметики / А.М. Шауман. – Л.: Ленинградский университет, 1979. – 312 с.

6. Квасников В.П. Моделирование параметров структурно-блочных систем счисления для синтеза высоконадежных измерительных систем / В.П. Квасников, В.М. Рудницький // Вісник інженерної академії України. – К., 2006. – № 1. – С. 53-61.

7. Коломієць Л.В. Моделювання алгоритмів конвейерного виконання операції додавання / Л.В. Коломієць, В.М. Рудницький, С.В. Бесєдіна // Вісник інженерної академії України. – К., 2008. – Вип. 3-4. – С. 138-141.

Надійшла до редколегії 15.06.2009

Рецензент: д-р техн. наук, проф. І.В. Чумаченко, Національний аерокосмічний університет ім. М.Є. Жуковського «ХАІ», Харків.

**МЕТОД ПОВЫШЕНИЯ СКОРОСТИ АРИФМЕТИЧЕСКИХ УСТРОЙСТВ
ЗА СЧЕТ СОВМЕЩЕННОГО ВЫПОЛНЕНИЯ ОПЕРАЦИЙ В СТРУКТУРНО-БЛОЧНЫХ КОДАХ**

В.Н. Рудницький, І.Н. Федотова-Пивень

В статье рассмотрен метод одновременного выполнения нескольких $k \in (2; 3; 4; 5)$ операций сложения с использованием структурно-блочных кодов, который дает возможность повысить быстродействие арифметических устройств. Определен ряд систем счисления, наиболее перспективных для сложения методом совмещенного выполнения операций и для нахождения оптимальных схемотехнических решений арифметических устройств.

Ключевые слова: повышение быстродействия сумматора, структурно-блочные коды, микроконвейерное сложение.

**METHOD OF INCREASE OF SPEED OF ARITHMETIC DEVICES AT THE EXPENSE
OF THE COMBINED PERFORMANCE OF OPERATIONS IN STRUCTURAL-SECTIONAL CODES.**

V.N. Rudnitsky, I.N. Fedotova-Piven

In article the method of simultaneous performance of several $k \in (2; 3; 4; 5)$ operations of addition with use of structural-sectional codes which gives the chance to raise speed of arithmetic devices is considered. Number systems, the most perspective for addition by a method of the combined performance of operations and for a finding optimum of circuit decisions of arithmetic devices are defined.

Keywords: increase of speed of adder, structural - sectional codes, microconveyor addition.