

УДК 621.382:615.471

А.Е. Перепелицын¹, П. Эллевее²¹ *Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», Харьков*² *Таллиннский Технический Университет, Таллинн, Эстония*

РЕАЛИЗАЦИЯ ФОРМИРОВАТЕЛЯ СИГНАЛА ПРОИЗВОЛЬНОЙ ФОРМЫ НА БАЗЕ ПЛИС ДЛЯ ТЕСТИРОВАНИЯ МУЛЬТИЧАСТОТНОГО БИОИМПЕДАНСНОГО АНАЛИЗАТОРА

Обсуждаются особенности реализации мультимчастотного биоимпедансного анализатора на ПЛИС. Показывается необходимость получения сигнала произвольной формы для тестирования существующего проекта биоимпедансного анализатора. Дается аналитический обзор возможных вариантов аппаратной реализации формирователей сигнала с заданными характеристиками. Приводятся пути решения задачи построения формирователя заданного сигнала с частотой 80 МГц в рамках строго определенных ресурсов ПЛИС. Предлагается схема блока синхронизации контроллера памяти и выходной шины формирователя сигнала на ПЛИС.

Ключевые слова: ПЛИС, биоимпедансный анализатор, контроллер памяти.

Введение

Технологии программируемой логики все чаще находят применение в медицинском оборудовании, принося с собой миниатюризацию и гибкость проектов, что в конечном итоге повышает качество и снижает стоимость медицинского обеспечения. Микросхемы ПЛИС широко используются в клинических системах и системах визуализации. Их применение демонстрирует наибольшие перспективы в тех областях, где реализовать функциональность средствами одних только микроконтроллеров на сегодняшний день просто невозможно, т.к. кристаллы ПЛИС позволяют распараллелить сложные задачи обработки медицинской информации и разместить их реализацию в одном корпусе [1].

Примером реализации медицинской системы на ПЛИС является проект устройства, осуществляющего биоимпедансные измерения и обработку данных. Биоимпедансный анализ представляет собой один из видов медицинского обследования, основанный на зависимости сопротивления различных тканей организма от частоты протекающего тока [2]. Проект биоимпедансного анализатора, разработанный сотрудниками Таллиннского Технического Университета, предполагает исследование тканей сигналами сложной формы, подводимыми к телу человека через набор контактов.

Целью данного исследования является поиск возможных путей создания генератора высокочастотного сигнала произвольной формы на базе заданных аппаратных ресурсов для тестирования биоимпедансного анализатора.

1. Особенности реализации биоимпедансного анализатора

FPGA реализация биоимпедансного анализатора может быть декомпозирована на две составляющие, отвечающие за формирование сигналов и за обработку принятых сигналов. Тестирование каждой из этих составляющих требует наличия источника внешнего референтного сигнала (reference signal) с задаваемыми характеристиками.

Требуемый сигнал в самом простейшем случае может складываться из множества различных гармоник. Однако существующий проект биоимпедансного анализатора предусматривает использование также прямоугольных сигналов сложной формы, что обусловлено спецификой этих сигналов.

Учет этих особенностей обуславливает необходимость получения источника высокочастотного сигнала с заданными характеристиками.

2. Способы формирования заданного сигнала произвольной формы

Существует два способа построения формирователя сигнала произвольной формы. Первый предполагает независимую параллельную генерацию составляющих компонентов сигнала (например, гармоник) и их объединение (рис. 1). Это очень ресурсоемкий подход и не может быть использован для решения поставленной задачи, т.к. может потребоваться комбинация нескольких сотен независимых частот [3]. В связи с этим было предложено другое решение данной задачи, заключающееся в использовании заранее сгенерированных наборов данных, хранящихся в памяти

и в требуемой последовательности поступающих на ЦАП. Данный способ изображен на рис. 2.

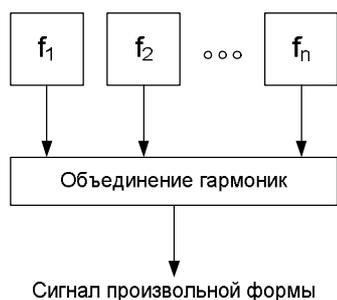


Рис. 1. Независимая генерация и дальнейшее объединение компонентов сигнала

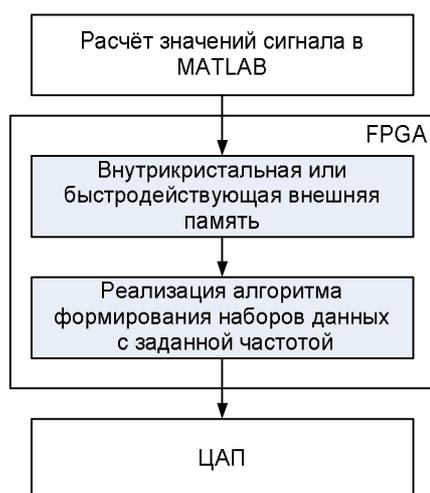


Рис. 2. Формирование наборов данных с использованием заранее сгенерированных значений

Реализация такого способа на ПЛИС может быть использована как для тестирования устройств, так и непосредственно в составе самих медицинских систем. Например, система электроимпедансной томографии, не использующая фантом, должна формировать набор сигналов сложной формы [4].

3. Решение задачи в рамках ресурсов макетной платы XSA-3S1000

Задача построения формирователя жестко привязана к конкретной макетной плате (development board) с FPGA семейства Spartan3 фирмы Xilinx. Данное требование объясняется возможностью подключения макетной платы XSA-3S1000 к плате расширения (expansion board) для монтажа ЦАП (DAC) и других нецифровых компонентов формирователя.

В соответствии с требованиями решаемой задачи частота выдачи данных на ЦАП для формирования искомого сигнала составляет строго 80 МГц. При этом данные должны быть 16-битовые. Подобная интенсивность выдачи данных такой разрядности требует большого объема памяти, которая в рамках задачи не регламентируется.

Поэтому в первую очередь необходимо проверить гипотетическую реализуемость данной задачи средствами указанной макетной платы.

Обзор спецификации макетной платы показал наличие источников тактирования на 50 и 100 МГц.

На плате присутствует чип SDRAM памяти размером 32 мегабайта, способной работать на частоте до 100 МГц. Разрядность памяти соответствует условию задачи и равна 16 (всего 16М наборов по 16 битов). На основании спецификации IP-ядра, предоставляемого производителем макетной платы и реализующего контроллер SDRAM, было установлено, что обычный режим чтения памяти позволяет получать данные лишь с частотой во много раз меньшей, чем частота работы памяти. Однако, в рамках одной строки при конвейерном режиме чтения новый набор данных может формироваться каждый такт. При этом существуют неопределенные задержки, связанные с обновлением динамической памяти, и вычисляемые задержки, связанные с переходом к другой строке или другому банку памяти [5]. Из этого следует, что задача формирования потока данных с частотой, чуть меньшей, чем 100 МГц, решается средствами данной макетной платы. Для получения 80 МГц или других дополнительных значений частот могут быть использованы стандартные модули преобразования частоты DCM (Digital Clock Manager).

Таким образом, в рамках проведенных исследований показана возможность использования требуемой макетной платы для решения задачи формирования заданного сигнала произвольной формы с частотой 80 МГц для тестирования биоимпедансного анализатора.

4. Построение формирователя сигнала произвольной формы

Для формирования с частотой 80 МГц непрерывной последовательности 16-битовых наборов данных, читаемых из SDRAM памяти макетной платы XSA-3S1000, необходимо решить задачу управления чтением и буферизации данных с принятием во внимание всех возможных задержек указанного типа памяти [6].

С учетом описанных особенностей функционирования контроллера памяти, а также задержек считывания данных из памяти, вызываемых обновлением или началом работы с другой строкой или банком памяти, была предложена структурная схема блока синхронизации контроллера памяти и выходной шины (рис. 3). Такой блок должен содержать буфер, представляющий собой очередь FIFO. При этом модуль должен самостоятельно начинать читать данные из памяти, как только в очереди появится пороговый процент свободного места.

Однако, существует общеизвестная проблема стабильной работы преобразователей частоты именно в линейке корпусов XC3s1000-4FT.

По этой причине для получения частоты 80 МГц было предложено использовать высокостабильный кварцевый генератор, дополнительно подключаемый к указанной макетной плате [7].

Процесс чтения памяти должен тактироваться частотой большей, нежели процесс выдачи информации, что может позволить заполнять очередь до ее опустошения, поддерживая непрерывную выдачу данных для формирования выходного сигнала произвольной формы по значениям, заранее сгенерированным и хранящимся в памяти.

Таким образом, в ходе проведенных исследований предложена архитектура модуля синхронизации и буферизации процесса чтения внутренней или внешней памяти, показана необходимость использования внешнего кварцевого генератора, а также создана и имплементирована VHDL реализация для работы с внутрикристалльной памятью.

Таким образом, в ходе проведенных исследований предложена архитектура модуля синхронизации и буферизации процесса чтения внутренней или внешней памяти, показана необходимость использования внешнего кварцевого генератора, а также создана и имплементирована VHDL реализация для работы с внутрикристалльной памятью.

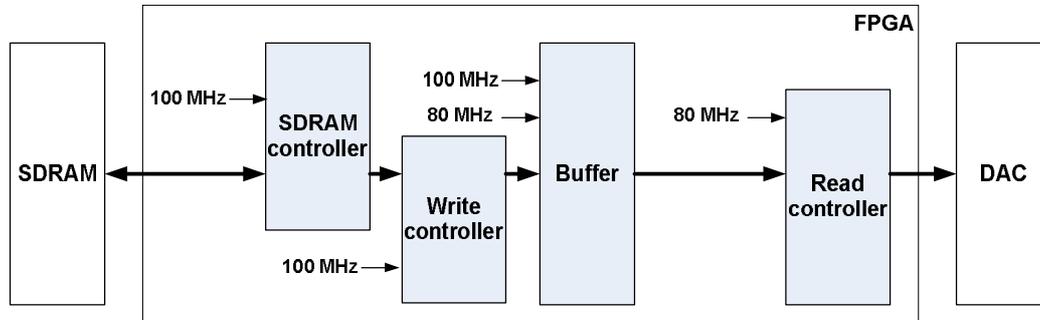


Рис. 3. Структурная схема блока синхронизации контроллера памяти и выходной шины генератора

Выводы

В рамках проведенных исследований показано, что одним из наиболее простых способов построения формирователя сигнала произвольной формы является использование заранее сгенерированных наборов данных, хранящихся в памяти и в требуемой последовательности поступающих на ЦАП.

На основании спецификации IP-ядра, предоставляемого производителем макетной платы XSA-3S1000 и реализующего контроллер SDRAM, было установлено, что в рамках одной строки при конвейерном режиме чтения новый набор данных может формироваться каждый такт.

Этот факт обуславливает возможность использования указанной макетной платы для решения задачи формирования требуемого сигнала с заданной частотой.

С учетом поддержки конвейерного режима, а также задержек считывания данных из памяти, вызываемых обновлением или началом работы с другой строкой или банком памяти, была предложена структурная схема блока синхронизации стандартного контроллера памяти и выходной шины генератора.

Таким образом, в данной работе приведены пути решения задачи построения генератора заданного сигнала произвольной формы с частотой 80 МГц в рамках строго определенных ресурсов ПЛИС для тестирования биоимпедансного анализатора. А также предложена схема блока синхронизации контроллера памяти и выходной шины формирователя сигнала, реализованного на ПЛИС.

Среди направлений дальнейших исследований можно выделить полномасштабную проверку работы предложенной архитектуры.

Список литературы

1. Перепелицын А.Е. Анализ применения ПЛИС технологий в медицинском оборудовании [Текст] / А.Е. Перепелицын, В.С. Харченко // *Радиоелектронні і комп'ютерні системи*. – 2012. – № 7 (59). – С. 125-130.
2. Ellervee P. High Speed Data Preprocessing for Bioimpedance Measurements: Architectural Exploration [Text] / P. Ellervee, P. Annus, M. Min // *Proc. 27th NORCHIP Conference, Trondheim*. – Norway, 2009. – P. 1-4.
3. Gorev M. Multisine signal generation method for a bioimpedance measurement device [Text] / M. Gorev, V. Pesonen, P. Ellervee // *2012 IEEE 15th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), 2012*. – P. 111-114.
4. Perepelitsyn A. FPGA Technologies in Medical Equipment: Electrical Impedance Tomography [Text] / A. Perepelitsyn, D. Shulga // *Proceedings of IEEE East-West Design & Test Symposium (EWDTS 2012), 2012*. – P. 437-440.
5. XSA Board SDRAM Controller [Electronic resource] / Application Note by D. Vanden Bout // *Version 1.4, July 12, 2005, 10 p.*
6. Перепелицын А.Е. Разработка формирователя сигнала произвольной формы на базе FPGA для тестирования мультичастотного биоимпедансного анализатора [Текст] / А.Е. Перепелицын, О.А. Ильяшенко // *Всеукраїнська НТК "Інтегровані комп'ютерні технології в машинобудуванні" ІКТМ' 2012: Тези доповідей*. – Х.: Національний аерокосмічний університет ім. М.С. Жуковського "ХАІ", 2012. – Том 2. – С. 227.
7. FPGA-based freeform signal shaper for testing of multichannel bioimpedance analyser [Text] / Perepelitsyn Artem, Peeter Ellervee // *International Workshop Programme // 3rd International Workshop Critical Infrastructure Safety and Security (CrISS 2013), Ukraine, Sevastopol, 23-26 May 2013*.

Поступила в редколлегию 2.09.2013

Рецензент: д-р техн. наук, проф. В.С. Харченко, Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», Харьков.

**РЕАЛІЗАЦІЯ ФОРМУВАЧА СИГНАЛУ ДОВІЛЬНОЇ ФОРМИ НА БАЗІ ПЛІС
ДЛЯ ТЕСТУВАННЯ МУЛЬТИЧАСТОТНОГО БІОІМПЕДАНСНОГО АНАЛІЗАТОРУ**

А.Є. Перепелицин, П. Еллервее

Обговорюються особливості реалізації мультичастотного біоімпедансного аналізатору на ПЛІС. Демонструється необхідність отримання сигналу довільної форми для тестування існуючого проекту біоімпедансного аналізатору. Надається аналітичний огляд можливих варіантів апаратної реалізації формувачів сигналу з заданими характеристиками. Наводяться шляхи вирішення завдання побудови формувача заданого сигналу з частотою 80 МГц в рамках суворо визначених ресурсів ПЛІС. Пропонується схема блоку синхронізації контролера пам'яті і вихідний шини формувача сигналу на ПЛІС.

Ключові слова: ПЛІС, біоімпедансний аналізатор, контролер пам'яті.

**DESIGN OF FREEFORM SIGNAL SHAPER BASED ON FPGA
FOR TESTING OF MULTICHANNEL BIOIMPEDANCE ANALYSER**

A.Ye. Perepelitsyn, P. Ellervee

The peculiarities of FPGA implementation of multichannel bioimpedance analyser are discussed. The necessity of freeform signal obtaining for testing of existing project of the bioimpedance analyser is shown. The analytical overview of the possible ways of hardware implementation of signal shapers with the defined characteristics is given. Task solutions of the development of 80 MHz freeform signal generator with constraints of FPGA resources are given. The block diagram of the memory synchronization unit of the FPGA-based signal shaper is offered.

Keywords: FPGA, bioimpedance analyser, memory controller.