

УДК 621.382

**РОЗРОБКА ЕЛЕКТРОННОЇ СИСТЕМИ ЗАПИСУ ТА ЗЧИТУВАННЯ  
ІНФОРМАЦІЇ, ЩО МІСТИТЬСЯ В МАСИВІ СТАТИЧНОЇ ПАМ'ЯТІ,  
ПОБУДОВАНОЇ НА ОСНОВІ КОМПЛЕМЕНТАРНОЇ МЕТАЛ-ОКСИД  
НАПІВПРОВІДНИК ТЕХНОЛОГІЇ****Захарченко В. Д., Радецький А. Ю., Швайченко В. Б.**

Київський національний університет технологій і дизайну

**Мета.** Удосконалення систем запису та зчитування інформації в масиві статичної пам'яті.

**Методика.** Синтез систем обробки інформації в статичній пам'яті шляхом аналізу процесів у електричних колах систем та використання комп'ютерного моделювання.

**Результати.** Обґрунтовано доцільність використання додаткових підсистем в системах запису та зчитування; розроблено топологічні креслення систем, з урахуванням новітніх технологій виробництва однокристальних інтегральних мікросхем; розроблено систему, що ілюструє основні операції в статичній пам'яті.

**Наукова новизна.** Удосконалено системи обробки інформації в статичній пам'яті шляхом включення в систему допоміжних блоків, що сприяло підвищенню швидкодії систем. Запропоновано топологічні креслення систем на базі сучасної технології виробництва.

**Практична значимість.** Отримані результати мають потенціал для використання в розробці однокристальних мікросхем. Фізична реалізація отриманих рішень може бути використана в навчальних цілях.

**Ключові слова:** імітаційна модель, комплементарний метал-оксид-напівпровідниковий транзистор, система запису та зчитування інформації, статична пам'ять з довільним доступом

Статична оперативна пам'ять з довільним доступом (SRAM, static random access memory) – напівпровідникова оперативна пам'ять, в якій кожен розряд зберігається у цифровій схемі з позитивним зворотним зв'язком, що дозволяє зберігати записане логічне значення без постійного перезапису, необхідного в динамічній пам'яті з довільним доступом (DRAM). Тим не менше, зберігати дані пам'ять SRAM може тільки за наявності живлення, тобто розглянута пам'ять залишається енергозалежним типом пам'яті. Довільний доступ (RAM – random access memory) пояснюється, як можливість вибирати для запису або зчитування будь-який з бітів (частіше байтів), на відміну від пам'яті з послідовним доступом (SAM – sequential access memory). SRAM застосовується в мікроконтролерах і програмованих логічних інтегральних схемах (ПЛІС) [3].

Представлені у вільному доступі схеми статичної пам'яті мають узагальнений та спрощений характер [7]. Так електрична принципова схема зчитування містить лише

підсилювач читання, що зображено на рис. 1. Представлені топологічні креслення схем зчитування, окрім спрощеності та узагальненості, мають і інші недоліки. Щодо систем запису, представлено лише два її типи (рис. 2, рис. 3). А реалізації систем запису, у вигляді топологічного креслення з обґрунтуванням, відсутні.

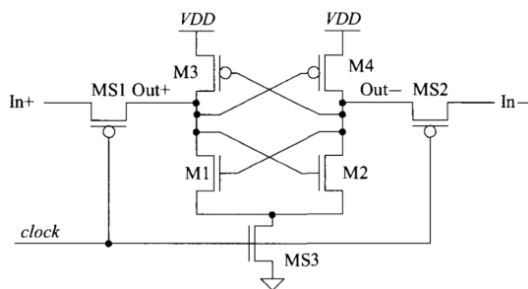


Рис. 1. Підсилювач читання

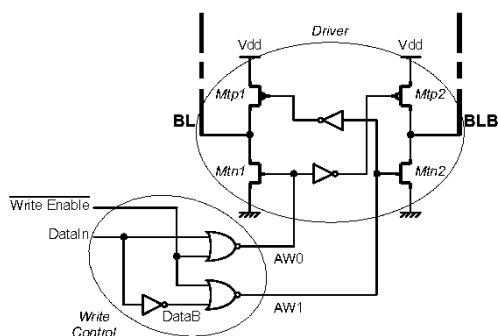


Рис. 2. Перший варіант драйвера запису

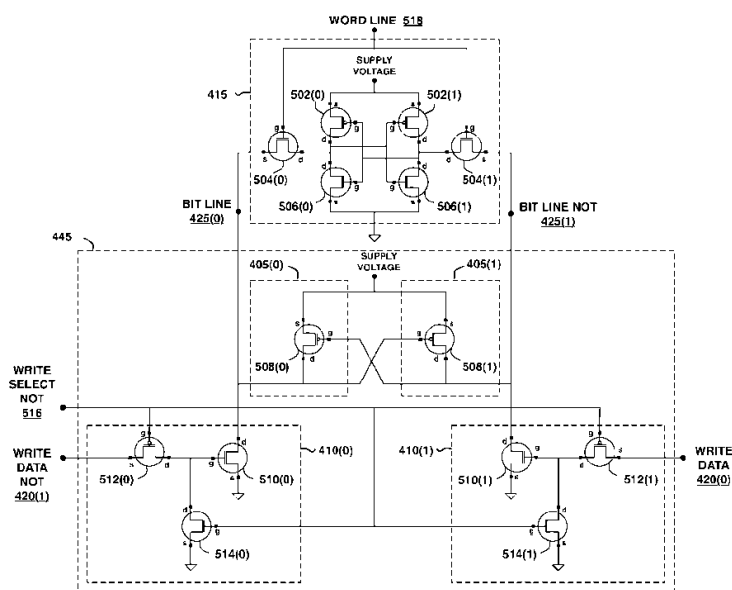


Рис. 3. Другий варіант драйвера запису

Крім того, для ілюстрації процесу роботи статичної пам'яті в ознайомчих та навчальних цілях, необхідне відповідне обладнання, а саме, фізична модель статичної пам'яті. На ринку України відсутні пропозиції стендів такого характеру.

Підсумовуючи недоліки існуючих рішень, можна виділити:

- 1) надмірна спрощеність представлених у вільному доступі принципів схем систем запису та зчитування даних у масиви статичної пам'яті;
- 2) неможливість використання таких систем з масивами статичної пам'яті з малим енергоспоживанням;
- 3) відсутність у складі систем блоків, що дозволяють пам'яті взаємодіяти з іншими структурами, що мають інше живлення, у межах одного кристалу;
- 4) відсутність систем, що зменшують кількість запитів до масиву пам'яті, для тривалішого збереження даних, без їх оновлення;
- 5) непередбачені також системи, що дозволяють багаторазове зчитування інформації з масиву пам'яті.

#### ***Постановка завдання***

За мету взято вдосконалення систем запису та зчитування інформації в масив статичної пам'яті. А також, розробка навчальної моделі статичної пам'яті. Кінцеві вимоги до системи запису та зчитування повинні переслідувати такі цілі:

- 1) коректність роботи – розроблені системи виконують основні функції, а саме, коректно записувати та зчитувати дані з масиву;
- 2) універсальність систем – розроблені системи передбачають використання їх в пам'яті різного об'єму, а удосконалення можуть бути використані, незалежно від технологічних особливостей;
- 3) швидкодія – розроблені системи витрачають мінімальний можливий час на виконання операцій;
- 4) енергозбереження – розроблені системи передбачають роботу з масивом пам'яті, що має низьке енергоспоживання;
- 5) мінімізація – топології систем займають мінімальну можливу площу на кристалі та мінімальну кількість шарів металізації.

Реалізація пристрою. Спираючись на названі вище вимоги, було розроблено перелік покращень, що були застосовані в даній розробці.

До схемотехнічних рішень можна віднести наступні.

1. Системи запису та зчитування обладнані блоками перемикання рівня, що дозволяє розроблюваній пам'яті взаємодіяти з системами з іншими рівнями сигналу у межах одного кристалу.
2. Системи мають у своєму складі тимчасові запам'ятовуючі пристрої. Для схеми запису вони виключають необхідність подавати сигнали даних на протязі усєї операції запису. Для схеми зчитування запам'ятовуючі пристрої зменшують кількість запитів до масиву пам'яті.
3. Системи обладнані допоміжними схемами, які дозволяють розробленим блокам взаємодіяти з масивами, що мають менше енергоспоживання. Такими схемами є блоки попереднього заряду ліній даних.
4. Розроблювані системи мають у своєму складі схеми локального керування, що мінімізує кількість необхідних вхідних сигналів. Крім того, обов'язковими є тактові сигнали, що формуються відповідно до розмірів масиву і дозволяють значно зменшити час операцій.

До технологічних рішень відносять наступні.

1. Використання різних технологій виробництва, чим доводиться універсальність розроблених принципових схем.
2. Площа, яку займають системи на кристалі мікросхеми, є мінімальною можливою. Це досягається специфічною компоновкою елементів у межах одного блоку.

Крім того, розроблено модель, що ілюструє основні принципи роботи статичної пам'яті.

Проведено необхідні моделювання у спеціалізованих програмних середовищах, чим доведена працездатність систем та їх реалізацій. Моделювання проведено з використанням параметрів за замовчуванням.

#### **Результати досліджень**

Швидкодія пам'яті напряму залежить від часу, який виділяється для доступу до комірки та часу операції [6]. Необхідний час на виконання операції розраховано за формулою:

$$t_{\text{необхідний}} = t_{\text{доступу}} + t_{\text{операції}}$$

Час доступу до комірки пам'яті, різницю у часі між моментом початку операції з коміркою та моментом зміни стану комірки, наведено на рис. 4. Цей час напряму залежить від розмірів пам'яті. Наприклад, для пам'яті на 256 колонок та 128 рядків, час доступу складає 1,56 нс.

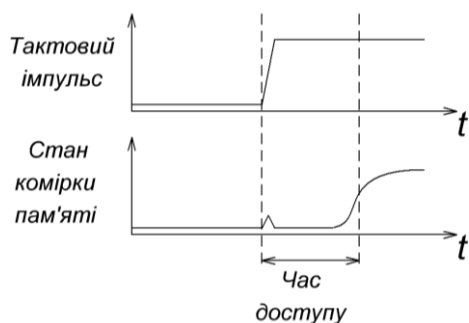


Рис. 4. Час доступу до комірки пам'яті всередині масиву

Але для використання запропонованих систем необхідне встановлення драйверів тактових сигналів [4]. Які в процесі роботи імітують необхідний час доступу у відповідності до розмірів масиву пам'яті. Структуру такої системи наведено на рис. 5.

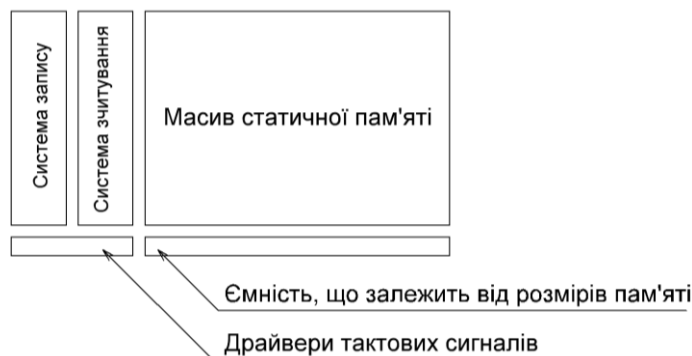


Рис. 5. Структура пам'яті з використанням драйверу тактових сигналів

Для моделювання систем використано спеціалізоване програмне середовище під назвою Simulation Program with Integrated Circuit Emphasis (SPICE) – симулятор електронних схем з відкритим програмним кодом, а саме, програму HSpice, яка дозволяє моделювати напівпровідникові інтегральні схеми [1].

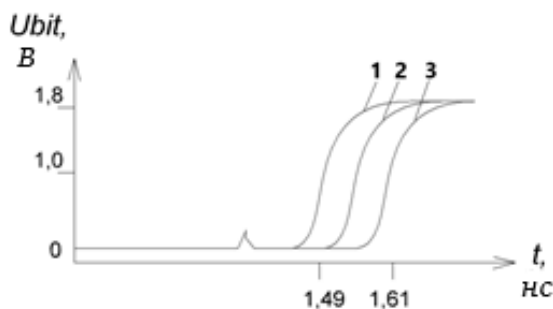
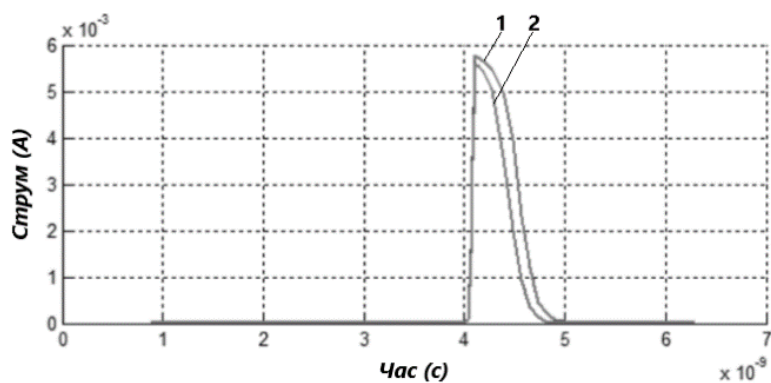


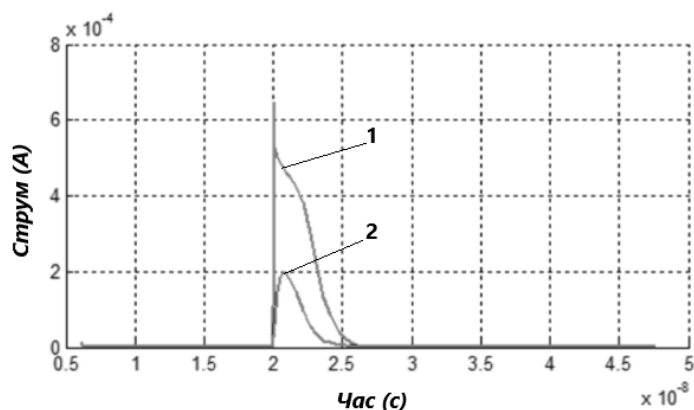
Рис. 6. Діапазон зміни часу доступу до комірки в пам'яті різного об'єму:  
1 – на 128 рядків; 2 – на 256 рядків; 3 – на 384 рядки

Час доступу (рис. 6) змінюється в малих межах, але враховуючи, що доступ розраховано для однієї комірки пам'яті, а в одному масиві їх кількість досягає десятків тисяч, швидкість доступу та її корекція є значним фактором в розрахунку швидкодії пам'яті.

Для зменшення споживаної потужності використовується попередній заряд та наступний розряд ліній даних під час операції. На графіку рис. 7 видно, що споживання струму зменшується при використанні попередньо заряджених ліній даних. Зменшення споживаного струму за один цикл запису та зчитування досягає 0,00001 мікроампера за кожну комірку пам'яті в масиві. Тим самим, споживана потужність зменшується на 5-10%, в залежності від розмірів масиву.



а)



б)

Рис. 7. Порівняння динамічних струмів, що споживаються коміркою пам'яті, під час виконання операцій а) запису та б) зчитування; 1 – без попереднього зарядження ліній даних, 2 – з попереднім зарядженням ліній даних

**Висновки**

Запропоновано варіант реалізації схемотехнічних рішень на базі FinFET – технології виробництва за отриманими розрахунковим шляхом параметрами. Результати моделювання в спеціалізованому програмному середовищі на базі Spice-моделей підтверджують працездатність систем запису та зчитування. Розроблена фізична реалізація статичної пам'яті, яка імітує основні операції по обробці даних в статичній пам'яті. Подальшим напрямком роботи є мінімізація площі на кристалі ІМС, яка необхідна для побудови систем, а також розширення функціональних можливостей для підвищення універсальності систем.

**Список використаних джерел**

1. HSPICE® User Guide: Simulation and Analysis – B-2008.09.
2. Kirti Bushan Bawa. A Comparative Study of 6T, 8T and 9T SRAM Cell / Kirti Bushan Bawa, Dr. Sukhwinder Singh // International Journal of Advanced Engineering Research and Technology. – Volume 3 Issue 6. – ISSN No.: 2348 – 8190, June 2015. – 4 p.
3. Lee Eng Han. CMOS Transistor. Layout KungFu / Lee Eng Han, Valerio B. Perez, Mark Lambert Cayanes, Mary Grace Salaber // – 2005. – 39 p.
4. Mark W. Jetton. Memory having dummy bitline for timing control / United States Patent. – June 29, 2010.
5. R.Jacob Baker. CMOS Circuit, Design, Layout and Simulation. / R.Jacob Baker. Stuart K. Tewksbury and Joe E. Brewer, Series Editors // 3rd.Edition. – IEEE Press Series on Microelectronic Systems, 2010. – 1214 p.
6. Thomas Nirschl. High Speed, Low Power Design Rules for SRAM Precharge and Self-timing under Technology Variations / Thomas Nirschl, Bernhard Wicht, and Doris Schmitt-Landsiedel // Edition 7.3.10 – CiteSeer 2000. – 10 p.
7. Угрюмов Е. П. Глава 5. Запоминающие устройства //

**References**

1. HSPICE® User Guide: Simulation and Analysis – B-2008.09.
2. Kirti Bushan Bawa. A Comparative Study of 6T, 8T and 9T SRAM Cell / Kirti Bushan Bawa, Dr. Sukhwinder Singh // International Journal of Advanced Engineering Research and Technology. – Volume 3 Issue 6. – ISSN No.: 2348 – 8190, June 2015. – 4 p.
3. Lee Eng Han. CMOS Transistor. Layout KungFu / Lee Eng Han, Valerio B. Perez, Mark Lambert Cayanes, Mary Grace Salaber // – 2005. – 39 p.
4. Mark W. Jetton. Memory having dummy bitline for timing control / United States Patent. – June 29, 2010.
5. R.Jacob Baker. CMOS Circuit, Design, Layout and Simulation. / R.Jacob Baker. Stuart K. Tewksbury and Joe E. Brewer, Series Editors // 3rd.Edition. – IEEE Press Series on Microelectronic Systems, 2010. – 1214 p.
6. Thomas Nirschl. High Speed, Low Power Design Rules for SRAM Precharge and Self-timing under Technology Variations / Thomas Nirschl, Bernhard Wicht, and Doris Schmitt-Landsiedel // Edition 7.3.10 – CiteSeer 2000. – 10 p.
7. Ugryumov, Ye.P. (2010). *Glava 5. Zapominayushchie ustroystva // Tsifrovaya skhemotekhnika.* [Chapter 5. Storage

Цифровая схемотехника. – 3 вид. –  
БХВ-Петербург, 2010. – 816 с.

devices // Digital circuitry]. (3d ed.).  
BKhV-Peterburg [in Russian].

**Zakharchenko Vladyslav**  
[bloodmage576@gmail.com](mailto:bloodmage576@gmail.com)  
Kyiv National University of  
Technologies and Design

**Shvaichenko Volosymyr**  
ORCID: <https://orcid.org/0000-0000-9736-0800>  
ResearcherID: [J-5971-2017](https://orcid.org/J-5971-2017)  
Scopus Author ID: [8370080800](https://orcid.org/8370080800)  
[vbs2011@ukr.net](mailto:vbs2011@ukr.net)  
Kyiv National University of  
Technologies and Design

**Radetsky Anton**  
[radetskiy.anton.yurievich@gmail.com](mailto:radetskiy.anton.yurievich@gmail.com)  
Kyiv National University of  
Technologies and Design

**Разработка электронной системы записи и считывания информации, содержащейся в массиве статической памяти, построенной на основе комплементарной металл-оксид полупроводник технологии**

**Захарченко В. Д., Радецкий А. Ю., Швайченко В. Б.**

Киевский национальный университет технологий и дизайна

**Цель.** Совершенствование систем записи и считывания информации в массивы статической памяти.

**Методика.** Синтез систем обработки информации в статической памяти путем анализа процессов в электрических цепях систем и использования компьютерного моделирования.

**Результаты.** Обоснована целесообразность использования дополнительных подсистем в системах записи и считывания; разработаны топологические чертежи систем, с учетом новейших технологий производства однокристалльных интегральных микросхем; разработана система, иллюстрирующая основные операции в статической памяти.

**Научная новизна.** Усовершенствованы системы обработки информации в статической памяти путем включения в систему вспомогательных блоков, что способствовало повышению быстродействия систем. Предложены топологические чертежи систем на базе современной технологии производства.

**Практическая значимость.** Полученные результаты имеют потенциал для использования в разработке однокристалльных микросхем. Физическая реализация полученных решений может быть использована в учебных целях.

**Ключевые слова:** имитационная модель, комплементарный металл-оксид-полупроводниковый транзистор, система записи и считывания информации, статическая память с произвольным доступом

**Development of electronic system for recording and reading information which is contained in array of static memory, which is built on the basis of a complementary metal-oxide semiconductor technology**

**Zakharchenko V. D., Radetsky A. Y., Shvaichenko V. B.**

Kiev National University of Technology and Design

**Purpose.** Improving the systems of recording and reading information into arrays of



*static memory.*

**Methodology.** *Synthesis of information processing systems in static memory by analyzing processes in electrical circuits of systems and using computer simulation.*

**Findings.** *The expediency of using additional subsystems in recording and reading systems is substantiated; developed topological drawings of systems, taking into account the latest technologies for the production of single-chip integrated circuits; developed a system illustrating the basic operations in static memory.*

**Originality.** *The systems for processing information in static memory have been improved by including auxiliary units in the system, which has contributed to increasing the speed of the systems. Topological drawings of systems based on modern production technology are proposed.*

**Practical value.** *The results obtained have the potential for use in the development of single-chip microcircuits. The physical implementation of the obtained solutions can be used for educational purposes..*

**Keywords:** *complementary metal oxide semiconductor transistor, information reading and recording system, simulation model, static random access memory*