

**Ю. О. СМОЛІН**

## ТЕСТОПРИДАТНІСТЬ КІНЦЕВИХ ВУЗЛІВ КОНТРОЛЮ В КОМП'ЮТЕРНИХ СИСТЕМАХ ДІАГНОСТИКИ ТЕХНОЛОГІЧНИХ ПАРАМЕТРІВ

Розглянуто основні критерії кількісної оцінки тестуємості цифрових схем на етапі проектування. Показано, що кінцеві вузли пристроїв контролю і діагностики реалізуються за однією загальною структурною схемою. Обрано метод визначення якості тестування та запропоновано методику розрахунків кількісних показників тестопридатності цифрових схем вузлів контролю комп'ютерних систем діагностики технологічних параметрів. Наведено приклад цифрової комбінаційної схеми і результати її аналізу тестуємості за запропонованою методикою. Розглянуто шляхи підвищення показників тестопридатності в кінцевих вузлах контролю. Визначені переваги та недоліки пропонуємої методики.

**Ключові слова:** тестопридатність, керованість, спостережливість, контроль, діагностика, комп'ютерна система.

Рассмотрены основные критерии количественной оценки тестируемости цифровых схем на стадии проектирования. Показано, что конечные узлы устройств контроля и диагностики реализуются по одной общей структурной схеме. Выбран метод определения качества тестирования и предложена методика расчетов количественных показателей тестопригодности цифровых схем узлов контроля компьютерных систем диагностики технических параметров. Приведен пример цифровой комбинационной схемы и результаты ее тестируемости по предложенной методике. Рассмотрены пути повышения тестируемости в оконченных узлах контроля. Определены преимущества и недостатки предложенной методики.

**Ключевые слова:** тестопригодность, управляемость, наблюдаемость, контроль, диагностика, компьютерная система.

The analysis of ways to increase the level of reliability of the nodes of computer monitoring and diagnostic systems, as well as the causes of errors in these systems. The main basic criteria of a quantitative estimation of digital circuits testability at the design stage such as controllability, observability and testing ability are evaluated. The method of determining testing quality quantitative evaluation is selected and its milestones are highlighted. The method of control unit digital circuits quantity indicators calculation for computer systems of technical parameters diagnostics is proposed based off the upgraded version of CAMELOT system. It is shown that the final nodes of the monitoring and diagnostic devices are implemented according to one general structural scheme. A generalized block diagram of the end control node in systems of testing and diagnostics based on their features is given. An example of calculation logic element scheme, which is a part of the control unit, is given as well. The ways of testing ability increase in the end control nodes due to the introduction of additional hardware and additional control points are considered. The advantages and disadvantages of the proposed methodology are determined.

**Keywords:** testability, controllability, observability, control, diagnostics, computer system.

**Вступ.** Неухильне зростання складності цифрових вузлів комп'ютерних систем контролю і діагностики тягне за собою підвищення вимог до їх надійності. Досягнення високого рівня надійності, в цьому випадку, забезпечується рядом технічних, експлуатаційних та організаційних засобів. Серед їх багатовидів відокремлюють методи технічного діагностування, як окремих вузлів та пристроїв, так і систем в цілому. Одним із поширених різновидів діагностування цифрових блоків та вузлів комп'ютерних систем є тестове діагностування. Його використання на етапах проектування, виготовлення та експлуатації комп'ютерних систем контролю і діагностики дозволяє визначити, по-перше, їх стан, і по-друге, спрощує процеси пошуку їх несправностей, що призводить до покращення основних показників надійності системи контролю і діагностики.

**Постановка проблеми.** Разом із зростанням складності схем комп'ютерних систем контролю і діагностики, в силу обмежених можливостей існуючих методів обчислення і складання тестів та обмежень у їх реалізації, ймовірність виявлення несправностей зменшується. Це пояснюється також і тим, що основна вага тестування перепадає на ЗВІС і мікроконтролерні підсистеми, складність яких приводить до збільшення частки тимчасових несправностей, що виявляються тільки при роботі системи [1,2]. Крім того існує ще одна досить розповсюджена причина виникнення помилок. Вона

міститься в тому, що кожен етап проектування і виробництва комп'ютерних систем контролю характеризується коефіцієнтом виду придатних виробів  $B$  ( $0 < B \leq 1$ ), а його проектування часткою виявлення дефектів, які називають повнотою перевірки  $P$  ( $0 < P < 1$ ).

Частка дефектних виробів у загальному обсязі випуску для даного етапу виробництва (передбачається, що дефекти розподілені рівномірно і незалежні):  $D = 1 - B^{(1-P)}$  [3].

Із за цього, що тести кожного етапу мають повноту перевірки  $P < 1$ , частина дефектів проходить на наступний етап перевірки і зрештою проникає на етап експлуатації.

Щоб зменшити вплив перелічених факторів на достеменність діагностування за допомогою комп'ютерних систем і підвищити надійність самих систем, необхідно при проектуванні системи контролю і діагностики вміти кількісно оцінювати можливості підвищення повноти їх перевірки і скорочування трудомісткості тестування.

**Мета роботи.** Обрати метод визначення кількісних показників якості тестування цифрових схем і на його основі розробити методику розрахунків тестопридатності цифрових вузлів контролю – кінцевих вузлів комп'ютерних систем контролю і діагностики.

**Основна частина.** Тестопридатність схем закладається на етапі їх проектування.

Тестопридатними називаються схеми з функціонально надлишковими додатковими засобами, що призначені для підвищення перевірки і зменшення трудомісткості тестування. Тестопридатність досягається або структурною модифікацією початкових схем, або введенням додаткової апаратури і ліній керування, що спрощує процес перевірки і підвищує повноту перевірки [3]. Тобто існує два методи проектування тестопридатних схем: аналіз структурно-функціонального виконання вузла, числова оцінка керованості та спостережуваності як міри тестопридатності схеми; структурне проектування тестопридатних схем, на межі бажання самотестуємих, заснованих на використанні властивостей скануемого шляху, що забезпечує доступ до внутрішніх точок схеми [4].

Для підвищення тестопридатності вузлів контролю комп'ютерних системі діагностики, перший метод є більш переважним, по-перше, за рахунок простоти метода при аналізі послідовних схем, тому що відсутня необхідність розв'язувати систему лінійних рівнянь. По-друге, тому що структура кінцевого вузла контролю, як це показано нижче на рисунку 1, є для всіх систем контролю і діагностики загальною і незмінною.

Тому для підвищення тестопридатності досліджуємих вузлів слід використовувати перший метод. Одним із найпоширеніших систем аналізу тестування за цим методом є система CAMELOT [5], яка постійно удосконалюється і доповнюється [4,6].

Метод, що пропонується, є ймовірним методом, який дозволяє здійснювати оцінку тестопридатності шляхом топологічного аналізу схеми вентильного рівня або рівня реєстрових передач. За цим методом значення тестопридатності можна обчислити для кожного вузла схеми. При цьому під вузлом розуміються еквіпотенціальні лінії схеми. Показники, що обчислюються, призначені для порівняльного аналізу тестопридатності вузлів розглянутої схеми. Метод складається з трьох етапів: обчислення показників керованості, спостережуваності та тестопридатності [3,6].

Розглянемо два перші показники тестування: керованість і спостереженість.

Керованість  $C$  – кількісна міра здібності схеми установлювати на лінії, що розглядається, значення 0 ( $C^0$ ) або значення 1 ( $C^1$ ). Вона характеризує відносну складність установки на лінії потрібного стану, шляхом подачі на схему послідовності вхідних наборів і залежить від логічної функції вентиль та зменшується в залежності від віддалення лінії від зовнішніх входів схеми. Керованість може приймати відносні значення, що знаходяться в інтервалі [0;1].

$C=1$  в тому разі, коли маємо зовнішній вхід схеми, через який можна встановити логічний «0» та «1».  $C=0$  в тому разі, коли маємо лінію, яку не можна встановити ні в один з логічних станів. Тому практичні завдання керованості більшості ліній лежать в межах інтервалу [0,1].

Для  $n$ -входового вентиль «АБО», що має входи  $X_1 \dots X_n$  і вхід  $Y$ , керованість визначається як [6]:

$$C^0(y) = 1 - C^1(y); \quad (1)$$

$$C^1(y) = 1 - \prod_{i=1}^n C^1(X_i). \quad (2)$$

Для  $n$ -входового вентиль «І»:

$$C^1(y) = 1 - C^0(y); \quad (3)$$

$$C^0(y) = 1 - \prod_{i=1}^n C^0(X_i). \quad (4)$$

Для інвертора «НІ»:

$$C^0(y) = C^1(X); \quad (5)$$

$$C^1(y) = C^0(X). \quad (6)$$

Значення  $C^0(X_i)$  і  $C^1(X_i)$  у виразах (1)-(6) обираються згідно таблиці істинності елемента.

В загальному випадку керованість  $n$ -входової комбінаційної схеми визначається за виразом [5]

$$C = C_r \frac{1}{n} \sum_{i=1}^n C_i, \quad (7)$$

де  $C_i$  – відповідно керованість вихідного і вхідного полюсів схеми;  $C_r$  – міра, що визначає ступень складності формування значень 0 і 1 на виході схеми для випадку, коли  $C_i = 1, i=1$ .

$$C_r = 1 - \left| \frac{F(0) - F(1)}{F(0) + F(1)} \right|, \quad (8)$$

де  $F(0), F(1)$  відповідно загальне число нульових і одиничних значень функції  $Y(X_1, X_2, \dots, X_n)$ , що реалізуються комбінаційною схемою.

Спостережуваність  $O$  – кількісна міра здібності схеми транспортувати стан лінії, що розглядається, на зовнішні виходи схем. Вона характеризує відносну складність прогнотування сигналу в лінії на вихід схеми. Спостережуваність може приймати відносні значення, що знаходяться в інтервалі [0;1].

$O=1$  для зовнішнього входу.

$O=0$ , якщо неможливо забезпечити такі умови, при яких зміна значення в узлі приводила би до зміни значення на первинному виході. Практичні значення спостережуваності більшості ліній лежать в межах інтервалу [0;1]. Спостережуваність вузлів в схемі зменшуються від первинних виходів.

Спостережуваність несправності на вході схеми в загальному вигляді обчислюється згідно залежності [5]

$$O = O_i O_r C_{tr}, \quad (9)$$

де  $O_i$  – спостережуваність несправності в точці її виникнення  $i$ ;  $O_r$  – міра складності транспортування несправності від точки її виникнення до виходу схеми;

$C_{tn}$  – інтегральна оцінка керованості входів схеми, що забезпечують умову транспортування несправності до виходу.

$$O_i = \frac{P_1}{P_1 + P_2}, \quad (10)$$

де  $P_1$  і  $P_2$  загальне число активних і неактивних шляхів схеми.

$$C_{tn} = \frac{1}{n} \sum_{i=1}^n C_i, \quad (11)$$

де  $C_i$  – керованість  $i$ -того входного полюса;  $n$  – загальна їх кількість.

Тестопридатність  $T$  є функцією керованості та спостережуваності  $T=f(C, O)$  і для визначеного полюса тестопридатність в загальному випадку визначається як

$$T = CO. \quad (12)$$

Для цифрової схеми в цілому вона визначається як

$$T_c = \frac{\sum_{k=1}^K T_k}{K}, \quad (13)$$

де  $T_k$  – тестопридатність  $k$ -того полюса цифрової схеми;  $K$  – загальна кількість полюсів.

Якщо застосувати розглянутий метод аналізу тестопридатності до визначення тестопридатності цифрових схем кінцевих вузлів контролю в комп'ютерних системах діагностики технологічних параметрів, то необхідно урахувати особливості цих схем. Незважаючи на те, щомета контролю і діагностики різна, тобто при контролі визначається відповідність поточних станів об'єктів нормам, а при діагностиці – місця і причини несправностей об'єкта, самі процеси контролю і діагностики мають загальну методологічну основу: в кожному з них здійснюється порівняння величин, що характеризують досліджуємі об'єкти, із зразковими величинами та аналіз результатів порівняння [7,8]. Тому до складу і комп'ютерних систем контролю і комп'ютерних систем діагностики обов'язково надходять кінцеві цифрові вузли контролю на вихід який подаються в цифровій формі величини, що вимірюються і величини верхньої і нижньої межі норми. Результати порівняння у вигляді 0 або 1 (виходить за межу чи не виходить) надходять до схеми збігу, на виході якої і отримують кінцевий результат контролю (норма, не норма) у вигляді 1 або 0. В загальному виді схему, що реалізує процедуру контролю можна представити у вигляді, як це показано на рисунку 1.

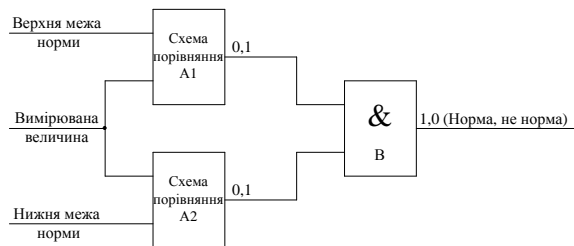


Рис. 1 – Загальна структурна схема кінцевого вузла контролю

Для проектування тестопридатних принципових схем, що реалізують таку структурну схему необхідно вміти кількісно оцінювати її тестопридатність і виявляти місця де помилки, збої та несправності призводять до найбільших похибок.

Розглянемо, в якості прикладу, найпростішу цифрову комбінаційну схему (рисунок 2), яка частково реалізує структуру наведену на рисунку 1.

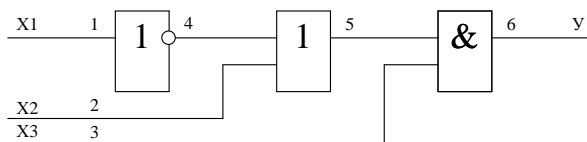


Рис. 2 – Цифрова схема, що надходить до складу вузла контролю

До складу такої схеми надходять найбільш поширені логічні елементи, три входи, вихідна схема збігу і шість полюсів, кожен з котрих, як і схему в цілому, можна оцінити кількісними характеристиками тестуємі. Їх розрахунки слід проводити в такій послідовності:

1) на підставі таблиці істинності логічних елементів визначити загальне число нульових  $F(0)$  і одиничних  $F(1)$  значень кожної функції, що реалізують логічні елементи. Так для функції «НІ»  $F(0)=F(1)=1$ ; для функції «АБО»  $F(0)=1, F(1)=3$ ; для функції «І»  $F(0)=3, F(1)=1$ .

2) за виразом (8) визначити міру складності формування значень 0 та 1. Для елемента «НІ»  $C_i=1$ , для елемента «АБО»  $C_i=0,5$  і для елемента «І»  $C_i=0,5$ .

3) визначити полюса схеми. В даному випадку їх шість;

4) за виразами (1)÷(6) визначити керованість для кожного полюса;

5) на основі отриманих даних і виразу (10) визначити спостережуваність для кожного полюса;

6) за виразом (12) визначити тестопридатність кожного полюса;

7) за виразами (9) і (11) визначити спостережуваність і керованість, відповідно, для всієї схеми;

8) за виразом (13) визначити тестопридатність для цифрової схеми в цілому.

Результати аналізу тестуємі цифрової схеми, наведеної на рисунку 2, запропонують методикою, приведені в таблиці 1.

Таблиця 1 – Результати аналізу тестування

Полюс цифрової схеми	Керованість полюса	Спостережливість полюса	Тестопридатність полюса	Тестопридатність схеми
k	$C_k$	$O_k$	$T_k$	$T_c$
1	1	0,25	0,25	0,35
2	1	0,25	0,25	
3	1	0,75	0,75	
4	1	0,25	0,25	
5	0,5	0,5	0,25	
6	0,375	1	0,375	

Покращити тестуємість будь-якої цифрової схеми можна шляхом введення додаткових схем і контрольних точок [3,6].

Розглянемо, як це можна зробити для цифрових схем вузлів контролю, побудованих за структурою наведеною на рисунку 1. В якості прикладу розглянемо випадок, коли на виході схеми порівняння A1 істинне значення повинне дорівнювати 0, а на виході схеми порівняння A2 – 1, як це відображено на рисунку 3. Тоді 0-керованість ( $C^0$ ) усього вузла, а конкретніше його схеми збігу В, можна покращити шляхом введення схеми «І» між вузлами A1 та В. Таким же чином можна покращити 1-керованість ( $C^1$ ) вузла, шляхом введення схеми «АБО» між вузлами A2 та В.

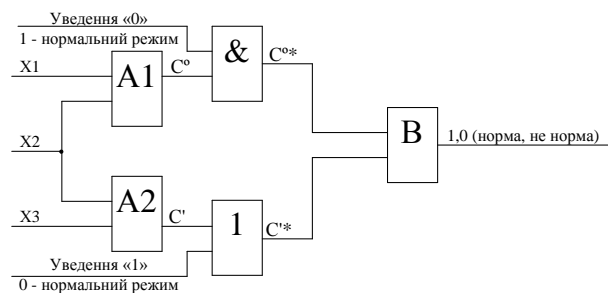


Рис. 3 – Схема вузла контролю з покращеною керованістю

Для покращення спостережуваності схеми збігу В, і отже всього вузла контролю, можна ввести контрольні точки K1 і K2, як це показано на рисунку 4.

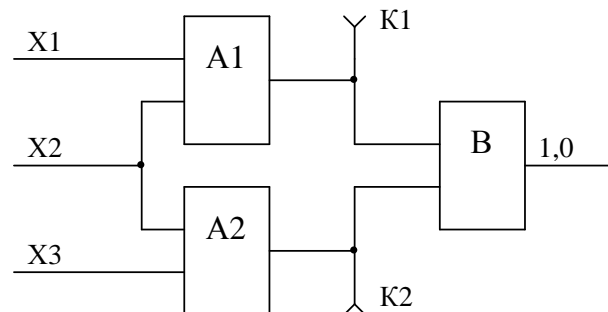


Рис. 4 – Схема вузла контролю з покращеною спостережуваністю

**Висновки.** Обраний метод визначення якості тестування та пропонуємо методику розрахунків показників тестопридатності можна застосувати при

проектуванні цифрових схем кінцевих вузлів контролю комп'ютерних систем контролю і діагностики. Це дозволяє проводити аналіз на самих ранніх стадіях розробки таких вузлів і знизити кількість дефектів як при імплементації їх в кристал, так і при реалізації їх на ІС.

Достоїнством пропонуємих рішень – є простота при аналізі та синтезі цифрових схем контролю, та відсутність необхідності розв'язувати систему лінійних рівнянь в разі наявності послідовних схем у вузлах контролю. Недоліком є введення додаткових апаратних засобів.

#### Список літератури

1. Городецкий А. Аспекты тестопригодности в файлах BSDL/A. Городецкий // Компоненты и технологии. – 2009. - №9. – С.13- 15.
2. Руис Р. Создание тестопригодных схем при проектировании SoC/ Р.Руис // Электроника – 2012. - №3(00117). -С. 130-133.
3. Каган Б.М. Основы эксплуатации ЭВМ [Текст] / Б.М. Каган, М.Б.Мкртумян. – М.: Энергоатомиздат, 1988. 432с.
4. Каминская М.А. Повышение качества теста на основе метода анализа тестопригодности устройств на различных уровнях описания / М.А. Каминская, С.А. Зайченко // Радиоэлектронні і комп'ютерні системи. – 2007.-№7(26).-С.140-146.
5. Ярмолик В.Н. Контроль и диагностика цифровых узлов ЭВМ [Текст] / В.Н.Ярмолик. – Мн.: Наука и техника, 1988. -240с.
6. Кулак Э.Н. Анализ тестопригодности цифровых схем на уровне регистровых передач / Э.Н. Кулак, М.А. Каминская, О.Б. Скворцова // Весник НТУ «ХПИ»: сб. научн. тр. Темат. Вып.: Информатика и моделирование. – Харьков: НТУ «ХПИ» - 2006. - №23. – С.102-108
7. Цепенко М.П. Измерительные информационные системы [Текст] / М.П. Цепенко. – М.: Энергоатомиздат, 1985. -439с.
8. Большевцев А.Д. Элементы общей теории технического контроля [Текст]: монография / А.Д. Большевцев, Л.А. Большевцева. – Курск: гос. техн. ун-т, 2010.-212с.

#### References (transliterated)

1. Gorodetsky A. Aspects of testability in BSDL files / A. Gorodetsky// Components and technologies. - 2009. - No. 9. - pp.13-15.
2. Ruiz R. Creation of test-accompanying circuits for the design of the SoC / R. Ruiz // Electronics - 2012. –No.3 (00117). -FROM. -pp. 130-133.
3. Kagan B.M. The basis of computer operation [Text] / B.M. Kagan, MB Mkrtyumyan. - M. Energoatomizdat, 1988. 432p.
4. Kaminskaya MA Improvement of the quality of the test on the basis of the method of analyzing the testability of the device under various conditions of description / M.A. Kalinskaya, S.A. Zaychenko// Radioelectronics and computer systems. - 2007.No. 7 (26).pp.140-146.

5. *Yarmolik V.N.* Control and diagnostics of digital computer units [Text] / *V.N. Yarmolik.* - Minsk : Science and Technology, 1988. - 240p.
6. *Kulak E.N.* Analysis of testability of digital circuits at the register transfer level / *E.N. Kulak, M.A. Kalinskaya, O.B. Skvortsova* // Vesnie NTU "KhPI": Sat. Scientific. Tr. Subject. Accomp. : Informatics and modeling. Accomp. : Informatics and modeling. - Kharkov: NTU "KhPI" - 2006. - No23. - pp.102 -108.
7. *Tsapenko M.P.* Measuring information systems [Text] / *M.P. Tsapenko.* - M.: Energoatomizdat, 1985. -439p.
8. *Bolichevtsev A.D.* Elements of the general theory of technical control [Text]: monograph / *A.D. Bolichevtsev, L.A. Bolichevtseva.* - Kursk: zoc Tech. Un-t, 2010.212. p

Надійшла (received) 30.05.2017

*Бібліографічні описи / Библиографические описания / Bibliographic descriptions*

**Тестопридатність кінцевих вузлів контролю в комп'ютерних системах діагностики технологічних параметрів / Смолін Ю. А.** // Вісник НТУ «ХПІ». Серія: Електроенергетика та перетворювальна техніка. – X. : НТУ «ХПІ», 2016. – № 4 (1226). – С. 46–50. – Бібліогр.: 8 назв. – ISSN 2079-4525.

**Тестопригодность конечных узлов контроля в компьютерных системах диагностики технологических параметров / Смолин Ю.А.** // Вісник НТУ «ХПІ». Серія: Електроенергетика і преобразовательна техніка. – Харків : НТУ «ХПІ», 2016. – № 4 (1226). – С. 46–50. – Библиогр.: 8 назв. – ISSN 2079-4525.

**Testability of final control nodes in computer systems for diagnostics of technological parameters / Yu.A.Smolin** // Bulletin of NTU "KhPI". Series: Elektroenergetika i preobrazovatel'naya tehnika. – Kharkov : NTU "KhPI", 2016. – No. 4 (1226). – P. 46–50. – Bibliogr.: 8. – ISSN 2079-4525.

*Відомості про авторів / Сведения об авторах / About the Authors*

**Смолін Ю. А.** – кандидат технічних наук, національний технічний університет «Харківський політехнічний інститут», доцент кафедри комп'ютерних та радіоелектронних систем контролю та діагностики; тел (067)4583735; e-mail: uas8735@gmail.com

**Смолин Ю. А.** - кандидат технических наук, национальный университет «Харковский политехнический институт», доцент кафедры компьютерных и радиоэлектрических систем контроля и диагностики; тел (067) 4583735; e-mail: uas8735@gmail.com

**Smolin Y.A.** - Candidate of Technical Sciences, National Technical University "Kharkiv Polytechnical Institute", Associate Professor of the Computer Systems and Radiotechnical Systems of Control and Diagnostics; Bodies (067) 4583735; E-mail: uas8735@gmail.com